

511437

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 11 月 6 日 (06.11.2003)

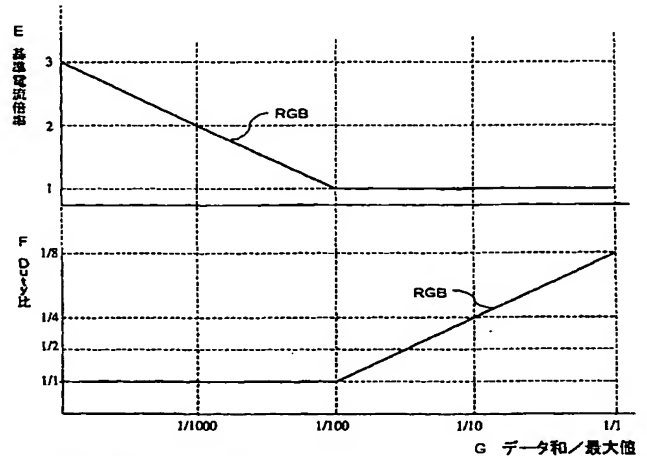
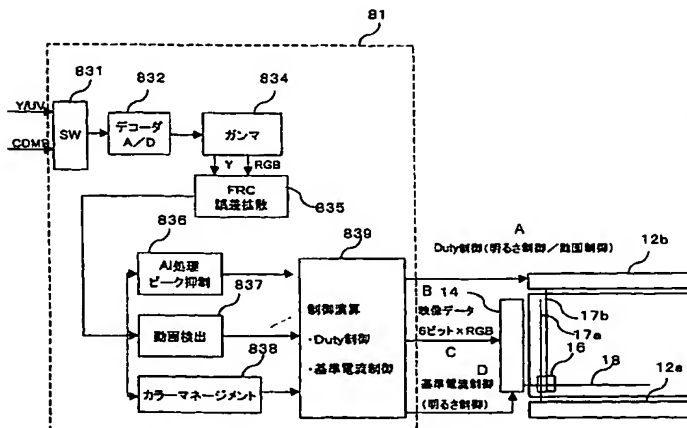
PCT

(10) 国際公開番号
WO 03/091979 A1

- (51) 国際特許分類⁷: G09G 3/30, H05B 33/14 [JP/JP]; 〒108-0075 東京都 港区 港南 4-1-8 Tokyo (JP).
- (21) 国際出願番号: PCT/JP03/02598
- (22) 国際出願日: 2003 年 3 月 6 日 (06.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-127532 2002 年 4 月 26 日 (26.04.2002) JP
特願2002-127637 2002 年 4 月 26 日 (26.04.2002) JP
特願2002-282013 2002 年 9 月 26 日 (26.09.2002) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 高原 博司 (TAKAHARA, Hiroshi) [JP/JP]; 〒571-0807 大阪府 寝屋川市 太秦 1 0 1 1-1-3 4 5 Osaka (JP).
- (74) 代理人: 松田 正道 (MATSUDA, Masamichi); 〒532-0003 大阪府 大阪市 淀川区 宮原 5 丁目 1 番 3 号 新大阪生島ビル Osaka (JP).
- (81) 指定国 (国内): CN, JP, KR, US.
- 添付公開書類:
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): 東芝松下ディスプレイテクノロジー株式会社 (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.) 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: EL DISPLAY DEVICE DRIVE METHOD

(54) 発明の名称: EL 表示装置の駆動方法



832...DECODER A/D
834...GAMMA
835...FRC DIFFERENCE SPREAD
836...AI PROCESSING PEAK SUPPRESSION
837...MOVING PICTURE DETECTION
838...COLOR MANAGEMENT
839...CONTROL CALCULATION,
- Duty CONTROL,
- REFERENCE VOLTAGE CONTROL

A... Duty CONTROL (LUMINANCE CONTROL/MOVING PICTURE CONTROL)
B...VIDEO DATA
C...6 BITS X RGB
D...REFERENCE CURRENT CONTROL (LUMINANCE CONTROL)
E...REFERENCE CURRENT MAGNIFICATION
F...Duty RATIO
G...DATA SUM/MAXIMUM VALUE

(57) Abstract: A drive method capable of suppressing peak current by providing a limit to a current consumed or increasing the image contrast to display a clear image. When driving an EL display device having a switch element for controlling ON/OFF of the current path between the drive transistor and the EL element in each pixel, a drive method used totals image data or data based on the image data and sets the OFF period of the switch element longer when the totaled data amount is greater, thereby suppressing the peak current and increasing the contrast.

[続葉有]

BEST AVAILABLE COPY

WO 03/091979 A1



(57) 要約:

本発明は、消費する電流にリミットを設けることによりピーク電流の抑制を図ること、又は、画像のコントラストの拡大を図ることによりめりはりのある画像を表示することの少なくとも一方を実現する駆動方法を提供する。

各画素に駆動用トランジスタとEL素子間の電流経路をオンオフ制御するスイッチ素子を有するEL表示装置を駆動するにあたって、画像データ又は画像データに準ずるデータを集計し、前記集計したデータが少ない時よりも、大きい時の方が前記スイッチ素子をオフする期間を長くする駆動方法を採用することにより、ピーク電流の抑制やコントラストの拡大を図る。

明 細 書

EL表示装置の駆動方法

技術分野

本発明は、有機または無機エレクトロルミネッセンス（EL）素子を用いたEL表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルの駆動回路（IC）に関するものである。EL表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。

背景技術

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（EL）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が増加する。

液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機EL表示パネルは各画素に発光素子を有する自発光型である。そのため、有機EL表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

有機EL表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であると

いう点で液晶表示パネルとは大きく異なる。

有機EL表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。

このアクティブマトリクス方式の有機EL表示パネルは、特開平8-234683号公報に開示されている。この表示パネルの一面素分の等価回路を図46に示す。画素16は発光素子であるEL素子15、第1のトランジスタ11a、第2のトランジスタ11bおよび蓄積容量19からなる。発光素子15は有機エレクトロルミネッセンス（EL）素子である。本発明では、EL素子15に電流を供給（制御）するトランジスタ11aを駆動用トランジスタ11と呼ぶ。また、図46のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ11と呼ぶ。

有機EL素子15は多くの場合、整流性があるため、OLED（有機発光ダイオード）と呼ばれることがある。図46などでは発光素子15としてダイオードの記号を用いている。

ただし、本発明における発光素子15はOLEDに限るものではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機EL素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子15は必

ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。本発明のEL素子15はこのいずれでもよい。

図46の例では、Pチャンネル型のトランジスタ11aのソース端子(S)をV_{dd}(電源電位)とし、EL素子15のカソード(陰極)は接地電位(V_k)に接続される。一方、アノード(陽極)はトランジスタ11bのドレイン端子(D)に接続されている。一方、Pチャンネル型のトランジスタ11aのゲート端子はゲート信号線17aに接続され、ソース端子はソース信号線18に接続され、ドレイン端子は蓄積容量19およびトランジスタ11aのゲート端子(G)に接続されている。

画素16を動作させるために、まず、ゲート信号線17aを選択状態とし、ソース信号線18に輝度情報を表す映像信号を印加する。すると、トランジスタ11aが導通し、蓄積容量19が充電又は放電され、トランジスタ11bのゲート電位は映像信号の電位に一致する。ゲート信号線17aを非選択状態とすると、トランジスタ11aがオフになり、トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート電位は蓄積容量(コンデンサ)19によって安定に保持される。トランジスタ11aを介してEL素子15に流れる電流は、トランジスタ11aのゲート/ソース端子間電圧V_{gs}に応じた値となり、EL素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

なお、上記の文献の全ての開示は、そっくりそのまま引用することにより、ここに一体化する。

液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うため

には、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。

有機EL表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機EL素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。

表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。

発明の開示

この目的を達成するために本発明のEL表示パネル（EL表示装置）のドライバ回路は、単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、多段のカレントミラー回路で構成されたことを特徴としている。信号の受け渡しは電圧受け渡しとなるトランジスタ群は密に形成し、カレントミラー回路の群との信号の受け渡しは、電流受け渡しの構成を採用する。また、基準電流は、複数のトランジスタで行う。

第1の本発明は、各画素に駆動用トランジスタとEL素子間の電流経路をオンオフ制御するスイッチ素子を有するEL表示装置の駆動方法であって、

画像データまたは画像データに順ずるデータを集計し、

前記集計したデータが少ない時よりも、大きい時の方が前記スイッチ素子をオフする期間を長くするEL表示装置の駆動方法である。

第2の本発明は、EL素子がマトリックス状に形成された表示パネルと、

前記表示パネルにプログラム電流を供給するソースドライバ回路とを具備し、

前記ソースドライバ回路は、複数の単位電流素子を有する出力段と、前記単位電流素子が流す電流を制御する可変回路とを備えるEL表示装置である。

第3の本発明は、動画検出を行う動画検出回路と、映像の特徴抽出を行う特徴抽出回路とを有するEL表示装置を駆動する方法であって、

前記動画検出回路からの出力データにより選択する画素行数を変更する第1の動作と、

前記特徴抽出回路からの出力データにより選択する画素行数を変更する第2の動作とを実施するEL表示装置の駆動方法である。

第4の本発明は、画面の非表示領域と表示領域との割合で、画面の輝度を制御するEL表示装置であって、

EL素子および前記EL素子を駆動する駆動用トランジスタがマトリックス状に形成された表示領域と、

前記EL素子を画素行ごとにオンオフさせる電圧を伝達するゲート信号線と、

前記ゲート信号線を駆動するゲートドライバ回路と、

画像データまたは画像データに順ずるデータを集計する集計回路と、

前記集計回路の集計結果を、前記ゲートドライバ回路のスタートパルス信号に変換する変換回路を具備するEL表示装置である。

第5の本発明は、画面の非表示領域と表示領域との割合で、画面の輝

度を制御するE L表示装置であって、

前記画面の非表示領域と表示領域の割合を、第1の割合から第2の割合に変更する際に、遅延時間を発生させるE L表示装置の駆動方法である。

第6の本発明は、表示領域／（画面の非表示領域＋表示領域）は、 $1/16$ 以上 $1/1$ 以下である、第5の本発明のE L表示装置の駆動方法である。

第7の本発明は、各画素にコンデンサ、E L素子、および前記E L素子に電流を供給するPチャンネルの駆動用トランジスタが形成され、かつ画素がマトリックス状に形成された表示パネルと、

前記表示パネルにプログラム電流を供給するソースドライバ回路とを具備し、

前記ソースドライバ回路は、複数の単位電流を出力するNチャンネルの単位トランジスタを有する出力段を備えるE L表示装置である。

第8の本発明は、コンデンサの容量を C_s （pF）とし、1画素が占める面積を S （平方 μm ）とすると、 $500/S \leq C_s \leq 2000/S$ の条件を満足する、第7の本発明のE L表示装置である。

第9の本発明は、ソースドライバ回路からのプログラム電流 I （ μA ）は、画素サイズが A （平方mm）とし、白ラスタ表示所定輝度を B （nt）とすると、 $(A \times B)/20 \leq I \leq (A \times B)$ の条件を満足する、第7の本発明のE L表示装置である。

第10の本発明は、階調数を K とし、単位トランジスタの大きさを S_t （平方 μm ）とすると、

$40 \leq K/\sqrt{S_t}$ かつ $S_t \leq 300$ の条件を満足する、第7の本発明のE L表示装置である。

第11の本発明は、階調数を K とし、単位トランジスタの単位ラン

ジスタのチャンネル長を L (μm)、チャンネル幅を W (μm)としたとき、 $(\sqrt{(K/16)}) \leq L/W \leq (\sqrt{(K/16)}) \times 20$ の条件を満足する、第7の本発明のEL表示装置である。

第12の本発明は、第1の表示画面を有する第1のEL表示パネルと、第2の表示画面を有する第2のEL表示パネルと、

前記第1のEL表示パネルのソース信号線と前記第2のEL表示パネルのソース信号線とを接続するフレキシブル基板とを具備し、

画素を駆動する駆動トランジスタのチャンネル幅を W (μm)とし、チャンネル長を L (μm)とすると、前記第1の表示画面の画素を駆動する駆動トランジスタの W/L と、前記第2の表示画面の画素を駆動する駆動トランジスタの W/L とが異なっているEL表示装置である。

図面の簡単な説明

図1は、本発明の表示パネルの画素構成図である。

図2は、本発明の表示パネルの画素構成図である。

図3は、本発明の表示パネルの動作の説明図である。

図4は、本発明の表示パネルの動作の説明図である。

図5は、本発明の表示装置の駆動方法の説明図である。

図6は、本発明の表示装置の構成図である。

図7は、本発明の表示パネルの製造方法の説明図である。

図8は、本発明の表示装置の構成図である。

図9は、本発明の表示装置の構成図である。

図10は、本発明の表示パネルの断面図である。

図11は、本発明の表示パネルの断面図である。

図12は、本発明の表示パネルの説明図である。

図13は、本発明の表示装置の駆動方法の説明図である。

- 図 1 4 は、本発明の表示装置の駆動方法の説明図である。
- 図 1 5 は、本発明の表示装置の駆動方法の説明図である。
- 図 1 6 は、本発明の表示装置の駆動方法の説明図である。
- 図 1 7 は、本発明の表示装置の駆動方法の説明図である。
- 図 1 8 は、本発明の表示装置の駆動方法の説明図である。
- 図 1 9 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 0 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 1 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 2 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 3 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 4 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 5 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 6 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 7 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 8 は、本発明の表示装置の駆動方法の説明図である。
- 図 2 9 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 0 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 1 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 2 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 3 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 4 は、本発明の表示装置の構成図である。
- 図 3 5 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 6 は、本発明の表示装置の駆動方法の説明図である。
- 図 3 7 は、本発明の表示装置の構成図である。
- 図 3 8 は、本発明の表示パネルの画素構成図である。
- 図 3 9 は、本発明の表示装置の駆動方法の説明図である。

図 4 0 は、本発明の表示装置の構成図である。

図 4 1 は、本発明の表示装置の構成図である。

図 4 2 は、本発明の表示パネルの画素構成図である。

図 4 3 は、本発明の表示パネルの画素構成図である。

図 4 4 は、本発明の表示装置の駆動方法の説明図である。

図 4 5 は、本発明の表示装置の駆動方法の説明図である。

図 4 6 は、本発明の表示装置の駆動方法の説明図である。

図 4 7 は、本発明の駆動回路の説明図である。

図 4 8 は、本発明の駆動回路の説明図である。

図 4 7 は、本発明の駆動回路の説明図である。

図 4 8 は、本発明の駆動回路の説明図である。

図 4 7 は、本発明の駆動回路の説明図である。

図 4 8 は、本発明の駆動回路の説明図である。

図 4 7 は、本発明の駆動回路の説明図である。

図 4 8 は、本発明の駆動回路の説明図である。

図 4 9 は、本発明の駆動回路の説明図である。

図 5 0 は、本発明の駆動回路の説明図である。

図 5 1 は、本発明の駆動回路の説明図である。

図 5 2 は、本発明の駆動回路の説明図である。

図 5 3 は、本発明の駆動回路の説明図である。

図 5 4 は、本発明の駆動回路の説明図である。

図 5 5 は、本発明の駆動回路の説明図である。

図 5 6 は、本発明の駆動回路の説明図である。

図 5 7 は、本発明の駆動回路の説明図である。

図 5 8 は、本発明の駆動回路の説明図である。

図 5 9 は、本発明の駆動回路の説明図である。

- 図 6 0 は、本発明の駆動回路の説明図である。
- 図 6 1 は、本発明の駆動回路の説明図である。
- 図 6 2 は、本発明の駆動回路の説明図である。
- 図 6 3 は、本発明の駆動回路の説明図である。
- 図 6 4 は、本発明の駆動回路の説明図である。
- 図 6 5 は、本発明の駆動回路の説明図である。
- 図 6 6 は、本発明の駆動回路の説明図である。
- 図 6 7 は、本発明の駆動回路の説明図である。
- 図 6 8 は、本発明の駆動回路の説明図である。
- 図 6 9 は、本発明の駆動回路の説明図である。
- 図 7 0 は、本発明の駆動回路の説明図である。
- 図 7 1 は、本発明の駆動回路の説明図である。
- 図 7 2 は、本発明の駆動回路の説明図である。
- 図 7 3 は、本発明の駆動回路の説明図である。
- 図 7 4 は、本発明の駆動回路の説明図である。
- 図 7 5 は、本発明の表示装置の駆動方法の説明図である。
- 図 7 6 は、本発明の表示装置の駆動方法の説明図である。
- 図 7 7 は、本発明の駆動回路の説明図である。
- 図 7 8 は、本発明の表示装置の駆動方法の説明図である。
- 図 7 9 は、本発明の表示装置の駆動方法の説明図である。
- 図 8 0 は、本発明の表示装置の駆動方法の説明図である。
- 図 8 1 は、本発明の表示装置の駆動方法の説明図である。
- 図 8 2 は、本発明の表示装置の駆動方法の説明図である。
- 図 8 3 は、本発明の表示装置の駆動回路の説明図である。
- 図 8 4 は、本発明の表示装置の駆動回路の説明図である。
- 図 8 5 は、本発明の表示装置の駆動回路の説明図である。

図 8 6 は、本発明の表示装置の駆動回路の説明図である。

図 8 7 は、本発明の表示装置の駆動回路の説明図である。

図 8 8 は、本発明の表示装置の駆動回路の説明図である。

図 8 9 は、本発明の表示装置の駆動回路の説明図である。

図 9 0 は、本発明の表示装置の駆動回路の説明図である。

図 9 1 は、本発明の表示装置の駆動回路の説明図である。

図 9 2 は、本発明の表示装置の駆動回路の説明図である。

図 9 3 は、本発明の表示装置の駆動回路の説明図である。

図 9 4 は、本発明の表示装置の駆動回路の説明図である。

図 9 5 は、本発明の表示装置の駆動回路の説明図である。

図 9 6 は、本発明の表示装置の駆動回路の説明図である。

図 9 7 は、本発明の表示装置の駆動回路の説明図である。

図 9 8 は、本発明の表示装置の駆動回路の説明図である。

図 9 9 は、本発明の表示装置の駆動回路の説明図である。

図 1 0 0 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 1 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 2 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 3 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 4 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 5 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 6 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 7 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 8 は、本発明の表示パネルの駆動方法の説明図である。

図 1 0 9 は、本発明の表示パネルの駆動方法の説明図である。

図 1 1 0 は、本発明の表示パネルの駆動方法の説明図である。

図 1 1 1 は、本発明の表示パネルの駆動方法の説明図である。

- 図 1 1 2 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 1 3 は、本発明の表示パネルの画素構成図である。
- 図 1 1 4 は、本発明の表示パネルの画素構成図である。
- 図 1 1 5 は、本発明の表示パネルの画素構成図である。
- 図 1 1 6 は、本発明の表示パネルの画素構成図である。
- 図 1 1 7 は、本発明の表示パネルの画素構成図である。
- 図 1 1 8 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 1 9 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 2 0 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 2 1 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 2 2 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 2 3 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 2 4 は、本発明の表示装置の駆動回路の説明図である。
- 図 1 2 5 は、本発明の表示装置の説明図である。
- 図 1 2 6 は、本発明の表示装置の説明図である。
- 図 1 2 7 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 2 8 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 2 9 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 3 0 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 3 1 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 3 2 は、本発明の表示装置の説明図である。
- 図 1 3 3 は、本発明の表示装置の説明図である。
- 図 1 3 4 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 3 5 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 3 6 は、本発明の表示パネルの駆動方法の説明図である。
- 図 1 3 7 は、本発明の表示パネルの駆動方法の説明図である。

図 1 3 8 は、本発明の表示パネルの駆動方法の説明図である。

図 1 3 9 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 0 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 1 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 2 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 3 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 4 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 5 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 6 は、本発明の表示パネルの駆動方法の説明図である。

図 1 4 7 は、本発明の表示装置の説明図である。

図 1 4 8 は、本発明の表示装置の説明図である。

図 1 4 9 は、本発明の表示装置の説明図である。

図 1 5 0 は、本発明の表示装置の説明図である。

図 1 5 1 は、本発明の表示装置の説明図である。

図 1 5 2 は、本発明の表示装置の説明図である。

図 1 5 3 は、本発明の表示装置の説明図である。

図 1 5 4 は、本発明の表示装置の説明図である。

図 1 5 5 は、本発明の表示装置の説明図である。

図 1 5 6 は、本発明の表示装置の説明図である。

図 1 5 7 は、本発明の表示装置の説明図である。

図 1 5 8 は、本発明の表示装置の説明図である。

図 1 5 9 は、本発明の表示装置の説明図である。

図 1 6 0 は、本発明の表示装置の説明図である。

図 1 6 1 は、本発明の表示装置の説明図である。

図 1 6 2 は、本発明の表示装置の説明図である。

図 1 6 3 は、本発明のソースドライバ I C の説明図である。

図 1 6 4 は、本発明のソースドライバ I C の説明図である。

図 1 6 5 は、本発明のソースドライバ I C の説明図である。

図 1 6 6 は、本発明のソースドライバ I C の説明図である。

図 1 6 7 は、本発明のソースドライバ I C の説明図である。

図 1 6 8 は、本発明のソースドライバ I C の説明図である。

図 1 6 9 は、本発明のソースドライバ I C の説明図である。

図 1 7 0 は、本発明のソースドライバ I C の説明図である。

図 1 7 1 は、本発明のソースドライバ I C の説明図である。

図 1 7 2 は、本発明のソースドライバ I C の説明図である。

図 1 7 3 は、本発明の表示装置の説明図である。

図 1 7 4 は、本発明の表示装置の説明図である。

図 1 7 5 は、本発明のソースドライバ I C の説明図である。

図 1 7 6 は、本発明のソースドライバ I C の説明図である。

(符号の説明)

- 1 1 トランジスタ (薄膜トランジスタ)
- 1 2 ゲートドライバ I C (回路)
- 1 4 ソースドライバ I C (回路)
- 1 5 E L (素子) (発光素子)
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量 (付加コンデンサ、付加容量)
- 5 0 表示画面
- 5 1 書き込み画素 (行)
- 5 2 非表示画素 (非表示領域、非点灯領域)

- 5 3 表示画素（表示領域、点灯領域）
- 6 1 シフトレジスタ
- 6 2 インバータ
- 6 3 出力バッファ
- 7 1 アレイ基板（表示パネル）
- 7 2 レーザー照射範囲（レーザースポット）
- 7 3 位置決めマーカ
- 7 4 ガラス基板（アレイ基板）
- 8 1 コントロール I C（回路）
- 8 2 電源 I C（回路）
- 8 3 プリント基板
- 8 4 フレキシブル基板
- 8 5 封止フタ
- 8 6 カソード配線
- 8 7 アノード配線（V d d）
- 8 8 データ信号線
- 8 9 ゲート制御信号線
- 1 0 1 土手（リブ）
- 1 0 2 層間絶縁膜
- 1 0 4 コンタクト接続部
- 1 0 5 画素電極
- 1 0 6 カソード電極
- 1 0 7 乾燥剤
- 1 0 8 $\lambda/4$ 板
- 1 0 9 偏光板
- 1 1 1 薄膜封止膜

- 2 7 1 ダミー画素（行）
- 3 4 1 出力段回路
- 3 7 1 O R 回路
- 4 0 1 点灯制御線
- 4 7 1 逆バイアス線
- 4 7 2 ゲート電位制御線
- 4 5 1 電子ポリウム回路
- 4 5 2 トランジスタの S D （ソースドレイン）ショート
- 4 7 1、4 7 2、4 7 3 電流源（トランジスタ）
- 4 8 1 スイッチ（オンオフ手段）
- 4 8 4 電流源（単位トランジスタ）
- 4 8 3 内部配線
- 4 9 1 電子ポリウム
- 5 2 1 トランジスタ群
- 5 3 1 抵抗
- 5 3 2 デコーダ回路
- 5 3 3 レベルシフト回路
- 5 4 1 嵩上げ回路
- 5 5 1 D/A変換器
- 5 5 2 オペアンプ
- 5 6 1 アナログスイッチ
- 5 6 2 インバータ
- 5 8 1 ゲート配線
- 6 3 1 スリープスイッチ（基準電流オンオフ手段）
- 6 5 1 カウンタ
- 6 5 2 N O R

- 6 5 3 A N D
- 6 5 4 電流出力回路
- 6 5 5 スイッチ
- 6 7 1 一致回路
- 6 8 1 入出力パッド
- 6 9 1 基準電流回路
- 6 9 2 電流制御回路
- 7 0 1 温度検出手段
- 7 0 2 温度制御回路
- 7 1 1 単位ゲート出力回路
- 1 1 2 1 コイル（トランス）
- 1 1 2 2 制御回路
- 1 1 2 3 ダイオード
- 1 1 2 4 コンデンサ
- 1 1 2 5 抵抗
- 1 1 2 6 トランジスタ
- 1 1 3 1 切り替え回路（アナログスイッチ）
- 1 2 5 1 出力切り替え回路
- 1 2 5 2 切り替えスイッチ
- 1 5 0 1 アナログスイッチ
- 1 5 0 2 スイッチ制御線
- 1 5 0 3 接続配線
- 1 5 0 4 緩衝シート（板）
- 1 5 2 1 インバータ
- 1 5 2 2 接続端子
- 1 5 7 1 アンテナ

1 5 7 2	キー
1 5 7 3	筐体
1 5 7 4	表示パネル
1 5 8 1	接眼リング
1 5 8 2	拡大レンズ
1 5 8 3	凸レンズ
1 5 9 1	支点（回転部）
1 5 9 2	撮影レンズ
1 5 9 3	格納部
1 5 9 4	スイッチ
1 6 0 1	本体
1 6 0 2	撮影部
1 6 0 3	シャッタスイッチ
1 6 1 1	取り付け枠
1 6 1 2	脚
1 6 1 3	取り付け台
1 6 1 4	固定部
1 7 3 1	制御電極
1 7 3 2	映像信号回路
1 7 3 3	電子放出突起
1 7 3 4	保持回路
1 7 3 5	オンオフ制御回路
1 7 4 1	選択信号線
1 7 4 2	オンオフ信号線

発明を実施するための最良の形態

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図 11 に図示する表示パネルの断面図では薄膜封止膜 111 などを十分厚く図示している。一方、図 10 において、封止フタ 85 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図 8 の表示パネルにタッチパネルなどを付加し、図 157、図 159 から図 161 に図示する情報表示装置とすることができる。また、拡大レンズ 1582 を取り付け、ビデオカメラ（図 159 など参照のこと）などに用いるビューファインダ（図 58 を参照のこと）を構成することもできる。また、図 4、図 15、図 18、図 21、図 23、図 29、図 30、図 35、図 36、図 40、図 41、図 44、図 100 など説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。

なお、本明細書では、駆動用トランジスタ 11、スイッチング用トランジスタ 11 は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもものでもよい。アレイ基板 71 をシリコンウエハで形成すればよい。もちろん、FET、MOS-FET、MOS トランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リング

ダイオード、ホトダオード、ホトトランジスタ、P L Z T素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ素子 1 1、ゲートドライバ回路 1 2、ソースドライバ回路 1 4などは、これらのいずれでも使用することができる。

以下、本発明の E L パネルについて図面を参照しながら説明をする。有機 E L 表示パネルは、図 1 0 に示すように、画素電極としての透明電極 1 0 5 が形成されたガラス板 7 1（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも 1 層の有機機能層（E L 層）1 5、及び金属電極（反射膜）（カソード）1 0 6 が積層されたものである。透明電極（画素電極）1 0 5 である陽極（アノード）にプラス、金属電極（反射電極）1 0 6 の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極 1 0 5 及び金属電極 1 0 6 間に直流を印加することにより、有機機能層（E L 層）1 5 が発光する。

金属電極 1 0 6 には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えば A l - L i 合金を用いることが好ましい。また、透明電極 1 0 5 には、I T O 等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、I T O は I Z O などの他の材料でもよい。この事項は他の画素電極 1 0 5 に対しても同様である。

なお、封止フタ 8 5 とアレイ基板 7 1 との空間には乾燥剤 1 0 7 を配置する。これは、有機 E L 膜 1 5 は湿度に弱いためである。乾燥剤 1 0 7 によりシール剤を浸透する水分を吸収し有機 E L 膜 1 5 の劣化を防止する。

図 1 0 はガラスのフタ 8 5 を用いて封止する構成であるが、図 1 1 のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）1 1 1 を

用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを薄膜封止膜111として用いる。また、DLC（ダイヤモンドライクカーボン）膜などを金属電極106の表面に直接蒸着する構成のものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

以上のように封止フタ85を用いず、薄膜封止膜111で封止する構成を薄膜封止と呼ぶ。アレイ基板71側から光を取り出す「下取り出し（図10を参照、光取り出し方向は図10の矢印方向である）」の場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。薄膜封止膜111は前述したように、DLC（ダイ

ヤモンド ライク カーボン)、あるいは電界コンデンサの層構造(誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造)が例示される。

EL層15側から光を取り出す「上取り出し図11を参照、光取り出し方向は図11の矢印方向である」の場合の薄膜封止は、EL膜15を形成後、EL膜15上にカソード(アノード)となるAg-Mg膜を200オングストローム以上300オングストロームの膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に薄膜封止膜11を形成する。

有機EL層15から発生した光の半分は、金属電極106で反射され、アレイ基板71と透過して出射される。しかし、金属電極106は外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板71に $\lambda/4$ 移相板108および偏光板(偏光フィルム)109を配置している。これらは一般的に円偏光板(円偏光シート)と呼ばれる。

なお、画素が反射電極の場合はEL層15から発生した光は上方向に出射される。したがって、位相板108および偏光板109は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極105を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極105の表面に、凸部(もしくは凹凸部)を設けることで有機EL層15との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード106(アノード105)となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

トランジスタ11はLDD(ロードーピングドレイン)構造を採

用することが好ましい。また、本明細書ではE L素子として有機E L素子（O E L、P E L、P L E D、O L E Dなど多種多様な略称で記述される）15を例にあげて説明するがこれに限定するものではなく、無機E L素子にも適用されることは言うまでもない。

まず、有機E L表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること、1フレーム期間を通じてE L素子に電流を流すことができることという2つの条件を満足させなければならない。

この2つの条件を満足させるため、図46に図示する従来の有機E Lの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタ、第2のトランジスタ11aはE L素子（E L膜）15に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが±0.2V～0.5Vの範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。

この現象は、低温ポリシリコン技術に限定されるものではなく、プロ

セス温度が450度（摂氏）以上の高温ポリシリコン技術でも、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

したがって、図46のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。

本発明のEL表示装置の画素構造は、具体的には図1に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにEL素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイパーチャ（HA）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線（第1の走査線）17aをアクティブ（ON電圧を印加）とすることによりEL素子15の駆動用のトランジスタ11aおよびスイッチ用トランジスタ11cを通して、前記EL素子15に流すべき電流値をソースドライバ回路14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するようにトランジスタ11bがゲート信号線17aアクティブ（ON電圧を印加）となることにより開くと共に、

トランジスタ 11 a のゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）19 にトランジスタ 11 a のゲート電圧（あるいはドレイン電圧）を記憶する（図 3 の (a) を参照のこと）。

なお、コンデンサ（蓄積容量）19 の大きさは、0.2 pF 以上 2 pF 以下とすることがよく、中でもコンデンサ（蓄積容量）19 の大きさは、0.4 pF 以上 1.2 pF 以下とすることがよい。画素サイズを考慮してコンデンサ 19 の容量を決定する。1 画素に必要な容量を C_s (pF) とし、1 画素が占める面積（開口率ではない）を S_p (平方 μm) とすれば、 $500/S \leq C_s \leq 20000/S$ とし、さらに好ましくは、 $1000/S_p \leq C_s \leq 10000/S_p$ となるようにする。なお、トランジスタのゲート容量は小さいので、ここでいう Q とは、蓄積容量（コンデンサ）19 単独の容量である。

ゲート信号線 17 a を非アクティブ（OFF 電圧を印加）、ゲート信号線 17 b をアクティブとして、電流の流れる経路を前記第 1 のトランジスタ 11 a 並びに EL 素子 15 に接続されたトランジスタ 11 d ならびに前記 EL 素子 15 を含む経路に切り替えて、記憶した電流を前記 EL 素子 15 に流すように動作する（図 3 の (b) を参照のこと）。

この回路は 1 画素内に 4 つのトランジスタ 11 を有しており、トランジスタ 11 a のゲートはトランジスタ 11 b のソースに接続されている。また、トランジスタ 11 b およびトランジスタ 11 c のゲートはゲート信号線 17 a に接続されている。トランジスタ 11 b のドレインはトランジスタ 11 c のソースならびにトランジスタ 11 d のソースに接続され、トランジスタ 11 c のドレインはソース信号線 18 に接続されている。トランジスタ 11 d のゲートはゲート信号線 17 b に接続され、トランジスタ 11 d のドレインは EL 素子 15 のアノード電極に接続されている。

なお、図 1 ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは多少 N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は E L 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

最適には画素を構成するトランジスタ 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ回路 12 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみのトランジスタで形成することにより、マスク枚数が 5 枚となり、低コスト化、高歩留まり化を実現できる。

以下、さらに本発明の理解を容易にするために、本発明の E L 素子構成について図 3 を用いて説明する。本発明の E L 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ 11 b ならびにトランジスタ 11 c が ON することにより、等価回路として図 3 の (a) となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ 11 a はゲートとドレインが接続された状態となり、このトランジスタ 11 a とトランジスタ 11 c を通じて電流 I_w が流れる。したがって、トランジスタ 11 a のゲートーソースの電圧は I_1 が流れるような電圧となる。

第 2 のタイミングはトランジスタ 11 a とトランジスタ 11 c が閉じ、トランジスタ 11 d が開くタイミングであり、そのときの等価回路は図 3 の (b) となる。トランジスタ 11 a のソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ 11 a は常に飽和領域で動作するため、 I_w の電流は一定となる。

このように動作させると、図 5 に図示するようになる。つまり、図 5 の (a) の 5 1 a は表示画面 5 0 における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）5 1 a は、図 5 の (b) に図示するように非点灯（非表示画素（行））とする。他の画素（行）は表示画素（行）5 3 とする（表示領域 5 3 の画素 1 6 の E L 素子 1 5 には電流が流れ、E L 素子 1 5 が発光している）。

図 1 の画素構成の場合、図 3 の (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 1 8 に流れる。この電流 I_w がトランジスタ 1 1 a を流れ、 I_w を流す電流が保持されるように、コンデンサ 1 9 に電圧設定（プログラム）される。このとき、トランジスタ 1 1 d はオープン状態（オフ状態）である。

次に、E L 素子 1 5 に電流を流す期間は図 3 の (b) のように、トランジスタ 1 1 c、1 1 b がオフし、トランジスタ 1 1 d が動作する。つまり、ゲート信号線 1 7 a にオフ電圧（ V_{gh} ）が印加され、トランジスタ 1 1 b、1 1 c がオフする。一方、ゲート信号線 1 7 b にオン電圧（ V_{gl} ）が印加され、トランジスタ 1 1 d がオンする。

このタイミングチャートを図 4 に図示する。なお、図 4 などにおいて、括弧内の添え字（たとえば、(1) など）は画素行の番号を示している。つまり、ゲート信号線 1 7 a (1) とは、画素行 (1) のゲート信号線 1 7 a を示している。また、図 4 の上段の *H（「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、1 H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（1 H の番号、1 H 周期、画素行番号の順番など）するものではない。

図 4 でわかるように、各選択された画素行（選択期間は、1 H としている）において、ゲート信号線 1 7 a にオン電圧が印加されている時に

は、ゲート信号線 17b にはオフ電圧が印加されている。また、この期間には、EL 素子 15 には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線 17a にオフ電圧が印加され、ゲート信号線 17b にはオン電圧が印加されている。また、この期間は、EL 素子 15 に電流が流れている（点灯状態）。

なお、トランジスタ 11a のゲートとトランジスタ 11c のゲートは同一のゲート信号線 11a に接続している。しかし、トランジスタ 11a のゲートとトランジスタ 11c のゲートとを異なるゲート信号線 11 に接続してもよい（図 32 を参照のこと）。1 画素のゲート信号線は 3 本となる（図 1 の構成は 2 本である）。トランジスタ 11b のゲートの ON/OFF タイミングとトランジスタ 11c のゲートの ON/OFF タイミングを個別に制御することにより、トランジスタ 11a のばらつきによる EL 素子 15 の電流値バラツキをさらに低減することができる。

ゲート信号線 17a とゲート信号線 17b とを共通にし、トランジスタ 11c と 11d が異なった導電型（N チャンネルと P チャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ 11a のソース（S）－ゲート（G）間容量（コンデンサ）に記憶されない。トランジスタ 11c とトランジスタ 11d を異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ 11c がオフしたのちに、トランジスタ 11d がオンすることが可能になる。

ただし、この場合お互いの閾値を正確にコントロールする必要がある

のでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11eを図2に示すように、カスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流をより精度よくEL素子15に流すことができるようになる。

なお、本発明の画素構成は図1、図2の構成に限定されるものではない。たとえば、図113のように構成してもよい。図113は、図1の構成に比較してトランジスタ11dがない。替わりに切り替えスイッチ1131が形成または配置されている。図1のスイッチ11dは駆動用トランジスタ11aからEL素子15に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ11dのオンオフ制御機能が重要な構成要素である。トランジスタ11dを形成せず、オンオフ機能を実現するのが、図113の構成である。

図113において、切り替えスイッチ1131のa端子は、アノード電圧V_{dd}に接続されている。なお、a端子に印加する電圧はアノード電圧V_{dd}に限定されるものではなく、EL素子15に流れる電流をオフできる電圧であればいずれでもよい。

切り替えスイッチ1131のb端子は、カソード電圧（図113ではグランドと図示している）に接続されている。なお、b端子に印加する電圧はカソード電圧に限定されるものではなく、EL素子15に流れる電流をオンできる電圧であればいずれでもよい。

切り替えスイッチ1131のc端子にはEL素子15のカソード端子が接続されている。なお、切り替えスイッチ1131はEL素子15に

流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図 1 1 3 の形成位置に限定されるものではなく、E L 素子 1 5 の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、E L 素子 1 5 に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、E L 素子 1 5 の電流経路に E L 素子 1 5 に流す電流をオンオフできるスイッチング手段を具備すればいずれの画素構成でもよい。

また、オフとは完全に電流が流れない状態を意味するものではない。E L 素子 1 5 に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。

切り替えスイッチ 1 1 3 1 は、P チャンネルと N チャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを 2 回路形成すればよい。もちろん、スイッチ 1 1 3 1 は E L 素子 1 5 に流れる電流をオンオフするだけであるから、P チャンネルトランジスタあるいは N チャンネルトランジスタでも形成することができることは言うまでもない。

スイッチ 1 1 3 1 が a 端子に接続されている時は、E L 素子 1 5 のカソード端子に V d d 電圧が印加される。したがって、駆動用トランジスタ 1 1 a のゲート端子 G がいずれの電圧保持状態であっても E L 素子 1 5 には電流が流れない。したがって、E L 素子 1 5 は非点灯状態となる。

スイッチ 1 1 3 1 が b 端子に接続されている時は、E L 素子 1 5 のカソード端子に G N D 電圧が印加される。したがって、駆動用トランジスタ 1 1 a のゲート端子 G に保持された電圧状態に応じて E L 素子 1 5 に電流が流れる。したがって、E L 素子 1 5 は点灯状態となる。

以上のことより図 1 1 3 の画素構成では、駆動用トランジスタ 1 1 a と E L 素子 1 5 間にはスイッチング用トランジスタ 1 1 d が形成されて

いない。しかし、スイッチ 1 1 3 1 を制御することにより E L 素子 1 5 の点灯制御を行うことができる。

図 1、図 2 などの画素構成では、駆動用トランジスタ 1 1 a は 1 画素につき 1 個である。本発明はこれに限定するものではなく、駆動用トランジスタ 1 1 a は 1 画素に複数個を形成または配置してもよい。図 1 1 6 はその実施例である。図 1 1 6 では 1 画素に 2 個の駆動用トランジスタ 1 1 a 1、1 1 a 2 が形成され、2 個の駆動用トランジスタ 1 1 a 1、1 1 a 2 のゲート端子は共通のコンデンサ 1 9 に接続されている。駆動用トランジスタ 1 1 a を複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図 1 などと同様であるので説明を省略する。

図 1、図 2 は駆動用トランジスタ 1 1 a が出力する電流を E L 素子 1 5 に流し、前記電流を駆動用トランジスタ 1 1 a と E L 素子 1 5 間に配置されたトランジスタ 1 1 d でオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図 1 1 7 の構成が例示される。

図 1 1 7 の実施例では、E L 素子 1 5 に流す電流が駆動用トランジスタ 1 1 a で制御される。E L 素子 1 5 に流れる電流をオンオフさせるのは V d d 端子と E L 素子 1 5 間に配置されたスイッチング素子 1 1 d で制御される。したがって、本発明はスイッチング素子 1 1 d の配置はどこでもよく、E L 素子 1 5 に流れる電流を制御できるものであればいずれでもよい。

トランジスタ 1 1 a の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第 1 のトランジスタ 1 1 a のチャンネル長が $5\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第 1 のトランジスタ 1 1 a のチャンネル長が $10\ \mu\text{m}$ 以上

50 μm 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

以上のように、本発明は、EL素子15に電流が流れこむ経路、またはEL素子15から電流が流れ出す経路（つまり、EL素子15の電流経路である）にEL素子15に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。

電流プログラム方式の1つであるカレントミラー方式であっても、図114に図示するように、駆動用トランジスタ11bとEL素子15間にスイッチング素子としてのトランジスタ11gを形成または配置することによりEL素子15に流れる電流をオンオフすることができる（制御することができる）。もちろん、トランジスタ11gは図113のスイッチ1131に置き換えても良い。

なお、図114のスイッチング用トランジスタ11d、11cは1本のゲート信号線17aに接続されているが、図115に図示するように、トランジスタ11cはゲート信号線17a1で制御し、トランジスタ11dはゲート信号線17a2で制御するように構成してもよい。図115の構成の方が、画素16の制御の汎用性が高くなる。

また、図42の(a)に図示するように、トランジスタ11b、11cなどはNチャンネルトランジスタで形成してもよい。また、図42の(b)に図示するようにトランジスタ11c、11dなどはPチャンネルトランジスタで形成してもよい。

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数

を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

また、蓄積容量 19 の容量値を C_s 、第 2 のトランジスタ 11 b のオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

$$6 < C_s / I_{off} < 18$$

トランジスタ 11 b のオフ電流を 5 pA 以下とすることにより、EL を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド間保持できないためである。したがって、コンデンサ 19 の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことにより隣接画素間の電流値の変動を 2 % 以下に抑えることができる。

また、アクティブマトリックスを構成するトランジスタが p-チャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ 11 b がデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ 11 b は、トランジスタ 11 a のソースドレイン間のスイッチとして作用するため、できるだけ ON/OFF 比の高い特性が要求される。トランジスタ 11 b のゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより ON/OFF 比の高い特性を実現できる。

画素 1 6 のトランジスタ 1 1 を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ 1 1 特性のバラツキとなる。しかし、1 画素 1 6 内のトランジスタ 1 1 の特性が一致していれば、図 1 などの電流プログラムを行う方式では、所定の電流が E L 素子 1 5 に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（C G S）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。

この課題に対して、本発明では図 7 に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）7 2 をソース信号線 1 8 に平行に照射する。また、1 画素列に一致するようにレーザー照射スポット 7 2 を移動させる。もちろん、1 画素列に限定するものではなく、たとえば、図 5 5 の R G B を 1 画素 1 6 という単位でレーザーを照射してもよい（この場合は、3 画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことはいうまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

画素は R G B の 3 画素で正方形の形状となるように作製されている。したがって、R、G、B の各画素は縦長の画素形状となる。したがって、レーザー照射スポット 7 2 を縦長にしてアニールすることにより、1 画素内ではトランジスタ 1 1 の特性バラツキが発生しないようにすること

ができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

図7の構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット72を照射してアニールを順次行う。

図7で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザースポットを照射する方式）は、有機EL表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ11aに流す電流はほぼ同一のため、ソースドライバIC14から出力する電流振幅の変化が少ない。もし、図1のトランジスタ11aの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線18の電位は一定である。

したがって、ソース信号線 18 の電位変動は発生しない。1 つのソース信号線 18 に接続されたトランジスタ 11 a の特性がほぼ同一であれば、ソース信号線 18 の電位変動は小さいことになる。このことは、図 38 などの他の電流プログラム方式の画素構成でも同一である（つまり、図 7 の製造方法を適用することが好ましい）。

また、図 27、図 30 などの説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図 27 などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはソースドライバ回路 14 で吸収できる。

なお、図 7 では、ソースドライバ回路 14 は、IC チップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路 14 を画素 16 と同一プロセスで形成してもよいことは言うまでもない。

本発明では特に、駆動用トランジスタ 11 b の閾電圧 V_{th2} が画素内で対応する駆動用トランジスタ 11 a の閾電圧 V_{th1} より低くならない様に設定している。例えば、トランジスタ 11 b のゲート長 L_2 をトランジスタ 11 a のゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

なお、以上の事項は、図 38 に図示するカレントミラーの画素構成にも適用できる。図 38 では、信号電流が流れる駆動用トランジスタ 11 a、EL 素子 15 等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ 11 b の他、ゲート信号線 17 a 1 の制御によって画素

回路とデータ線 $d a t a$ とを接続もしくは遮断する取込用トランジスタ $11c$ 、ゲート信号線 $17a2$ の制御によって書き込み期間中にトランジスタ $11a$ のゲート・ドレインを短絡するスイッチ用トランジスタ $11d$ 、トランジスタ $11a$ のゲート・ソース間電圧を書き込み終了後も保持するための容量 $C19$ および発光素子としての EL 素子 15 などから構成される。

図38でトランジスタ $11c$ 、 $11d$ は N チャンネルトランジスタ、その他のトランジスタは P チャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量 Cs は、その一方の端子をトランジスタ $11a$ のゲートに接続され、他方の端子は Vdd (電源電位) に接続されているが、 Vdd に限らず任意の一定電位でも良い。 EL 素子 15 のカソード (陰極) は接地電位に接続されている。

次に、本発明の EL 表示パネルあるいは EL 表示装置について説明をする。図6は EL 表示装置の回路を中心とした説明図である。画素 16 がマトリックス状に配置または形成されている。各画素 16 には各画素の電流プログラムを行う電流を出力するソースドライバ回路 14 が接続されている。ソースドライバ回路 14 の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている (後に説明する)。たとえば、 64 階調であれば、 63 個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線 18 に印加できるように構成されている (図48を参照のこと)。

なお、1つのカレントミラー回路の最小出力電流は 10 nA 以上 50 nA にしている。特にカレントミラー回路の最小出力電流は 15 nA 以上 35 nA にすることがよい。ソースドライバ $IC14$ 内のカレントミ

ラー回路を構成するトランジスタの精度を確保するためである。

また、ソース信号線 18 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線 18 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子 15 の閾値がRGBで異なるからである（プリチャージ回路については図 65、図 67 およびその説明を参照のこと）。

有機EL素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を調整する（変化させる）。

本発明において、ソースドライバ回路 14 は半導体シリコンチップで形成し、ガラスオンチップ（COG）技術でアレイ基板 71 のソース信号線 18 の端子と接続されている。ソースドライバ回路 14 の実装は、COG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバIC 14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブICは電源IC 82を別途作製し、3チップ構成としてもよい。

一方、ゲートドライバ回路 12 は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路 14 に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ回路 12 をシリコンチップで形成し、COG技術などを用

いてアレイ基板 7 1 上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

ゲートドライバ回路 1 2 はゲート信号線 1 7 a 用のシフトレジスタ回路 6 1 a と、ゲート信号線 1 7 b 用のシフトレジスタ回路 6 1 b とを内蔵する。各シフトレジスタ回路 6 1 は正相と負相のクロック信号（CLK x P、CLK x N）、スタートパルス（ST x）で制御される（図 6 を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロール IC 8 1 からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。

シフトレジスタ回路 6 1 のバッファ容量は小さいため、直接にはゲート信号線 1 7 を駆動することができない。そのため、シフトレジスタ回路 6 1 の出力とゲート信号線 1 7 を駆動する出力ゲート 6 3 間には少なくとも 2 つ以上のインバータ回路 6 2 が形成されている。

ソースドライバ回路 1 4 を低温ポリシリなどのポリシリ技術でアレイ基板 7 1 上に直接形成する場合も同様であり、ソース信号線 1 8 を駆動するトランスファージェートなどのアナログスイッチのゲートとソースドライバ回路 1 4 のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファージェートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドラ

イブ回路に共通の事項である。

たとえば、図 6 ではソースドライバ回路 1 4 の出力が直接ソース信号線 1 8 に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファークラックなどのアナログスイッチのゲートに接続されている。

インバータ回路 6 2 は P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタから構成される。先にも説明したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 の出力端にはインバータ回路 6 2 が多段に接続されており、その最終出力が出力ゲート回路 6 3 に接続されている。なお、インバータ回路 6 2 は P チャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

図 8 は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロール IC 8 1 からソースドライバ回路 1 4 a に供給する信号（電源配線、データ配線など）はフレキシブル基板 8 4 を介して供給する。

図 8 ではゲートドライバ回路 1 2 の制御信号はコントロール IC で発生させ、ソースドライバ回路 1 4 で、レベルシフトを行った後、ゲートドライバ回路 1 2 に印加している。ソースドライバ回路 1 4 の駆動電圧は 4 ～ 8 (V) であるから、コントロール IC 8 1 から出力された 3.3 (V) 振幅の制御信号を、ゲートドライバ回路 1 2 が受け取れる 5 (V) 振幅に変換することができる。

なお、図 8 などにおいて 1 4 をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフ

ト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図8などで説明する構成にあっても、図9などで説明する3辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

表示パネルを携帯電話などの情報表示装置に使用する場合、図9に示すように、ソースドライバIC（回路）14、ゲートドライバIC（回路）12は、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバIC（回路）を実装（形成）する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバIC12が実装され、Y辺にソースが実装されていた）。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリーの構成で作製してもよい（つまり、図9のソースドライバ回路14とゲートドライバ回路12のうち、少なくとも一方をポリシリコン技術でアレイ基板71に直接形成する）。

なお、3辺フリー構成とは、アレイ基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバIC（回路）14、ゲートドライバIC（回路）12などを取り付けたフィルム（TCP、TAB技術など）をアレイ基板71の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

図9のようにゲートドライバ回路12をソースドライバ回路14の横に配置すると、ゲート信号線17は辺Cにそって形成する必要がある。

なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、a

の部分（画面上部）はゲート信号線 17 が 1 本形成されている。

C 辺に形成するゲート信号線 17 のピッチは $5\ \mu\text{m}$ 以上 $12\ \mu\text{m}$ 以下にする。 $5\ \mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば $7\ \mu\text{m}$ 以下で寄生容量の影響が顕著に発生する。さらに $5\ \mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\ \mu\text{m}$ を越えると表示パネルの額縁幅 D が大きくなりすぎ実用的でない。

前述の画像ノイズを低減するためには、ゲート信号線 17 を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線 17 上に配置すればよい。

図 9 の C 辺のゲート信号線 17 は ITO 電極で形成してもよいが、低抵抗化するため、ITO と金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITO と積層する場合は、ITO 上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくは ITO 上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

なお、図 9 などにおいて、ゲート信号線 17 などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線 17 a を表示画面 50 の右側に配置（形成）し、ゲート信号線 17 b を表示画面 50 の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

また、ソースドライバ I C 1 4 とゲートドライバ I C 1 2 とを 1 チップ化してもよい。1 チップ化すれば、表示パネルへの I C チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライバ I C 内で使用する各種電圧も同時に発生することができる。

なお、ソースドライバ I C 1 4、ゲートドライバ I C 1 2 はシリコンなどの半導体ウエハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 8 2 に直接形成してもよいことは言うまでもない。

なお、画素は、R、G、B の 3 原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの 3 色でもよい。また、B とイエローの 2 色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの 6 色でもよい。R、G、B、シアン、マゼンダの 5 色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明の E L 表示装置は、R G B の 3 原色でカラー表示を行うものに限定されるものではない。

有機 E L 表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、R G B の各層を塗り分ける必要がない、R G B の各色の有機 E L 材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明の E L 表示パネルなどはこのいずれの方式でも適用される。

また、3 原色の他に、白色発光の画素を形成してもよい。白色発光の画素は R、G、B 発光の構造を積層することにより作製（形成または構成）することにより実現できる。1 組の画素は、R G B の 3 原色と、白色発光の画素 1 6 W からなる。白色発光の画素を形成することにより、

白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

R G Bなどの3原色を1組の画素とする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が7000 K（ケルビン）以上12000 K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100 A／平方メートルとすれば、3原色がいずれも70 A／平方メートル以上130 A／平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85 A／平方メートル以上115 A／平方メートル以下となるようにする。

有機EL素子15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

この課題に対処するため、本発明ではゲートドライバ回路12（場合によってはソースドライバ回路14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50 nm以上150 nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニングが困難になる。

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制

すべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

画素16のトランジスタ11の欠陥は、ソースドライバIC14などにも影響を与える。例えば、図45では駆動用トランジスタ11aにソースドレイン（SD）ショート452が発生していると、パネルのV_{dd}電圧がソースドライバIC14に印加される。したがって、ソースドライバIC14の電源電圧は、パネルの電源電圧V_{dd}と同一かもしくは高くしておくことが好ましい。なお、ソースドライバICで使用する基準電流は電子ボリウム451で調整できるように構成しておくことが好ましい。

トランジスタ 11 a に S D ショート 4 5 2 が発生していると、E L 素子 1 5 に過大な電流が流れる。つまり、E L 素子 1 5 が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図 4 5 において、トランジスタ 11 a のソースドレイン（S D）ショートが発生していると、トランジスタ 11 a のゲート（G）端子電位の大小に関わらず、V d d 電圧から E L 素子 1 5 に電流が常時流れる（トランジスタ 11 d がオンの時）。したがって、輝点となる。

一方、トランジスタ 11 a に S D ショートが発生していると、トランジスタ 11 c がオン状態の時、V d d 電圧がソース信号線 1 8 に印加されソースドライバ回路 1 4 に V d d 電圧が印加される。もし、ソースドライバ回路 1 4 の電源電圧が V d d 以下であれば、耐圧を越えて、ソースドライバ回路 1 4 が破壊される恐れがある。そのため、ソースドライバ回路 1 4 の電源電圧は V d d 電圧（パネルの高い方の電圧）以上にすることが好ましい。

トランジスタ 11 a の S D ショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ 11 a と E L 素子 1 5 間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。

以下、本発明の駆動方法について説明をする。図 1 に示すように、ゲート信号線 1 7 a は行選択期間に導通状態（ここでは図 1 のトランジスタ 11 が p チャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線 1 7 b は非選択期間時に導通状態とする。

ソース信号線 1 8 には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線 1 8 とゲート信号線 1 7 とのクロス部の容量、トランジス

タ 1 1 b、1 1 c のチャンネル容量などにより発生する。

ソース信号線 1 8 の電流値変化に要する時間 t は浮遊容量の大きさを C 、ソース信号線の電圧を V 、ソース信号線に流れる電流を I とすると $t = C \cdot V / I$ であるため電流値を 1 0 倍大きくできることは電流値変化に要する時間が 1 0 分の 1 近くまで短くできる、またはソース信号線 1 8 の寄生容量が 1 0 倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

入力電流を 1 0 倍にすると出力電流も 1 0 倍となり、E L の輝度が 1 0 倍となるため所定の輝度を得るために、図 1 のトランジスタ 1 7 d の導通期間を従来の 1 0 分の 1 とし、発光期間を 1 0 分の 1 とすることで、所定輝度を表示するようにした。なお、1 0 倍を例示して説明しているのは理解を容易にするためである。1 0 倍に限定するものでないことは言うまでもない。

つまり、ソース信号線 1 8 の寄生容量の充放電を十分に行い、所定の電流値を画素 1 6 のトランジスタ 1 1 a にプログラムするためには、ソースドライバ回路 1 4 から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線 1 8 に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流が E L 素子 1 5 に流れる。たとえば、1 0 倍の電流でプログラムすれば、当然、1 0 倍の電流が E L 素子 1 5 に流れ、E L 素子 1 5 は 1 0 倍の輝度で発光する。所定の発光輝度にするためには、E L 素子 1 5 に流れる時間を $1 / 1 0$ にすればよい。このように駆動することにより、ソース信号線 1 8 の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

なお、1 0 倍の電流値を画素のトランジスタ 1 1 a (正確にはコンデ

ンサ 19 の端子電圧を設定している) に書き込み、E L 素子 15 のオン時間を $1/10$ にするとしたがこれは一例である。場合によっては、10 倍の電流値を画素のトランジスタ 11 a に書き込み、E L 素子 15 のオン時間を $1/5$ にしてもよい。逆に 10 倍の電流値を画素のトランジスタ 11 a に書き込み、E L 素子 15 のオン時間を $1/2$ 倍にする場合もあるであろう。

本発明は、画素への書き込み電流を所定値以外の値にし、E L 素子 15 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N 倍の電流値を画素のトランジスタ 11 に書き込み、E L 素子 15 のオン時間を $1/N$ 倍にするとして説明する。しかし、これに限定するものではなく、 $N1$ 倍の電流値を画素のトランジスタ 11 に書き込み、E L 素子 15 のオン時間を $1/(N2)$ 倍 ($N1$ と $N2$ とは異なる) でもよいことは言うまでもない。

白ラスタ表示において、表示画面 50 の 1 フィールド (フレーム) 期間の平均輝度を $B0$ と仮定する。この時、各画素 16 の輝度 $B1$ が平均輝度 $B0$ よりも高くなるように電流 (電圧) プログラムを行う駆動方法である。かつ、少なくとも 1 フィールド (フレーム) 期間において、非表示領域 53 が発生するようにする駆動方法である。したがって、本発明の駆動方法では、1 フィールド (フレーム) 期間の平均輝度は $B1$ よりも低くなる。

なお、間欠する間隔 (非表示領域 52 / 非表示領域 53) は等間隔に限定するものではない。たとえば、ランダムでもよい (全体として、表示期間もしくは非表示期間が所定値 (一定割合) となればよい)。また、RGB で異なってもよい。つまり、白 (ホワイト) バランスが最適になるように、R、G、B 表示期間もしくは非表示期間が所定値 (一定割合) となるように調整 (設定) すればよい

本発明の駆動方法の説明を容易にするため、 $1/N$ とは、 $1F$ （ 1 フィールドまたは 1 フレーム）を基準にしてこの $1F$ を $1/N$ にするとして説明する。しかし、 1 画素行が選択され、電流値がプログラムされる時間（通常、 1 水平走査期間（ $1H$ ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。

たとえば、 $N=10$ 倍の電流で画素 16 に電流プログラムし、 $1/5$ の期間の間、 EL 素子 15 を点灯させてもよい。 EL 素子 15 は、 $10/5=2$ 倍の輝度で点灯する。 $N=2$ 倍の電流で画素 16 に電流プログラムし、 $1/4$ の期間の間、 EL 素子 15 を点灯させてもよい。 EL 素子 15 は、 $2/4=0.5$ 倍の輝度で点灯する。つまり、本発明は、 $N=1$ 倍でない電流でプログラムし、かつ、常時点灯（ $1/1$ 、つまり、間欠表示でない）状態以外の表示を実施するものである。また、 EL 素子 15 に供給する電流を 1 フレーム（あるいは 1 フィールド）の期間において、少なくとも 1 回、オフする駆動方式である。また、所定値よりも大きな電流で画素 16 にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機（無機） EL 表示装置は、 CRT のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、 EL 表示装置では、 $1F$ （ 1 フィールドあるいは 1 フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

本発明では、 $1F/N$ の期間の間だけ、 EL 素子 15 に電流を流し、他の期間（ $1F(N-1)/N$ ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では $1F$ ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画

像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示は、トランジスタ11dを1H周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素16に保持されている。したがって、間欠表示を実施するための画像メモリは不要である。

本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 I_w をオフしても、画像データはそのままコンデンサ19の保持されている。したがって、次のタイミングでトランジスタ11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

さらに、大型の表示装置でソース信号線18の配線長が長くなり、ソース信号線18の寄生容量が大きくなる場合は、N値を大きくすることにより対応できる。ソース信号線18に印加するプログラム電流値をN

倍にした場合、ゲート信号線 17b (トランジスタ 11d) の導通期間を $1F/N$ とすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線 18 の寄生容量は、隣接したソース信号線 18 間の結合容量、ソースドライバ IC (回路) 14 のバッファ出力容量、ゲート信号線 17 とソース信号線 18 とのクロス容量などにより発生する。この寄生容量は通常 10 pF 以上となる。電圧駆動の場合は、ソースドライバ IC 14 からは低インピーダンスで電圧がソース信号線 18 に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ 19 をプログラムする必要がある。したがって、寄生容量が所定値以上の大ききで発生すると、1画素行にプログラムする時間 (通常、 1 H 以内、ただし、2画素行を同時に書き込む場合もあるので 1 H 以内に限定されるものではない。) 内に寄生容量を充放電することができない。 1 H 期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

図 1 の画素構成の場合、図 3 の (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 18 に流れる。この電流 I_w がトランジスタ 11a を流れ、 I_w を流す電流が保持されるように、コンデンサ 19 に電圧設定 (プログラム) される。このとき、トランジスタ 11d はオープン状態 (オフ状態) である。

次に、EL素子 15 に電流を流す期間は図 3 の (b) のように、トランジスタ 11c、11b がオフし、トランジスタ 11d が動作する。つまり、ゲート信号線 17a にオフ電圧 (V_{gh}) が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17b にオン電圧 (V_g

1) が印加され、トランジスタ 11d がオンする。

今、電流 I_1 が本来流す電流（所定値）の N 倍であるとする、図 3 の (b) の EL 素子 15 に流れる電流も I_w となる。したがって、所定値の 10 倍の輝度で EL 素子 15 は発光する。つまり、図 12 に図示するように、倍率 N を高くするほど、画素 16 の表示輝度 B も高くなる。したがって、倍率と画素 16 の輝度とは比例関係となる。

そこで、トランジスタ 11d を本来オンする時間（約 $1F$ ）の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、 $1F$ 全体の平均輝度は所定の輝度となる。この表示状態は、CRT が電子銃で画面を走査しているのと近似する。異なる点は、画面全体の $1/N$ （全画面を 1 とする）が点灯している点である（CRT では、点灯している範囲は 1 画素行（厳密には 1 画素である））。

本発明では、この $1F/N$ の画像表示領域 53 が図 13 の (b) に示すように画面 50 の上から下に移動する。本発明では、 $1F/N$ の期間の間だけ、EL 素子 15 に電流が流れ、他の期間 $(1F \cdot (N-1)/N)$ は電流が流れない。したがって、各画素 16 は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

なお、図 13 に図示するように、書き込み画素行 51a は非点灯表示 52a とする。しかし、これは、図 1、図 2 などの画素構成の場合である。図 38 などで図示するカレントミラーの画素構成では、書き込み画素行 51a は点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図 1 の画素構成を例示して説明をする。また、図 13、図 16 などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法を N 倍パルス駆動と呼ぶ。

この表示状態では $1F$ ごとに画像データ表示、黒表示（非点灯）が繰

り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のEL表示パネル）では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

なお、図13に図示するように、駆動するためには、画素16の電流プログラム期間（図1の画素構成においては、ゲート信号線17aのオン電圧 V_{g1} が印加されている期間）と、EL素子15をオフまたはオン制御している期間（図1の画素構成においては、ゲート信号線17bのオン電圧 V_{g1} またはオフ電圧 V_{gh} が印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線17aとゲート信号線17bは分離されている必要がある。

たとえば、ゲートドライバ回路12から画素16に配線されたゲート信号線17が1本である場合、ゲート信号線17に印加されたロジック（ V_{gh} または V_{g1} ）をトランジスタ11bに印加し、ゲート信号線17に印加されたロジックをインバータで変換して（ V_{g1} または V_{gh} ）して、トランジスタ11dに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線17aを操作するゲートドライバ回路12aと、ゲート信号線17bを操作するゲートドライバ回路12bが必要となる。

また、本発明の駆動方法は、図1の画素構成においても、電流プログラム期間（1H）以外の期間においても、非点灯表示にする駆動方法である。

図13の駆動方法のタイミングチャートを図14に図示する。なお、

本発明などにおいて、特に断りがない時の画素構成は図 1 であるとする。図 1 4 でわかるように、各選択された画素行（選択期間は、1 H としている）において、ゲート信号線 1 7 a にオン電圧（ V_{g1} ）が印加されている時（図 1 4 の (a) を参照）には、ゲート信号線 1 7 b にはオフ電圧（ V_{gh} ）が印加されている（図 1 4 の (b) を参照）。また、この期間は、EL 素子 1 5 には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線 1 7 a にオフ電圧（ V_{gh} ）が印加され、ゲート信号線 1 7 b にはオン電圧（ V_{g1} ）が印加されている。また、この期間は、EL 素子 1 5 に電流が流れている（点灯状態）。また、点灯状態では、EL 素子 1 5 は所定の N 倍の輝度（ $N \cdot B$ ）で点灯し、その点灯期間は $1 F / N$ である。したがって、 $1 F$ を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1 / N) = B$ （所定輝度）となる。

図 1 5 は、図 1 4 の動作を各画素行に適用した実施例である。ゲート信号線 1 7 に印加する電圧波形を示している。電圧波形はオフ電圧を V_{gh} （H レベル）とし、オン電圧を V_{g1} （L レベル）としている。（1）（2）などの添え字は選択している画素行番号を示している。

図 1 5 において、ゲート信号線 1 7 a（1）が選択され（ V_{g1} 電圧）、選択された画素行のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このプログラム電流は所定値の N 倍（説明を容易にするため、 $N = 10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。したがって、コンデンサ 1 9 には 10 倍に電流がトランジスタ 1 1 a に流れるようにプログラムされる。画素行（1）が選択されている時は、図 1 の画素構成ではゲート信号線 1 7 b（1）はオフ電圧（ V_{gh} ）が印加され、EL 素子 1 5 には電流が流れない。

1 H後には、ゲート信号線 17 a (2) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 11 a からソースドライバ回路 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$ として説明する) である。したがって、コンデンサ 19 には 10 倍に電流がトランジスタ 11 a に流れるようにプログラムされる。画素行 (2) が選択されている時は、図 1 の画素構成ではゲート信号線 17 b (2) はオフ電圧 (V_{gh}) が印加され、EL 素子 15 には電流が流れない。しかし、先の画素行 (1) のゲート信号線 17 a (1) にはオフ電圧 (V_{gh}) が印加され、ゲート信号線 17 b (1) にはオン電圧 (V_{g1}) が印加されるため、点灯状態となっている。

次の 1 H後には、ゲート信号線 17 a (3) が選択され、ゲート信号線 17 b (3) はオフ電圧 (V_{gh}) が印加され、画素行 (3) の EL 素子 15 には電流が流れない。しかし、先の画素行 (1) (2) のゲート信号線 17 a (1) (2) にはオフ電圧 (V_{gh}) が印加され、ゲート信号線 17 b (1) (2) にはオン電圧 (V_{g1}) が印加されるため、点灯状態となっている。

以上の動作を 1 H の同期信号に同期して画像を表示していく。しかし、図 15 の駆動方式では、EL 素子 15 には 10 倍の電流が流れる。したがって、表示画面 50 は約 10 倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、非点灯領域 52 の挿入により所定の輝度を得るのは本発明の基本的な主旨である。

なお、本発明の駆動方法において、所定電流よりも高い電流が EL 素

子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど）、ダミーEL素子とEL素子15に分流して電流を流しても良い。たとえば、信号電流が $0.2\mu A$ のとき、プログラム電流を $2.2\mu A$ として、トランジスタ11aには $2.2\mu A$ を流す。この電流のうち、信号電流 $0.2\mu A$ をEL素子15に流して、 $2\mu A$ をダミーのEL素子に流すなどの方式が例示される。つまり、図27のダミー画素行271を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動用トランジスタ11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりは十分小さい電流を流すことができることになる。以上の方法では、図5に図示するように、非点灯領域52を設けることなく、全表示画面50を画像表示領域53とすることができる。

図13の(a)は表示画面50への書き込み状態を図示している。図13の(a)において、51aは書き込み画素行である。ソースドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、図13などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、 $0.5H$ 期間でも、 $2H$ 期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式（図46など）でもよい。

図 1 3 の (a) において、ゲート信号線 1 7 a が選択されるとソース信号線 1 8 に流れる電流がトランジスタ 1 1 a にプログラムされる。この時、ゲート信号線 1 7 b はオフ電圧が印加され E L 素子 1 5 には電流が流れない。これは、E L 素子 1 5 側にトランジスタ 1 1 d がオン状態であると、ソース信号線 1 8 から E L 素子 1 5 の容量成分が見え、この容量に影響されてコンデンサ 1 9 に十分に正確な電流プログラムができなくなるためである。したがって、図 1 の構成を例にすれば、図 1 3 の (b) で示すように電流を書き込まれている画素行は非点灯領域 5 2 となる。

今、 N （ここでは、先に述べたように $N = 10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になる。したがって、表示画面 5 0 の 90% の範囲を非点灯領域 5 2 とすればよい。したがって、画像表示領域の水平走査線が Q C I F の 220 本 ($S = 220$) とすれば、 22 本と表示領域 5 3 とし、 $220 - 22 = 198$ 本を非表示領域 5 2 とすればよい。一般的に述べれば、水平走査線（画素行数）を S とすれば、 S/N の領域を表示領域 5 3 とし、この表示領域 5 3 を N 倍の輝度で発光させる。そして、この表示領域 5 3 を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域 5 2 とする。この非点灯領域は黒表示（非発光）である。また、この非発光部 5 2 はトランジスタ 1 1 d をオフさせることにより実現する。なお、 N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値を調整することは言うまでもない。

また、先の実施例で、 10 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になり、表示画面 5 0 の 90% の範囲を非点灯領域 5 2 とすればよいとした。しかし、これは、R G B の画素を共通に非点灯領域 5 2 とすることに限定するものではない。例えば、R の画素は、 $1/8$ を非点灯領域 5 2 とし、G の画素は、 $1/6$ を非点灯領域 5 2 とし、

Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変化させてもよい。また、RGBの色で個別に非点灯領域52（あるいは点灯領域53）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図41を参照のこと）。

図13の(b)に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面のS/N（時間的には $1F/N$ ）の範囲を表示領域53とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

図13の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、図16に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図13の明るさと同等になる。なお、分割された表示領域53は等しく（等分に）する必要はない。また、分割された非表示領域52も等しくする必要はない。

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

図 17 はゲート信号線 17 の電圧波形および EL の発光輝度を図示している。図 17 で明らかなように、ゲート信号線 17 b を V_{g1} にする期間 ($1F/N$) を複數に分割 (分割数 K) している。つまり、 V_{g1} にする期間は $1F/(K \cdot N)$ の期間を K 回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

なお、図 17 などにおいて、ゲート信号線 17 b を V_{g1} にする期間 ($1F/N$) を複數に分割 (分割数 K) し、 V_{g1} にする期間は $1F/(K \cdot N)$ の期間を K 回実施するとしたがこれに限定するものではない。 $1F/(K \cdot N)$ の期間を L ($L \neq K$) 回実施してもよい。つまり、本発明は、EL 素子 15 に流す期間 (時間) を制御することにより表示画面 50 を表示するものである。したがって、 $1F/(K \cdot N)$ の期間を L ($L \neq K$) 回実施することは本発明の技術的思想に含まれる。また、 L の値を変化させることにより、表示画像 50 の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では 50% の輝度 (コントラスト) 変化となる。また、画像の表示領域 53 を分割する時、ゲート信号線 17 b を V_{g1} にする期間は同一期間に限定するものではない。

以上の実施例は、EL 素子 15 に流れる電流を遮断し、また、EL 素子に流れる電流を接続することにより、表示画面 50 をオンオフ (点灯、非点灯) するものであった。つまり、コンデンサ 19 に保持された電荷

によりトランジスタ 11a に複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ 19 に保持された電荷を充放電させることにより、表示画面 50 をオンオフ（点灯、非点灯）する方式でもよい。

図 18 は図 16 の画像表示状態を実現するための、ゲート信号線 17 に印加する電圧波形である。図 18 と図 15 の差異は、ゲート信号線 17b の動作である。ゲート信号線 17b は画面を分割する個数に対応して、その個数分だけオンオフ（ V_{gl} と V_{gh} ）動作する。他の点は図 15 と同一であるので説明を省略する。

EL 表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図 1、図 2、図 32、図 43、図 117 の構成においては、トランジスタ 11d をオンオフ操作するだけで間欠表示を実現できる。また、図 38、図 51、図 115 の構成においては、トランジスタ素子 11e をオンオフ操作するだけで、間欠表示を実現することができる。また、図 113 においては切り替え回路 1131 を制御することにより間欠表示を実現できる。また、図 114 においては、トランジスタ 11g をオンオフ制御することにより間欠表示を実現できる。これは、コンデンサ 19 に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素 16 に、画像データは 1F の期間中は保持されている。この保持されている画像データに相当する電流を EL 素子 15 に流すか否かをトランジスタ 11d、11e の制御により実現しているのである。

したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、EL 素子 15 に流す電流が各画素内で保存している構成において、駆動用トランジス

タ 1 1 を E L 素子 1 5 間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

コンデンサ 1 9 の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。1 フィールド（フレーム）期間でコンデンサ 1 9 の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ 1 1 a が 1 フレーム（1 フィールド）期間で E L 素子 1 5 に流す電流は、少なくとも 6 5 % 以下に低下しないようにする必要がある。この 6 5 % とは、画素 1 6 に書き込み、E L 素子 1 5 に流す電流の最初が 1 0 0 % とした時、次のフレーム（フィールド）で前記画素 1 6 に書き込む直前の E L 素子 1 5 に流す電流が 6 5 % 以上とすることである。

図 1 の画素構成では、間欠表示を実現する場合としない場合では、1 画素を構成するトランジスタ 1 1 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 1 8 の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、C R T に近い動画表示を実現しているのである。

また、ゲートドライバ回路 1 2 の動作クロックはソースドライバ回路 1 4 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

なお、画像表示方向（画像書き込み方向）は、1 フィールド（1 フレーム）目では画面の上から下方向とし、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

さらに、1 フィールド（1 フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、

全画面を黒表示（非表示）としてもよい。

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域 5 2 の動作方向を 1 フィールド目では画面の上から下方向とし、つぎの第 2 フィールド目では画面の下から上方向としてもよい。また、1 フレームを 3 フィールドに分割し、第 1 のフィールドでは R、第 2 のフィールドでは G、第 3 のフィールドでは B として、3 フィールドで 1 フレームを形成するとしてもよい。また、1 水平走査期間（1 H）ごとに、R、G、B を切り替えて表示してもよい（図 1 2 5 から図 1 3 2 とその説明などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。

非表示領域 5 2 は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、画像表示領域 5 3 よりも表示輝度が低い領域と解釈するべきである。また、非表示領域 5 2 とは、R、G、B 画像表示のうち、1 色または 2 色のみが非表示状態という場合も含まれる。また、R、G、B 画像表示のうち、1 色または 2 色のみが低輝度の画像表示状態という場合も含まれる。

基本的には表示領域 5 3 の輝度（明るさ）が所定値に維持される場合、表示領域 5 3 の面積が広くなるほど、画面 5 0 の輝度は高くなる。たとえば、表示領域 5 3 の輝度が 1 0 0（n t）の場合、表示領域 5 3 が全画面 5 0 に占める割合が 1 0 % から 2 0 % にすれば、画面の輝度は 2 倍となる。したがって、全画面 5 0 に占める表示領域 5 3 の面積を変化させることにより、画面の表示輝度を変化することができる。画面 5 0 の表示輝度は画面 5 0 に占める表示領域 5 3 の割合に比例する。

表示領域 5 3 の面積はシフトレジスタ回路 6 1 へのデータパルス（S

T2)を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図16の表示状態と図13の表示状態とを切り替えることができる。1F周期でのデータパルス数を多くすれば、画面50は明るくなり、少なくすれば、画面50は暗くなる。また、連続してデータパルスを印加すれば図13の表示状態となり、間欠にデータパルスを入力すれば図16の表示状態となる。

図19の(a)は図13のように表示領域53が連続している場合の明るさ調整方式である。図19(a1)の画面50の表示輝度が最も明るい。図19(a2)の画面50の表示輝度が次に明るく、図19(a3)の画面50の表示輝度が最も暗い。図19の(a)は最も動画表示に適する。

図19(a1)から図19(a3)への変化(あるいはその逆)は、先にも記載したようにゲートドライバ回路12のシフトレジスタ回路61などの制御により、容易に実現できる。この際、図1のV_{dd}電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面50の輝度変化を実施できる。また、図19(a1)から図19(a3)への変化の際、画面のガンマ特性は全く変化しない。したがって、画面50の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。

従来の画面の輝度調整では、画面50の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

図19の(b)は図16のように表示領域53が分散している場合の明るさ調整方式である。図19(b1)の画面50の表示輝度が最も明るい。図19(b2)の画面50の表示輝度が次に明るく、図19(b3)

の画面 50 の表示輝度が最も暗い。図 19 (b1) から図 19 (b3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 12 のシフトレジスタ回路 61 などの制御により、容易に実現できる。図 19 の (b) のように表示領域 53 を分散させれば、低フレームレートでもフリッカが発生しない。

さらに低フレームレートでも、フリッカが発生しないようにするには、図 19 の (c) のように表示領域 53 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 19 の (a) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 19 の (c) の駆動方法が適している。図 19 の (a) から図 19 の (c) の駆動方法の切り替えも、シフトレジスタ 61 の制御により容易に実現できる。

以上の実施例は、主として、 $N = 2$ 倍、4 倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、 $N = 2$ 以上に限定されるものでもない。たとえば、ある時刻で表示画面 50 の半分以下の領域を非点灯領域 52 とすることもある。所定値の $5/4$ 倍の電流 I_w で電流プログラムし、 $1F$ の $4/5$ 期間点灯させれば、所定の輝度を実現できる。

本発明はこれに限定されるものではない。一例として、 $10/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $4/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の 2 倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $2/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $1/2$ 倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $1/1$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $5/4$ 倍で点灯する。

つまり、本発明は、プログラム電流の大きさと、1 F の点灯期間を制御することにより、表示画面の輝度を制御する方式である。かつ、1 F 期間よりも短い期間点灯させることにより、非点灯領域 5 2 を挿入でき、動画表示性能を向上できる。1 F の期間、常時点灯させることにより明るい画面を表示できる。

画素に書き込む電流（ソースドライバ回路 1 4 から出力するプログラム電流）は、画素サイズが A 平方 mm とし、白ラスタ表示所定輝度を B (n t) とした時、プログラム電流 I (μ A) は、

$$(A \times B) / 20 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書き込み不足が解消する。

さらに、好ましくは、プログラム電流 I (μ A) は、

$$(A \times B) / 10 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。

図 20 はソース信号線 1 8 に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線 1 8 の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1 画素あたりの駆動する電流を減少させることができる。したがって、E L 素子 1 5 に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、N = 10 として説明する（ソース信号線 1 8 に流す電流を 10 倍にする）。

図 20 で説明する本発明は、画素行は同時に M 画素行を選択する。ソースドライバ I C 1 4 からは所定電流の N 倍電流をソース信号線 1 8 に印加する。各画素には E L 素子 1 5 に流す電流の N / M 倍の電流がプログラムされる。一例として、E L 素子 1 5 を所定発光輝度とするために、

EL素子15に流れる時間を1フレーム（1フィールド）の M/N 時間にする（ただし、 M/N に限定するものではない。 M/N とするのは理解を容易にするためである。先にも説明したように、表示する画面50輝度により自由に設定できることはいうまでもない。）。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

1フレーム（1フィールド）の M/N の期間の間だけ、EL素子15に電流を流し、他の期間（ $1F - (N-1)M/N$ ）は電流を流さないように表示する。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

図21は、図20の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を V_{gh} （Hレベル）とし、オン電圧を V_{gl} （Lレベル）としている。各信号線の添え字は画素行の番号（（1）（2）（3）など）を記載している。なお、行数はQCIF表示パネルの場合は220本であり、VGAパネルでは480本である。

図21において、ゲート信号線17a（1）が選択され（ V_{gl} 電圧）、選択された画素行のトランジスタ11aからソースドライバ回路14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行51aが画素行（1）番目であるとして説明する。

また、ソース信号線18に流れるプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは

画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。また、5画素行が同時に選択($M=5$)として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍($N/M=10/5=2$)に電流がトランジスタ11aに流れるようにプログラムされる。

書き込み画素行が(1)画素行目である時、図21で図示したように、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチング用トランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行(1)(2)(3)(4)(5)のスイッチング用トランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す(つまり、ソース信号線18には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明のN倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の10倍の電流がソース信号線18に流れる)。

以上の動作(駆動方法)により、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性(V_t 、S値)が一致しているとして説明をする。

同時に選択する画素行が5画素行($M=5$)であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たと

例えば、書き込み画素行 5 1 a に、本来、書き込む電流 I_w とし、ソース信号線 1 8 には、 $I_w \times 10$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 5 1 b ソース信号線 1 8 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 5 1 b は後に正規の画像データが書き込まれるので問題がない。

したがって、4 画素行 5 1 b において、1 H 期間の間は 5 1 a と同一表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。ただし、図 3 8 のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

1 H 後には、ゲート信号線 1 7 a (1) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (6) が選択され (V_{g1} 電圧)、選択された画素行 (6) のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1 H 後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (7) が選択され (V_{g1} 電圧)、選択された画素行 (7) のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

図 2 0 の駆動方法では、各画素には 2 倍の電流 (電圧) でプログラム

を行うため、各画素のE L素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。これを所定の輝度とするためには、図16に図示するように、書き込み画素行51を含み、かつ表示画面50の1/2の範囲を非表示領域52とすればよい。

図13と同様に、図20のように1つの表示領域53が画面の上から下方向に移動すると、フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、図22に図示するように、表示領域53を複数に分割するとよい。分割された非表示領域52を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

図23はゲート信号線17に印加する電圧波形である。図21と図23との差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(V_{gl} と V_{gh})動作する。他の点は図21とほぼ同一あるいは類推できるので説明を省略する。

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にE L素子15の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

本発明の駆動方法において、E L素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できる。そのため、本発明の駆動方法では、KHzオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域52挿入）を実現するのには、画像メモリなど

を必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

図 2 4 は同時に選択する画素行が 2 画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2 画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ 1 1 a の特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線 1 8 と平行に照射することで良好な結果が得られた。

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタの V_t 、モビリティがほぼ等しくなるためである。したがって、ソース信号線 1 8 の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線 1 8 に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図 2 4 などの説明する駆動方式とは相乗効果がある。

以上のように、レーザーショットの方向をソース信号線 1 8 の形成方向と略一致させる（図 7 を参照のこと）ことにより、画素の上下方向のトランジスタ 1 1 a の特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ 1 1 a の特性が

一致していなくとも)。以上の動作は、1 H (1 水平走査期間) に同期して、1 画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。

なお、図 8 で説明したように、レーザーショットの方向をソース信号線 18 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 18 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 18 に沿った画素の上下方向のトランジスタ 11 a の特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線 18 の沿った任意の画素の上または下に隣接した画素を、1 つのレーザー照射範囲に入るように形成するということである。また、ソース信号線 18 とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

なお、本発明の実施例では 1 H ごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2 H ごとにシフト (2 画素行ごと) してもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、1 画素行とばしでシフトしてもよい。

画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。たとえば、画面 50 の中央部は $200 \mu\text{sec}$ ごとに 1 画素行をシフトし、画面 50 の上下部は、 $100 \mu\text{sec}$ ごとに 1 画素行をシフトする。このようにシフトすることにより、画面 50 の中央部の発光輝度が高くなり、周辺 (画面 50 の上部と下部) を低くできる)。なお、画面 50 の中央部と画面上部のシフト時間、画面 50 の中央部と画面下部のシフト時間は滑らかに時間変化するようにし、輝度輪郭がないように制御することは言うまでもない。

なお、ソースドライバ回路 14 の基準電流を画面 50 の走査位置に対応して変化（図 146 などを参照のこと）させてもよい。たとえば、画面 50 の中央部の基準電流を $10\ \mu\text{A}$ とし、画面 50 の上下部の基準電流は $5\ \mu\text{A}$ とする。このように画面 50 位置に対応して基準電流を変化させることにより、画面 50 の中央部の発光輝度が高くなり、周辺（画面 50 の上部と下部）を低くできる）。なお、画面 50 の中央部と画面上部との間の基準電流、画面 50 の中央部と画面下部との間の基準電流の値は滑らかに時間変化するようにし、輝度輪郭がでないように基準電流を制御することは言うまでもない。

また、画面位置に応じて、画素行をシフトする時間を制御する駆動方法と、画面 50 位置に対応して基準電流を変化させる駆動方法を組み合わせて画像表示を行っても良いことは言うまでもない。

フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することには限定するものではない。例えば、1 画素行へだてた画素行を選択してもよい。

つまり、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行を選択し、第 2 番目の水平走査期間に第 2 番目の画素行と第 4 番目の画素行を選択し、第 3 番目の水平走査期間に第 3 番目の画素行と第 5 番目の画素行を選択し、第 4 番目の水平走査期間に第 4 番目の画素行と第 6 番目の画素行を選択する駆動方法である。もちろん、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行と第 5 番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図 1、図 2、図 32 の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図 38、図 42、

図 5 0 などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図 4 3、図 5 1、図 5 4、図 4 6 などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線 1 8 に印加した電圧値により良好に電圧プログラムを実施できるからである。

図 2 4 において、書き込み画素行が (1) 画素行目である時、ゲート信号線 1 7 a は (1) (2) が選択されている (図 2 5 を参照のこと)。つまり、画素行 (1) (2) のスイッチング用トランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。したがって、少なくとも画素行 (1) (2) のスイッチング用トランジスタ 1 1 d がオフ状態であり、対応する画素行の EL 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。なお、図 2 4 では、フリッカの発生を低減するため、表示領域 5 3 を 5 分割している。

理想的には、2 画素 (行) のトランジスタ 1 1 a が、それぞれ $I_w \times 5$ ($N = 10$ の場合。つまり、 $K = 2$ であるから、ソース信号線 1 8 に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる) の電流をソース信号線 1 8 に流す。そして、各画素 1 6 のコンデンサ 1 9 には、5 倍の電流がプログラムされる。

同時に選択する画素行が 2 画素行 ($K = 2$) であるから、2 つの駆動用トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $10 / 2 = 5$ 倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、2 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。

たとえば、書き込み画素行 5 1 a に、本来、書き込む電流 I_d とし、ソース信号線 1 8 には、 $I_w \times 10$ の電流を流す。書き込み画素行 5 1 b は後に正規の画像データが書き込まれるので問題がない。画素行 5 1 b は、1 H 期間の間は 5 1 a と同一表示である。そのため、書き込み画

素行 5 1 a と電流を増加させるために選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。

次の、1 H 後には、ゲート信号線 1 7 a (1) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (3) が選択され (V_{g1} 電圧)、選択された画素行 (3) のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1 H 後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (4) が選択され (V_{g1} 電圧)、選択された画素行 (4) のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフト (もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2 行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう) しながら走査することにより 1 画面が書き換えられる。

図 1 6 と同様であるが、図 2 4 の駆動方法では、各画素には 5 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 1 5 の発光輝度は理想的には 5 倍となる。したがって、表示領域 5 3 の輝度は所定値よりも 5 倍となる。これを所定の輝度とするためには、図 1 6 などに図示するように、書き込み画素行 5 1 を含み、かつ表示画面 1 の $1/5$ の範囲を非表示領域 5 2 とすればよい。

図 2 7 に図示するように、2 本の書き込み画素行 5 1 (5 1 a、5 1

b) が選択され、画面 5 0 の上辺から下辺に順次選択されていく（図 2 6 も参照のこと。図 2 6 では画素 1 6 a と 1 6 b が選択されている）。しかし、図 2 7 の (b) のように、画面の下辺までくると書き込み画素行 5 1 a は存在するが、5 1 b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 1 8 に印加された電流は、すべて画素行 5 1 a に書き込まれる。したがって、画素行 5 1 a に比較して、2 倍の電流が画素にプログラムされてしまう。

この課題に対して、本発明は、図 2 7 の (b) に図示するように画面 5 0 の下辺にダミー画素行 2 7 1 を形成（配置）している。したがって、選択画素行が画面 5 0 の下辺まで選択された場合は、画面 5 0 の最終画素行とダミー画素行 2 7 1 が選択される。そのため、図 2 7 の (b) の書き込み画素行には、規定どおりの電流が書き込まれる。

なお、ダミー画素行 2 7 1 は表示画面 5 0 の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示画面 5 0 から離れた位置に形成されていてもよい。また、ダミー画素行 2 7 1 は、図 1 のスイッチング用トランジスタ 1 1 d、EL 素子 1 5 などは形成する必要はない。形成しないことにより、ダミー画素行 2 7 1 のサイズは小さくなる。

図 2 8 は図 2 7 の (b) の状態を示している。図 2 8 で明らかなように、選択画素行が画面 5 0 の下辺の画素 1 6 c 行まで選択された場合は、画面 5 0 の最終画素行（ダミー画素行）2 7 1 が選択される。ダミー画素行 2 7 1 は表示画面 5 0 外に配置する。つまり、ダミー画素行（ダミー画素）2 7 1 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極 1 0 5 とトランジスタ 1 1 とのコンタクトホールをなくすとか、ダミー画素行 2 7 1 には EL 膜 1 5 を形成しないとかである。また、ダミー画素行の画素

電極 105 上に絶縁膜を形成する構成などが例示される。

図 27 では、画面 50 の下辺にダミー画素（行）271 を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図 29 の (a) に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、図 29 の (b) に図示するように画面 50 の上辺にもダミー画素行 271 を形成すべきである。つまり、画面 50 の上辺を下辺のそれぞれにダミー画素行 271 を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、2 画素行を同時選択する場合であった。

本発明はこれに限定するものではなく、たとえば、5 画素行を同時選択する方式（図 23 を参照のこと）でもよい。つまり、5 画素行同時駆動の場合は、ダミー画素行 271 は 4 行分形成すればよい。したがって、ダミー画素行 271 は同時に選択する画素行 - 1 の画素数分を形成すればよい。ただし、これは、1 画素行ずつ選択する画素行をシフトする場合である。複数画素行ずつシフトする場合は、選択する画素数を M とし、シフトする画素行数を L としたとき、 $(M-1) \times L$ 画素行分を形成すればよい。

本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも 1 つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法と N 倍パルス駆動とを組み合わせる用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ 11a の特性バラツキを吸収することが困難になる。しかし、同時選択画素行数 M が少なくなると、1 画素にプログラムする電流が大きくなり、EL 素子 15 に大きな電流を流すことになる。EL 素子 15 に流す電流が大きいと EL 素子 15 が劣化しやすくなる。

図 30 はこの課題を解決するものである。図 30 の基本概念は、 $1/2$ H（水平走査期間の $1/2$ ）は、図 22、図 29 で説明したように、複数の画素行を同時に選択する方法である。その後の $(1/2)$ H（水平走査期間の $1/2$ ）は図 5、図 13 など説明したように、1 画素行を選択する方法を組み合わせたものである。このように組み合わせることにより、トランジスタ 11 a の特性バラツキを吸収し、より高速にかつ面内均一性を良好にすることができる。なお、理解を容易にするため、 $(1/2)$ H で操作するとして説明するがこれに限定するものではない。最初の期間を $(1/4)$ H とし、後半の期間を $(3/4)$ H としてもよい。

図 30 において、説明を容易にするため、第 1 の期間では 5 画素行を同時に選択し、第 2 の期間では 1 画素行を選択するとして説明をする。まず、第 1 の期間（前半の $1/2$ H）では、図 30（a 1）に図示するように、5 画素行を同時に選択する。この動作は図 22 を用いて説明したので省略する。一例としてソース信号線 18 に流す電流は所定値の 25 倍とする。したがって、各画素 16 のトランジスタ 11 a（図 1 の画素構成の場合）には 5 倍の電流（ $25/5$ 画素行 = 5）がプログラムされる。25 倍の電流であるから、ソース信号線 18 などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線 18 の電位は、短時間で目標の電位となり、各画素 16 のコンデンサ 19 の端子電圧も 25 倍電流を流すようにプログラムされる。この 25 倍電流の印加時間は前半の $1/2$ H（1 水平走査期間の $1/2$ ）とする。

当然のことながら、書き込み画素行の 5 画素行は同一画像データが書き込まれるから、表示しないように 5 画素行のトランジスタ 11 d はオフ状態とされる。したがって、表示状態は図 30（a 2）となる。

次の後半の $1/2$ H 期間は、1 画素行を選択し、電流（電圧）プログ

ラムを行う。この状態を図 30 (b 1) に図示している。書き込み画素行 5 1 a は先と同様に 5 倍の電流を流すように電流 (電圧) プログラムされる。図 30 (a 1) と図 30 (b 1) とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ 1 9 の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

つまり、図 30 (a 1) で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第 1 の段階では、複数のトランジスタ 1 1 a でプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第 2 の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

なお、非点灯領域 5 2 を画面の上から下方向に走査し、また、書き込み画素行 5 1 a も画面の上から下方向に走査することは図 1 3 などの実施例と同様であるので説明を省略する。

図 3 1 は図 3 0 の駆動方法を実現するための駆動波形である。図 3 1 でわかるように、1 H (1 水平走査期間) は 2 つのフェーズで構成されている。この 2 つのフェーズは I S E L 信号で切り替える。I S E L 信号は図 3 1 に図示している。

まず、I S E L 信号について説明をしておく。図 3 0 を実施するドライバ回路 1 4 は、電流出力回路 A と電流出力回路 B とを具備している。それぞれの電流出力回路は、8 ビットの階調データを D A 変換する D A 回路とオペアンプなどから構成される。図 3 0 の実施例では、電流出力回路 A は 2 5 倍の電流を出力するように構成されている。一方、電流出力回路 B は 5 倍の電流を出力するように構成されている。電流出力回路 A と電流出力回路 B の出力は I S E L 信号により電流出力部に形成 (配置) されたスイッチ回路が制御され、ソース信号線 1 8 に印加される。

この電流出力回路は各ソース信号線に配置されている。

ISEL信号は、Lレベルの時、25倍電流を出力する電流出力回路Aが選択されてソース信号線18からの電流をソースドライバIC14が吸収する（より適切には、ソースドライバ回路14内に形成された電流出力回路Aが吸収する）。25倍、5倍などの電流出力回路電流の大きさを調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

図30に示すように書き込み画素行が（1）画素行目である時（図30の1Hの欄を参照）、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている（図1の画素構成の場合）。つまり、画素行（1）（2）（3）（4）（5）のスイッチング用トランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧（ V_{gh} ）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチング用トランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性（ V_t 、S値）が一致しているとして説明をする。

同時に選択する画素行が5画素行（ $K=5$ ）であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5

つのトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線 18 には、 $I_w \times 2.5$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 51b ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51b は後に正規の画像データが書き込まれるので問題がない。

したがって、画素行 51b は、1H 期間の間は 51a と同一表示である。そのため、書き込み画素行 51a と電流を増加させるために選択した画素行 51b とを少なくとも非表示状態 52 とするのである。

次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 51a のみを選択する。つまり、(1) 画素行目のみを選択する。図 31 で明らかなように、ゲート信号線 17a (1) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 17a (2) (3) (4) (5) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) のトランジスタ 11a は動作状態 (ソース信号線 18 に電流を供給している状態) であるが、画素行 (2) (3) (4) (5) のスイッチング用トランジスタ 11b、トランジスタ 11c がオフ状態である。つまり、非選択状態である。

また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 B とソース信号線 18 とが接続されている。また、ゲート信号線 17b の状態は先の $1/2H$ の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチング用トランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

以上のことから、画素行（１）のトランジスタ１１aが、それぞれ $I_w \times 5$ の電流をソース信号線１８に流す。そして、各画素行（１）のコンデンサ１９には、５倍の電流がプログラムされる。

次の水平走査期間では１画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（２）である。最初の $1/2H$ の期間では、図３１に示すように書き込み画素行が（２）画素行目である時、ゲート信号線１７aは（２）（３）（４）（５）（６）が選択されている。つまり、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１b、トランジスタ１１cがオン状態である。また、ISELがLレベルであるから、２５倍電流を出力する電流出力回路Aが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７bには、オフ電圧（ V_{gh} ）が印加されている。

したがって、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１dがオフ状態であり、対応する画素行のEL素子１５には電流が流れていない。つまり、非点灯状態５２である。一方、画素行（１）のゲート信号線１７b（１）は V_{g1} 電圧が印加されているから、トランジスタ１１dはオン状態であり、画素行（１）のEL素子１５は点灯する。

同時に選択する画素行が５画素行（ $K=5$ ）であるから、５つの駆動用トランジスタ１１aが動作する。つまり、１画素あたり、 $25/5=5$ 倍の電流がトランジスタ１１aに流れる。ソース信号線１８には、５つのトランジスタ１１aのプログラム電流を加えた電流が流れる。

次の $1/2H$ （水平走査期間の $1/2$ ）では、書き込み画素行５１aのみを選択する。つまり、（２）画素行目のみを選択する。図３１で明らかのように、ゲート信号線１７a（２）のみが、オン電圧（ V_{g1} ）が印加され、ゲート信号線１７a（３）（４）（５）（６）はオフ（ V

g h) が印加されている。

したがって、画素行 (1) (2) のトランジスタ 11 a は動作状態 (画素行 (1) は EL 素子 15 に電流を流し、画素行 (2) はソース信号線 18 に電流を供給している状態) であるが、画素行 (3) (4) (5) (6) のスイッチング用トランジスタ 11 b、トランジスタ 11 c がオフ状態である。つまり、非選択状態である。

また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 1222 b とソース信号線 18 とが接続されている。また、ゲート信号線 17 b の状態は先の 1/2 H の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチング用トランジスタ 11 d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

以上のことから、画素行 (2) のトランジスタ 11 a が、それぞれ $I_w \times 5$ の電流をソース信号線 18 に流す。そして、各画素行 (2) のコンデンサ 19 には、5 倍の電流がプログラムされる。以上の動作を順次、実施することにより 1 画面を表示することができる。

図 30 で説明した駆動方法は、第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行には N 倍の電流を流すようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、画素には N 倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、選択された画素行の総和の電流 (ただし、選択画素行が 1 の時は、1 画素行の電流) が N 倍となるようにプログラムする方式である。

たとえば、図 30 (a 1) において、5 画素行を同時に選択し、各画素のトランジスタ 11a には 2 倍の電流を流す。したがって、ソース信号線 18 には 5×2 倍 = 10 倍の電流が流れる。次の第 2 の期間では図 30 (b 1) において、1 画素行を選択する。この 1 画素のトランジスタ 11a には 10 倍の電流を流す。

なお、図 31 において、複数の画素行を同時に選択する期間を $1/2$ H とし、1 画素行を選択する期間を $1/2$ H としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4$ H とし、1 画素行を選択する期間を $3/4$ H としてもよい。また、複数の画素行を同時に選択する期間と、1 画素行を選択する期間とを加えた期間は 1 H としたがこれに限定するものではない。たとえば、2 H 期間でも、1.5 H 期間であっても良い。

また、図 30 において、5 画素行を同時に選択する期間を $1/2$ H とし、次の第 2 の期間では 2 画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

また、図 30 において、5 画素行を同時に選択する第 1 の期間を $1/2$ H とし、1 画素行を選択する第 2 の期間を $1/2$ H とする 2 段階としたがこれに限定するものではない。たとえば、第 1 の段階は、5 画素行を同時に選択し、第 2 の期間は前記 5 画素行のうち、2 画素行を選択し、最後に、1 画素行を選択する 3 つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

以上の実施例は、1 画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて 1 画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせ

せてもよい。

以下、本発明のインターレース駆動について説明をする。図 1 3 3 はインターレース駆動を行う本発明の表示パネルの構成である。図 1 3 3 において、奇数画素行のゲート信号線 1 7 a はゲートドライバ回路 1 2 a 1 に接続されている。偶数画素行のゲート信号線 1 7 a はゲートドライバ回路 1 2 a 2 に接続されている。一方、奇数画素行のゲート信号線 1 7 b はゲートドライバ回路 1 2 b 1 に接続されている。偶数画素行のゲート信号線 1 7 b はゲートドライバ回路 1 2 b 2 に接続されている。

したがって、ゲートドライバ回路 1 2 a 1 の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路 1 2 b 1 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路 1 2 a 2 の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路 1 2 b 2 の動作（制御）により E L 素子の点灯、非点灯制御が行われる。

図 1 3 4 の (a) は、第 1 フィールドでの表示パネルの動作状態である。図 1 3 4 の (b) は、第 2 フィールドでの表示パネルの動作状態である。なお、説明を容易にするため、1 フレームは 2 フィールドで構成されているとする。図 1 3 4 において、斜線を記入したゲートドライバ回路 1 2 はデータの走査動作がしていないことを示している。つまり、図 1 3 4 の (a) の第 1 フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路 1 2 a 1 が動作し、E L 素子 1 5 の点灯制御としてゲートドライバ回路 1 2 b 2 が動作する。図 1 3 4 の (b) の第 2 フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路 1 2 a 2 が動作し、E L 素子 1 5 の点灯制御としてゲートドライバ回路 1 2 b 1 が動作する。以上の動作が、フレーム内で繰り返される。

図 1 3 5 が第 1 フィールドでの画像表示状態である。図 1 3 5 の (a) が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図 1 3 5 (a 1) → (a 2) → (a 3) と書込み画素行位置が順次シフトされる。第 1 フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図 1 3 5 の (b) が奇数画素行の表示状態を図示している。なお、図 1 3 5 の (b) は奇数画素行のみを図示している。偶数画素行は図 1 3 5 の (c) に図示している。図 1 3 5 の (b) でも明らかなように、奇数画素行に対応する画素の E L 素子 1 5 は非点灯状態である。一方、偶数画素行は、図 1 3 5 の (c) に図示しているように表示領域 5 3 と非表示領域 5 2 を走査する（N 倍パルス駆動）。

図 1 3 6 が第 2 フィールドでの画像表示状態である。図 1 3 6 の (a) が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図 1 3 6 (a 1) → (a 2) → (a 3) と書込み画素行位置が順次シフトされる。第 2 フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図 1 3 6 の (b) が奇数画素行の表示状態を図示している。なお、図 1 3 6 の (b) は奇数画素行のみを図示している。偶数画素行は図 1 3 6 の (c) に図示している。図 1 3 6 の (b) でも明らかなように、偶数画素行に対応する画素の E L 素子 1 5 は非点灯状態である。一方、奇数画素行は、図 1 3 6 の (c) に図示しているように表示領域 5 3 と非表示領域 5 2 を走査する（N 倍パルス駆動）。

以上のように駆動することにより、インターレース駆動を E L 表示パネルで容易に実現することができる。また、N 倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、E L 素子 1 5 の点灯制御も容易

であり、回路も容易に実現できる。

なお、本発明の駆動方式は、図 1 3 5、図 1 3 6 の駆動方式に限定されるものではない。たとえば、図 1 3 7 の駆動方式も例示される。図 1 3 5、図 1 3 6 は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域 5 2（非点灯、黒表示）とするものであった。図 1 3 7 の実施例は、E L 素子 1 5 の点灯制御を行うゲートドライバ回路 1 2 b 1、1 2 b 2 の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行 5 1 は非表示領域となるように制御することはいうまでもない（図 3 8 のカレントミラー画素構成ではその必要はない）。図 1 3 7 では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路 1 2 b 1 と 1 2 b 2 の 2 つと設ける必要はない。ゲートドライバ回路 1 2 b を 1 つで点灯制御することができる。

図 1 3 7 は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図 1 3 8 は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図 1 3 8 は奇数画素行の点灯状態（表示領域 5 3、非表示領域 5 2）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域 5 3 の面積と非表示領域 5 2 の面積とは同一になるようにしている。もちろん、表示領域 5 3 の面積と非表示領域 5 2 の面積とは同一になることに限定されるものではない。

また、図 1 3 6、図 1 3 5 において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではない。

以上の実施例は、1 画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図 1 3 9 に図示するように 2 画素行（複数画素行）を同時に電

流（電圧）プログラム行っても良いことは言うまでもない（図 2 7 とその説明も参照のこと）。図 1 3 9 の (a) は奇数フィールドの実施例であり、図 1 3 9 の (b) は偶数フィールドの実施例である。奇数フィールドでは、(1、2) 画素行、(3、4) 画素行、(5、6) 画素行、(7、8) 画素行、(9、10) 画素行、(11、12) 画素行、・・・・・・ (n、n+1) 画素行 (n は 1 以上の整数) の組で 2 画素行を順次選択し、電流プログラムを行っていく。偶数フィールドでは、(2、3) 画素行、(4、5) 画素行、(6、7) 画素行、(8、9) 画素行、(10、11) 画素行、(12、13) 画素行、・・・・・・ (n+1、n+2) 画素行 (n は 1 以上の整数) の組で 2 画素行を順次選択し、電流プログラムを行っていく。

以上のように各フィールドで複数画素行を選択し電流プログラムを行うことによりソース信号線 18 に流す電流を増加することができ、黒書き込みを良好にすることができる。また、奇数フィールドと偶数フィールドで選択する複数画素行の組を少なくとも 1 画素行ずらせることにより、画像の解像度を向上させることができる。

図 1 3 9 の実施例は、各フィールドで選択する画素行を 2 画素行としたが、これに限定するものではなく 3 画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する 3 画素行の組は 1 画素行ずらせる方法と、2 画素行ずらせる方法の 2 方式を選択可能である。また、各フィールドで選択する画素行は 4 画素行以上としてもよい。また、図 1 2 5 ～ 図 1 3 2 に図示するように、1 フレームを 3 フィールド以上で構成するようにしてもよい。

また、図 1 3 9 の実施例では、2 画素行を同時に選択するとしたが、これに限定するものではなく、1 H を前半 $1/2$ H と後半の $1/2$ H とし、奇数フィールドでは、第 1 H 期間の前半の $1/2$ H 期間に第 1 画素

行を選択して電流プログラムを行い、後半の $1/2$ H 期間に第 2 画素行を選択して電流プログラムを行う。次の第 2 H 期間の前半の $1/2$ H 期間に第 3 画素行を選択して電流プログラムを行い、後半の $1/2$ H 期間に第 4 画素行を選択して電流プログラムを行う。また、次の第 3 H 期間の第 1 H 期間の前半の $1/2$ H 期間に第 5 画素行を選択して電流プログラムを行い、後半の $1/2$ H 期間に第 6 画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

また、偶数フィールドでは、第 1 H 期間の前半の $1/2$ H 期間に第 2 画素行を選択して電流プログラムを行い、後半の $1/2$ H 期間に第 3 画素行を選択して電流プログラムを行う。次の第 2 H 期間の前半の $1/2$ H 期間に第 4 画素行を選択して電流プログラムを行い、後半の $1/2$ H 期間に第 5 画素行を選択して電流プログラムを行う。また、次の第 3 H 期間の第 1 H 期間の前半の $1/2$ H 期間に第 6 画素行を選択して電流プログラムを行い、後半の $1/2$ H 期間に第 7 画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

以上の実施例においても各フィールドで選択する画素行を 2 画素行としたが、これに限定するものではなく 3 画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する 3 画素行の組は 1 画素行ずらせる方法と、2 画素行ずらせる方法の 2 方式を選択可能である。また、各フィールドで選択する画素行は 4 画素行以上としてもよい。

本発明の N 倍パルス駆動方法では、各画素行で、ゲート信号線 17b の波形を同一にし、1 H の間隔でシフトさせて印加していく。このように走査することにより、EL 素子 15 が点灯している時間を $1F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線 17b の波形を同一にし、シフトさせていることを実現することは容易である。図 6 のシフトレジスタ回

路 6 1 a、6 1 b に印加するデータである S T 1、S T 2 を制御すればよいからである。たとえば、入力 S T 2 が L レベルの時、ゲート信号線 1 7 b に V g l が出力され、入力 S T 2 が H レベルの時、ゲート信号線 1 7 b に V g h が出力されるとすれば、シフトレジスタ 1 7 b に印加する S T 2 を $1 F / N$ の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された S T 2 を 1 H に同期したクロック C L K 2 でシフトしていくだけである。

なお、E L 素子 1 5 をオンオフする周期は 0.5 msec 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を 100 msec 以上になると、点滅状態に見える。したがって、E L 素子のオンオフ周期は $0.5 \mu \text{sec}$ 以上 100 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 2 msec 以上 30 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 3 msec 以上 20 msec 以下にすべきである。

先にも記載したが、黒画面 5 2 の分割数は、1 つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は 1 以上 8 以下とすべきである。さらに好ましくは 1 以上 5 以下とすることが好ましい。

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N = 4$ では、75% が黒画面であり、25% が画像表示である。このとき、75% の黒表示部を 75% の黒帯状態で画面の上下方向に走査するのが分割数 1 である。25% の黒画面と $25 / 3\%$ の表示画面の 3 ブロックで走査するのが分割数 3 である。静止画

は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（Nで表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路14などからの書き込みが苦しくなり解像度が劣化する。

なお、以上の事項は、図38などの電流プログラムの画素構成、図43、図51、図54などの電圧プログラムの画素構成でも適用できることは言うまでもない。図38では、トランジスタ11dを、図43ではトランジスタ11dを、図51ではトランジスタ11eをオンオフ制御すればよい。このように、EL素子15に電流を流す配線をオンオフすることにより、本発明のN倍パルス駆動を容易に実現できる。

また、ゲート信号線 17b の $1F/N$ の期間だけ、 V_{g1} にする時刻は $1F$ ($1F$ に限定するものではない。単位期間でよい。) の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけ EL 素子 15 をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間 ($1H$) 後、すぐにゲート信号線 17b を V_{g1} にして EL 素子 15 を発光させる方がよい。図 1 のコンデンサ 19 の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

このように K の値 (画像表示部 53 の分割数) を変化させることも容易に実現できる。図 6 において ST に印加するデータのタイミング ($1F$ のいつに L レベルにするか) を調整あるいは可変できるように構成しておけばよいからである。

なお、図 16 などでは、ゲート信号線 17b を V_{g1} にする期間 ($1F/N$) を複수에分割 (分割数 M) し、 V_{g1} にする期間は $1F/(K \cdot N)$ の期間を K 回実施するとしたがこれ限定するものではない。 $1F/(K \cdot N)$ の期間を L ($L \neq K$) 回実施してもよい。つまり、本発明は、EL 素子 15 に流す期間 (時間) を制御することにより表示画面 50 を表示するものである。したがって、 $1F/(K \cdot N)$ の期間を L ($L \neq K$) 回実施することは本発明の技術的思想に含まれる。また、 L の値を変化させることにより、表示画面 50 の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では 50% の輝度 (コントラスト) 変化となる。これらの制御も、本発明の他の実施例にも適用できる

ことは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のN倍パルス駆動である。

以上の実施例は、EL素子15と駆動用トランジスタ11aとの間にスイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、図32を用いて、その実施例について説明をする。

図32は基本的には図1の画素構成である。図32の画素構成では、プログラムされたI_w電流がEL素子15に流れ、EL素子15が発光する。つまり、駆動用トランジスタ11aはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ11aをリセット（オフ状態）にする方式が図32の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

図1の画素構成でリセット駆動を実現するためには、トランジスタ11bとトランジスタ11cを独立してオンオフ制御できるように構成する必要がある。つまり、図32で図示するようにトランジスタ11bをオンオフ制御するゲート信号線17a（ゲート信号線WR）、トランジスタ11cをオンオフ制御するゲート信号線17c（ゲート信号線EL）を独立して制御できるようにする。ゲート信号線17aとゲート信号線17cの制御は、図6に図示するように独立した2つのシフトレジスタ回路61で行えばよい。

トランジスタ11bを駆動するゲート信号線17aとトランジスタ1

1 d を駆動するゲート信号線 1 7 b の駆動電圧は変化させるとよい（図 1 の画素構成の場合）。ゲート信号線 1 7 a の振幅値（オン電圧とオフ電圧との差）は、ゲート信号線 1 7 b の振幅値よりも小さくする。

ゲート信号線 1 7 の振幅値が大きいと、ゲート信号線 1 7 と画素 1 6 との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線 1 7 a の振幅は、ソース信号線 1 8 の電位が画素 1 6 に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線 1 8 の電位変動は小さいから、ゲート信号線 1 7 a の振幅値は小さくすることができる。

一方、ゲート信号線 1 7 b は EL のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ 6 1 a と 6 1 b との出力電圧を変化させる。画素が P チャンネルトランジスタで形成されている場合は、シフトレジスタ回路 6 1 a と 6 1 b の V_{gh} （オフ電圧）を略同一にし、シフトレジスタ回路 6 1 a の V_{g1} （オン電圧）をシフトレジスタ回路 6 1 b の V_{g1} （オン電圧）よりも低くする。

以下、図 3 3 を参照しながら、リセット駆動方式について説明をする。図 3 3 はリセット駆動の原理説明図である。まず、図 3 3 の (a) に図示するように、トランジスタ 1 1 c、トランジスタ 1 1 d をオフ状態にし、トランジスタ 1 1 b をオン状態にする。すると、駆動用トランジスタ 1 1 a のドレイン（D）端子とゲート（G）端子はショート状態となり、 I_b 電流が流れる。一般的に、トランジスタ 1 1 a は 1 つ前のフィールド（フレーム）で電流プログラムされている。この状態でトランジスタ 1 1 d がオフ状態となり、トランジスタ 1 1 b がオン状態にすれば、駆動電流 I_b がトランジスタ 1 1 a のゲート（G）端子に流れる。そのため、トランジスタ 1 1 a のゲート（G）端子とドレイン（D）端子とが

同一電位となり、トランジスタ 1 1 a はリセット（電流を流さない状態）になる。

なお、図 3 3 の (a) の動作の前に、トランジスタ 1 1 b、トランジスタ 1 1 c をオフ状態にし、トランジスタ 1 1 d をオン状態にし、駆動用トランジスタ 1 1 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間に完了させることが好ましい。E L 素子 1 5 に電流が流れて E L 素子 1 5 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H（1 水平走査期間）の 0. 1 % 以上 1 0 % 以下とすることが好ましい。さらに好ましくは 0. 2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0. 2 μ s e c 以上 5 μ s e c 以下となるようにすることが好ましい。また、全画面の画素 1 6 に一括して前述の動作（図 3 3 の (a) の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 1 1 a のドレイン（D）端子電圧が低下し、図 3 3 の (a) の状態でスムーズな I b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

図 3 3 の (a) の実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 3 3 の (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 3 3 の (a) の実施時間は、1 H 以上 5 H 以下にすることが好ましい。

なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で E L 材料が異なり、この E L 材料の立ち上がり電圧などに差異があるためである。R G B の各画素で、E L 材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H 以上 5 H 以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5 H 以上であってもよいことは言うまでもない。なお、こ

の期間が長いほど、画素の黒表示状態は良好となる。

図 3 3 の (a) を実施後、1 H 以上 5 H 以下の期間において、図 3 3 の (b) の状態にする。図 3 3 の (b) はトランジスタ 1 1 c、トランジスタ 1 1 b をオンさせ、トランジスタ 1 1 d をオフさせた状態である。図 3 3 の (b) の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路 1 4 からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を駆動用トランジスタ 1 1 a に流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ 1 1 a のゲート (G) 端子の電位を設定するのである（設定電位はコンデンサ 1 9 に保持される）。

もし、プログラム電流 I_w が 0 (A) であれば、トランジスタ 1 1 a は電流を図 3 3 の (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 3 3 の (b) で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 1 1 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 3 3 の (b) の電流プログラミング後、図 3 3 の (c) に図示するように、トランジスタ 1 1 b、トランジスタ 1 1 c とオフし、トランジスタ 1 1 d をオンさせて、駆動用トランジスタ 1 1 a からのプログラム電流 $I_w (= I_e)$ を EL 素子 1 5 に流し、EL 素子 1 5 を発光させる。図 3 3 の (c) に関しても、図 1 などで以前に説明をしたので詳細は省略する。

つまり、図 3 3 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 1 1 a と EL 素子 1 5 間を切断（電流が流れない状態）し、か

つ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む2端子）間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。かつ、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、図32の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。）。次に、EL素子15に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。図33の(a)のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行もいれると6画素行）となるはずである。

また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平

走査期間（１単位）に、画素行（１）（２）（３）（４）をリセット状態にし、次の第２の水平走査期間に、画素行（３）（４）（５）（６）をリセット状態にし、さらに次の第３の水平走査期間に、画素行（５）（６）（７）（８）をリセット状態にする。また、次の第４の水平走査期間に、画素行（７）（８）（９）（１０）をリセット状態にするという駆動状態が例示される。なお、当然、図３３の（ｂ）、図３３の（ｃ）の駆動状態も図３３の（ａ）の駆動状態と同期して実施される。

また、１画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図３３の（ｂ）の（ｃ）の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（１画素行あるいは複数画素行の飛び越し走査）で、リセット状態（１画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

なお、図３３のリセット駆動は、本発明のＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図２２の構成は、間欠 N/K 倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線１７ｂを制御し、トランジスタ１１ｄをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。

また、他の駆動方法、たとえば、以降の説明するプリチャージ駆動方

式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

図 3 4 はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路 1 2 a は、図 3 2 におけるゲート信号線 1 7 a およびゲート信号線 1 7 b を制御する。ゲート信号線 1 7 a にオンオフ電圧を印加することによりトランジスタ 1 1 b がオンオフ制御される。また、ゲート信号線 1 7 b にオンオフ電圧を印加することによりトランジスタ 1 1 d がオンオフ制御される。ゲートドライバ回路 1 2 b は、図 3 2 におけるゲート信号線 1 7 c を制御する。ゲート信号線 1 7 c にオンオフ電圧を印加することによりトランジスタ 1 1 c がオンオフ制御される。

したがって、ゲート信号線 1 7 a はゲートドライバ回路 1 2 a で操作し、ゲート信号線 1 7 c はゲートドライバ回路 1 2 b で操作する。そのため、トランジスタ 1 1 b をオンさせて駆動用トランジスタ 1 1 a をリセットするタイミングと、トランジスタ 1 1 c をオンさせて駆動用トランジスタ 1 1 a に電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

図 3 5 はリセット駆動のタイミングチャートである。ゲート信号線 1 7 a にオン電圧を印加し、トランジスタ 1 1 b をオンさせ、駆動用トランジスタ 1 1 a をリセットしている時には、ゲート信号線 1 7 b にはオフ電圧を印加し、トランジスタ 1 1 d をオフ状態にしている。したがって、図 3 2 の (a) の状態となっている。この期間に I b 電流が流れる。

図 3 5 のタイミングチャートでは、リセット時間は 2 H (ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b がオンする) とし

ているが、これに限定するものではない。2 H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1 H未満であってもよい。

リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA (ST) パルス期間で容易に変更できる。たとえば、ST端子に入力するDATAを2 H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2 H期間となる。同様に、ST端子に入力するDATAを5 H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5 H期間となる。

1 H期間のリセット後、画素行(1)のゲート信号線17c(1)に、オン電圧が印加される。トランジスタ11cがオンすることにより、ソース信号線18に印加されたプログラム電流 I_w がトランジスタ11cを介して駆動用トランジスタ11aに書き込まれる。

電流プログラム後、画素(1)のゲート信号線17cにオフ電圧が印加され、トランジスタ11cがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用トランジスタ11aのリセット状態が解消される(なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である)。また、ゲート信号線17bにはオン電圧が印加され、トランジスタ11dがオンして、駆動用トランジスタ11aにプログラムされた電流がEL素子15に流れる。なお、画素行(2)以降についても、画素行(1)と同様であり、また、図35からその動作は明らかであるから説明を省略する。

図35において、リセット期間は1 H期間であった。図36はリセット期間を5 Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA (ST) パルス期間で容易

に変更できる。図 3 6 ではゲートドライバ回路 1 2 a の S T 1 端子に入力する D A T A を 5 H 期間の間 H レベルし、各ゲート信号線 1 7 a から出力されるリセット期間を 5 H 期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

図 3 6 はリセット期間を 5 H とした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線 1 7 a から出力される信号を 1 H ごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路 1 2 に入力する D A T A (S T) パルスを制御することで容易に実現できる。

図 3 4 の回路構成では、ゲートドライバ回路 1 2 a は少なくとも 2 つのシフトレジスタ回路（1 つはゲート信号線 1 7 a 制御用、他の 1 つはゲート信号線 1 7 b 制御用）が必要であった。そのため、ゲートドライバ回路 1 2 a の回路規模が大きくなるという課題があった。図 3 7 はゲートドライバ回路 1 2 a のシフトレジスタを 1 つにした実施例である。図 3 7 の回路を動作させた出力信号のタイミングチャートは図 3 5 のごとくなる。なお、図 3 5 と図 3 7 とはゲートドライバ回路 1 2 a 、 1 2 b から出力されているゲート信号線 1 7 の記号が異なっているので注意が必要である。

図 3 7 の O R 回路 3 7 1 が付加されていることから明らかであるが、各ゲート信号線 1 7 a の出力は、シフトレジスタ回路 6 1 a の前段出力との O R をとって出力される。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力される。一方、ゲート信号線 1 7 c はシフトレジ

スタ回路 6 1 a の出力がそのまま出力される。したがって、1 H 期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路 6 1 a の 2 番目に H レベル信号が出力されている時、画素 1 6 (1) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (1) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (2) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (2) のトランジスタ 1 1 b がオン状態となり、画素 1 6 (2) の駆動用トランジスタ 1 1 a がリセットされる。

同様に、シフトレジスタ回路 6 1 a の 3 番目に H レベル信号が出力されている時、画素 1 6 (2) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (2) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (3) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (3) トランジスタ 1 1 b がオン状態となり、画素 1 6 (3) 駆動用トランジスタ 1 1 a がリセットされる。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力され、ゲート信号線 1 7 c に 1 H 期間、オン電圧が出力される。

プログラム状態の時は、トランジスタ 1 1 b とトランジスタ 1 1 c が同時にオン状態となる (図 3 3 の (b)) ら、非プログラム状態 (図 3 3 の (c)) に移行する際、トランジスタ 1 1 c がトランジスタ 1 1 b よりも先にオフ状態となると、図 3 3 の (b) のリセット状態となってしまう。これを防止するためには、トランジスタ 1 1 c がトランジスタ 1 1 b よりもあとからオフ状態にする必要がある。そのためには、ゲート信号線 1 7 a がゲート信号線 1 7 c よりも先にオン電圧が印加されるように制御する必要がある。

以上の実施例は、図 3 2 (基本的には図 1) の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえ

ば、図 3 8 に示すようなカレントミラーの画素構成であっても実施することができる。なお、図 3 8 ではトランジスタ 1 1 e をオンオフ制御することにより、図 1 3、図 1 5 などにて図示する N 倍パルス駆動を実現できる。図 3 9 は図 3 8 のカレントミラーの画素構成での実施例の説明図である。以下、図 3 9 を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

図 3 9 の (a) に図示するように、トランジスタ 1 1 c、トランジスタ 1 1 e をオフ状態にし、トランジスタ 1 1 d をオン状態にする。すると、電流プログラム用トランジスタ 1 1 b のドレイン (D) 端子とゲート (G) 端子はショート状態となり、図に示すように I_b 電流が流れる。一般的に、トランジスタ 1 1 b は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を流す能力がある (ゲート電位はコンデンサ 1 9 に 1 F 期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ 1 1 e がオフ状態とし、トランジスタ 1 1 d がオン状態にすれば、駆動電流 I_b がトランジスタ 1 1 a のゲート (G) 端子の方向に流れる (ゲート (G) 端子とドレイン (D) 端子がショートされる)。そのため、トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 1 1 a はリセット (電流を流さない状態) になる。また、駆動用トランジスタ 1 1 b のゲート (G) 端子は電流プログラム用トランジスタ 1 1 a のゲート (G) 端子と共通であるから、駆動用トランジスタ 1 1 b もリセット状態となる。

このトランジスタ 1 1 a、トランジスタ 1 1 b のリセット状態 (電流を流さない状態) は、図 5 1 などにて説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 3 9 の (a) の状態では、コンデンサ 1 9 の端子間には、オフセット電圧 (電流が

流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ 11 に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ 11 a、トランジスタ 11 b の特性に応じて異なる電圧値である。したがって、図 39 の (a) の動作を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11 a、トランジスタ 11 b が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

なお、図 39 の (a) においても図 33 の (a) と同様に、リセットの実施時間を長くするほど、I b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、図 39 の (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 39 の (a) の実施時間は、1 H 以上 10 H（10 水平走査期間）以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましい。あるいは、20 μ sec 以上 2 msec 以下とすることが好ましい。このことは図 33 の駆動方式でも同様である。

図 33 の (a) も同様であるが、図 39 の (a) のリセット状態と、図 39 の (b) の電流プログラム状態とを同期をとって行う場合は、図 39 の (a) のリセット状態から、図 39 の (b) の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図 33 の (a) あるいは図 39 の (a) のリセット状態から、図 33 の (b) あるいは図 39 の (b) の電流プログラム状態までの期間が、1 H 以上 10 H（10 水平走査期間）以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましいのである。あるいは、20 μ sec 以上 2 msec 以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あ

まりにも長いと駆動用トランジスタ 11 が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 50 の輝度も低下する。

図 39 の (a) を実施後、図 39 の (b) の状態にする。図 39 の (b) はトランジスタ 11 c、トランジスタ 11 d をオンさせ、トランジスタ 11 e をオフさせた状態である。図 39 の (b) の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を電流プログラム用トランジスタ 11 a に流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ 11 b のゲート (G) 端子の電位をコンデンサ 19 に設定するのである。

もし、プログラム電流 I_w が 0 (A)（黒表示）であれば、トランジスタ 11 b は電流を図 33 の (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 39 の (b) で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11 a あるいはトランジスタ 11 b の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図 39 の (b) の電流プログラミング後、図 39 の (c) に図示するように、トランジスタ 11 c、トランジスタ 11 d とオフし、トランジスタ 11 e をオンさせて、駆動用トランジスタ 11 b からのプログラム電流 $I_w (= I_e)$ を EL 素子 15 に流し、EL 素子 15 を発光させる。図 39 の (c) に関しても、以前に説明をしたので詳細は省略する。

図 3 3、図 3 9 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と E L 素子 1 5 間を切断（電流が流れない状態。トランジスタ 1 1 e あるいはトランジスタ 1 1 d で行う）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。

少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、第 1 の動作における駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と E L 素子 1 5 間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と E L 素子 1 5 間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

図 3 9 のカレントミラーの画素構成は、電流プログラムトランジスタ 1 1 a をリセットすることにより、結果として駆動用トランジスタ 1 1 b をリセットする駆動方法であった。

図 3 9 のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ 1 1 b と E L 素子 1 5 間を切断する必要はない。したがって、電流プログラム用トランジスタ a のドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（G）端子を含む 2 端子、あるいは駆動用トランジスタのゲート（G）端子を

含む2端子)間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

画像表示状態は(もし、瞬時的な変化が観察できるのであれば)、まず、電流プログラムを行われる画素行は、リセット状態(黒表示状態)になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図43は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成(パネル構成)の説明図である。

図43の画素構成では、駆動用トランジスタ11aをリセット動作させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート(G)端子とドレイン(D)端子間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、図44を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

図44の(a)に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI_b電流が流れる。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、

駆動用トランジスタ 11a はリセット（電流を流さない状態）になる。なお、トランジスタ 11a をリセットする前に、図 33 あるいは図 39 で説明したように、HD 同期信号に同期して、最初にトランジスタ 11d をオンさせ、トランジスタ 11e をオフさせて、トランジスタ 11a に電流を流しておく。その後、図 44 の (a) の動作を実施する。

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図 44 の (a) のリセットの実施時間を長くするほど、I_b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、図 44 の (a) の実施時間は固定値にする必要がある。実施時間は、0.2 H 以上 5 H（5 水平走査期間）以下とすることが好ましい。さらには 0.5 H 以上 4 H 以下とすることが好ましい。あるいは、2 μ sec 以上 400 μ sec 以下とすることが好ましい。

また、ゲート信号線 17e は前段の画素行のゲート信号線 17a と共通にしておくことが好ましい。つまり、ゲート信号線 17e と前段の画素行のゲート信号線 17a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1 H 前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に限定されるものではない。たとえば、2 画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ 11a のリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下のようになる。着目する画素行が (N) 画素行とし、そのゲート信号線がゲート信号線 17e (N)、ゲート信号線 17a (N) とする。1 H 前に選択される前段の画素行は、画素行が (N-1) 画素行とし、そのゲート信号線がゲート信号線 17e (N-1)、ゲート信号線 17a (N-1) とする。また、着目画素行の次の 1 H 後に選択される画素行が (N+1) 画素行

とし、そのゲート信号線がゲート信号線 17 e (N+1)、ゲート信号線 17 a (N+1) とする。

第 (N-1) H 期間では、第 (N-1) 画素行のゲート信号線 17 a (N-1) にオン電圧が印加されると、第 (N) 画素行のゲート信号線 17 e (N) にもオン電圧が印加される。ゲート信号線 17 e (N) と前段の画素行のゲート信号線 17 a (N-1) とがショート状態で形成されているからである。したがって、第 (N-1) 画素行の画素のトランジスタ 11 b (N-1) がオンし、ソース信号線 18 の電圧が駆動用トランジスタ 11 a (N-1) のゲート (G) 端子に書き込まれる。同時に、第 (N) 画素行の画素のトランジスタ 11 e (N) がオンし、駆動用トランジスタ 11 a (N) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N) がリセットされる。

第 (N-1) H 期間の次の第 (N) 期間では、第 (N) 画素行のゲート信号線 17 a (N) にオン電圧が印加されると、第 (N+1) 画素行のゲート信号線 17 e (N+1) にもオン電圧が印加される。したがって、第 (N) 画素行の画素のトランジスタ 11 b (N) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N) のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画素のトランジスタ 11 e (N+1) がオンし、駆動用トランジスタ 11 a (N+1) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N+1) がリセットされる。

以下同様に、第 (N) H 期間の次の第 (N+1) 期間では、第 (N+1) 画素行のゲート信号線 17 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 17 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 11

b (N + 1) がオンし、ソース信号線 1 8 に印加されている電圧が駆動用トランジスタ 1 1 a (N + 1) のゲート (G) 端子に書き込まれる。同時に、第 (N + 2) 画素行の画素のトランジスタ 1 1 e (N + 2) がオンし、駆動用トランジスタ 1 1 a (N + 2) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 1 1 a (N + 2) がリセットされる。

以上の本発明の前段ゲート制御方式では、1 H 期間、駆動用トランジスタ 1 1 a はリセットされ、その後、電圧 (電流) プログラムが実施される。

図 3 3 の (a) も同様であるが、図 4 4 の (a) のリセット状態と、図 4 4 の (b) の電圧プログラム状態とを同期をとって行う場合は、図 4 4 の (a) のリセット状態から、図 4 4 の (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 1 1 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 1 1 a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 1 2 の輝度も低下する。

図 4 4 の (a) を実施後、図 4 4 の (b) の状態にする。図 4 4 の (b) はトランジスタ 1 1 b をオンさせ、トランジスタ 1 1 e、トランジスタ 1 1 d をオフさせた状態である。図 4 4 の (b) の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路 1 4 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 1 1 a のゲート (G) 端子に書き込む (駆動用トランジスタ 1 1 a のゲート (G) 端子の電位をコンデンサ 1 9 に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ 1 1 d を必ずしもオフさせる必要はない。また、図 1 3、図 1 5 などの N 倍パルス駆動など

と組み合わせること、あるいは以上のような、間欠 N/K 倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ１１eをオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ１１eが必要でない。このことは以前に説明をしたので、説明を省略する。

図４３の構成あるいは図４４の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

図４４の（b）の電流プログラミング後、図４４の（c）に図示するように、トランジスタ１１bをオフし、トランジスタ１１dをオンさせて、駆動用トランジスタ１１aからのプログラム電流をEL素子１５に流し、EL素子１５を発光させる。

以上のように、図４３の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にトランジスタ１１dをオンさせ、トランジスタ１１eをオフさせて、トランジスタ１１aに電流を流す第１の動作と、トランジスタ１１aとEL素子１５間を切断し、かつ、駆動用トランジスタ１１aのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む２端子）間をショートする第２の動作と、前記動作の後、駆動用トランジスタ１１aに電圧プログラムを行う第３の動作を実施するものである。

以上の実施例では、駆動用トランジスタ１１a（図１の画素構成の場

合) から EL 素子 15 に流す電流を制御するのに、トランジスタ 11d をオンオフさせて行う。トランジスタ 11d をオンオフさせるためには、ゲート信号線 17b を走査する必要がある、走査のためには、シフトレジスタ回路 61 (ゲートドライバ回路 12) が必要となる。しかし、シフトレジスタ回路 61 は規模が大きく、ゲート信号線 17b の制御にシフトレジスタ回路 61 を用いたのでは狭額縁化できない。図 40 で説明する方式は、この課題を解決するものである。

なお、本発明は、主として図 1 などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図 38 などで説明した他の電流プログラム構成 (カレントミラーの画素構成) であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図 41 などの電圧プログラムの画素構成であっても適用できることはいうまでもない。

図 40 はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路 12 はアレイ基板 71 に直接形成したか、もしくはシリコンチップのゲートドライバ IC 12 をアレイ基板 71 に積載したとして説明をする。また、ソースドライバ回路 14 およびソース信号線 18 は図面が煩雑になるため省略する。

図 40 において、ゲート信号線 17a はゲートドライバ回路 12 と接続されている。一方、各画素のゲート信号線 17b は点灯制御線 401 と接続されている。図 40 では 4 本のゲート信号線 17b が 1 つの点灯制御線 401 と接続されている。

なお、4 本のゲート信号線 17b でブロックするというのはこれに限定するものではなく、それ以上であってもよいことはいうまでもない。一般的に表示画面 50 は少なくとも 5 以上に分割することが好ましい。さらに好ましくは、10 以上に分割することが好ましい。さらには、2

0以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線401の本数が多くなり、点灯制御線401のレイアウトが困難になる。

したがって、Q C I F表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要があり、好ましくは、 $220 / 10 = 22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

図40の実施例では、点灯制御線401a、401b、401c、401d……401nと順次、オン電圧（V_{gl}）を印加するか、もしくはオフ電圧（V_{gh}）を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

なお、図40の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。

ゲートドライバ回路12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のトランジスタ11dのゲート（G）端子と接続されている。したがって、点灯制御線401にオン電圧（V_{gl}）が印加されたとき、駆動用トランジスタ11a

とEL素子15との電流経路を形成し、逆にオフ電圧（ V_{gh} ）が印加された時は、EL素子15のアノード端子をオープンにする。

なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路12がゲート信号線17aに出力する画素行選択電圧（ V_{g1} ）のタイミングは1水平走査クロック（1H）に同期していることが好ましい。しかし、これに限定するものではない。

点灯制御線401に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ回路14が出力する画像データと同期がとれている必要もない。点灯制御線401に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、 $1/2H$ でも、 $1/4H$ であってもよい。

図38に図示したカレントミラーの画素構成の場合であっても、ゲート信号線17bを点灯制御線401に接続することにより、トランジスタ11eをオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、図32において、ゲート信号線17aを点灯制御線401に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置（形成）してもよい。

図41はその実施例である。なお、説明を容易にするため、画素構成

は図 1 の場合を主として例示して説明をする。図 4 1 では画素行の選択ゲート信号線 1 7 a は 3 つの画素（1 6 R、1 6 G、1 6 B）を同時に選択する。R の記号とは赤色の画素関連を意味し、G の記号とは緑色の画素関連を意味し、B の記号とは青色の画素関連を意味するものとする。

したがって、ゲート信号線 1 7 a の選択により、画素 1 6 R、画素 1 6 G および画素 1 6 B が同時に選択されデータ書き込み状態となる。画素 1 6 R はソース信号線 1 8 R からデータをコンデンサ 1 9 R に書き込み、画素 1 6 G はソース信号線 1 8 G からデータをコンデンサ 1 9 G に書き込む。画素 1 6 B はソース信号線 1 8 B からデータをコンデンサ 1 9 B に書き込む。

画素 1 6 R のトランジスタ 1 1 d はゲート信号線 1 7 b R に接続されている。また、画素 1 6 G のトランジスタ 1 1 d はゲート信号線 1 7 b G に接続され、画素 1 6 B のトランジスタ 1 1 d はゲート信号線 1 7 b B に接続されている。したがって、画素 1 6 R の EL 素子 1 5 R、画素 1 6 G の EL 素子 1 5 G、画素 1 6 B の EL 素子 1 5 B は別個にオンオフ制御することができる。つまり、EL 素子 1 5 R、EL 素子 1 5 G、EL 素子 1 5 B はそれぞれのゲート信号線 1 7 b R、1 7 b G、1 7 b B を制御することにより、点灯時間、点灯周期を個別に制御可能である。

この動作を実現するためには、図 6 の構成において、ゲート信号線 1 7 a を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b R を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b G を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b B を走査するシフトレジスタ回路 6 1 の 4 つを形成（配置）することが適切である。

なお、ソース信号線 1 8 に所定電流の N 倍の電流を流し、EL 素子 1 5 に所定電流の N 倍の電流を $1/N$ の期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線 1 7 に印加した信号パルスがコ

ンデンサ 19 に突き抜け、コンデンサ 19 に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ 19 には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10 倍の電流値を設定するように駆動しても、5 倍程度の電流しかコンデンサ 19 には設定されない。たとえば、 $N=10$ としても実際に EL 素子 15 に流れる電流は $N=5$ の場合と同一となる。したがって、本発明は N 倍の電流値を設定し、 N 倍に比例したあるいは対応する電流を EL 素子 15 に流れるように駆動する方法である。もしくは、所望値よりも大きい電流を EL 素子 15 にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、EL 素子 15 に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ 11a（図 1 を例示する場合）に電流（電圧）プログラムを行い、EL 素子 15 に流れる電流を間欠にすることにより、所望の EL 素子の発光輝度を得るものである。

また、図 1 などのスイッチング用トランジスタ 11b、11c などは N チャンネルで形成することが好ましい。コンデンサ 19 への突き抜け電圧が低減するからである。また、コンデンサ 19 のオフリークも減少するから、10 Hz 以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧が EL 素子 15 に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

逆に、図 1 のスイッチング用トランジスタ 11b、11c を P チャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。P チャンネルトランジスタ 11b がオフするとき

は V_{gh} 電圧となる。そのため、コンデンサ19の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

以下、図面を参照しながら本発明の他の駆動方式について説明をする。図125は本発明のシーケンス駆動を実施するための表示パネルの説明図である。ソースドライバ回路14は接続端子681にR、G、Bデータを切り替えて出力する。したがって、ソースドライバ回路14の出力端子数は図48などの場合に比較して1/3の出力端子数ですむ。

ソースドライバ回路14から接続端子681に出力する信号は、出力切り替え回路1251のよりソース信号線18R、18G、18Bに振り分けられる。出力切り替え回路1251はポリシリコン技術あるいはアモルファスシリコン技術でアレイ基板71に直接形成する。また、出力切り替え回路1251はシリコンチップで形成し、COG技術、TAB技術、COF技術でアレイ基板71に実装してもよい。また、出力切り替え回路1251は出力切り替え回路1251をソースドライバ回路14の回路として、ソースドライバ回路14に内蔵させてもよい。

切り替えスイッチ1252がR端子に接続されている時は、ソースドライバ回路14からの出力信号は、ソース信号線18Rに印加される。切り替えスイッチ1252がG端子に接続されている時は、ソースドライバ回路14からの出力信号は、ソース信号線18Gに印加される。切り替えスイッチ1252がB端子に接続されている時は、ソースドライバ回路14からの出力信号は、ソース信号線18Bに印加される。

なお、図126の構成では、切り替えスイッチ1252がR端子に接続されている時は、切り替えスイッチのG端子およびB端子はオープン

である。したがって、ソース信号線 18 G および 18 B に入力される電流は 0 A である。したがって、ソース信号線 18 G および 18 B に接続された画素 16 は黒表示となる。

切り替えスイッチ 1252 が G 端子に接続されている時は、切り替えスイッチの R 端子および B 端子はオープンである。したがって、ソース信号線 18 R および 18 B に入力される電流は 0 A である。したがって、ソース信号線 18 R および 18 B に接続された画素 16 は黒表示となる。

なお、図 126 の構成では、切り替えスイッチ 1252 が B 端子に接続されている時は、切り替えスイッチの R 端子および G 端子はオープンである。したがって、ソース信号線 18 R および 18 G に入力される電流は 0 A である。したがって、ソース信号線 18 R および 18 G に接続された画素 16 は黒表示となる。

基本的には、1 フレームが 3 フィールドで構成される場合、第 1 フィールドで、表示画面 50 の画素 16 に順次 R 画像データが書き込まれる。第 2 フィールドでは、表示画面 50 の画素 16 に順次 G 画像データが書き込まれる。また、第 3 フィールドでは、表示画面 50 の画素 16 に順次 B 画像が書き込まれる。

以上のように、フィールドごとに R データ → G データ → B データ → R データ → G データ → B データ → R データ → が順次書き換えられシーケンス駆動が実現される。図 1 のようにスイッチング用トランジスタ 11 d をオンオフさせて、N 倍パルス駆動を実現することなどは、図 5、図 13、図 16 などの説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。もちろん、その他の本発明の駆動方法とシーケンス駆動とを組み合わせることができることは言うまでもない。

また、先に説明した実施例では、R 画素 16 に画像データを書き込む

時は、G画素およびB画素には黒データを書き込むとした。G画素16に画像データを書き込む時は、R画素およびB画素には黒データを書き込むとした。B画素16に画像データを書き込む時は、R画素およびG画素には黒データを書き込むとした。本発明はこれに限定するものではない。

たとえば、R画素16に画像データを書き込む時は、G画素およびB画素の画像データは前フィールドで書き換えられた画像データを保持するようにしてもよい。このように駆動すれば画面50輝度を明るくすることができる。G画素16に画像データを書き込む時は、R画素およびB画素の画像データは前フィールドで書き換えられた画像データを保持するようにする。B画素16に画像データを書き込む時は、G画素およびR画素の画像データは前フィールドで書き換えられた画像データを保持する。

以上のように、書き換えている色画素以外の画素の画像データを保持するには、RGB画素でゲート信号線17aを独立に制御できるようにすればよい。たとえば、図125に図示するように、ゲート信号線17aRは、R画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。また、ゲート信号線17aGは、G画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。ゲート信号線17aBは、B画素のトランジスタ11b、トランジスタ11cのオンオフを制御する信号線とする。一方、ゲート信号線17bはR画素、G画素、B画素のトランジスタ11dを共通でオンオフさせる信号線とする。

以上のように構成すれば、ソースドライバ回路14がRの画像データを出力し、切り替えスイッチ1252がR接点に切り替わっているときは、ゲート信号線17aRにオン電圧を印加し、ゲート信号線aGとゲ

ート信号線 a B とにオフ電圧を印加することができる。したがって、R の画像データを R 画素 1 6 に書き込み、G 画素 1 6 および B 画素 1 6 は前にフィールドの画像データを保持したままにできる。

第 2 フィールドでソースドライバ回路 1 4 が G の画像データを出力し、切り替えスイッチ 1 2 5 2 が G 接点に切り替わっているときは、ゲート信号線 1 7 a G にオン電圧を印加し、ゲート信号線 a R とゲート信号線 a B とにオフ電圧を印加することができる。したがって、G の画像データを G 画素 1 6 に書き込み、R 画素 1 6 および B 画素 1 6 は前にフィールドの画像データを保持したままにできる。

第 3 フィールドでソースドライバ回路 1 4 が B の画像データを出力し、切り替えスイッチ 1 2 5 2 が B 接点に切り替わっているときは、ゲート信号線 1 7 a B にオン電圧を印加し、ゲート信号線 a R とゲート信号線 a G とにオフ電圧を印加することができる。したがって、B の画像データを B 画素 1 6 に書き込み、R 画素 1 6 および G 画素 1 6 は前にフィールドの画像データを保持したままにできる。

図 1 2 5 の実施例では、R G B ごとに画素 1 6 のトランジスタ 1 1 b をオンオフさせるゲート信号線 1 7 a を形成あるいは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図 1 2 6 に図示するように、R G B の画素 1 6 に共通のゲート信号線 1 7 a を形成または配置する構成であってもよい。

図 1 2 5 などの構成において、切り替えスイッチ 1 2 5 2 が R のソース信号線を選択しているときは、G のソース信号線と B のソース信号線はオープンになるとして説明をした。しかし、オープン状態は電氣的にはフローティング状態であり、好ましいことではない。

図 1 2 6 は、このフローティング状態をなくすために対策を行った構成である。出力切り替え回路 1 2 5 1 の切り替えスイッチ 1 2 5 2 の a

端子はV a a 電圧（黒表示となる電圧）に接続されている。b 端子はソースドライバ回路14の出力端子と接続されている。切り替えスイッチ1252はRGBそれぞれに設けられている。

図126の状態では、切り替えスイッチ1252RはV a a 端子に接続されている。したがって、ソース信号線18Rには、V a a 電圧（黒電圧）が印加されている。切り替えスイッチ1252GはV a a 端子に接続されている。したがって、ソース信号線18Gには、V a a 電圧（黒電圧）が印加されている。切り替えスイッチ1252Bはソースドライバ回路14の出力端子に接続されている。したがって、ソース信号線18Bには、Bの映像信号が印加されている。

以上の状態では、B画素の書き換え状態であり、R画素とG画素には黒表示電圧が印加される。以上のように切り替えスイッチ1252を制御することにより、画素16の画像は書き換えられる。なお、ゲート信号線17bの制御などに関しては以前説明した実施例と同様であるので説明を省略する。

以上の実施例では、第1フィールドでR画素16を書き換え、第2フィールドでG画素16を書き換え、第3フィールドでB画素16を書き換えるとした。つまり、1フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。1水平走査期間（1H）ごとに書き換える画素の色を変化させてもよい。たとえば、1H目にR画素を書き換え、2H番目にG画素を書き換え、3H番目にB画素を書き換え、4H番目にR画素を書き換え、・・・・・・と駆動する方法である。もちろん、2H以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、1/3フィールドごとに書き換える画素の色を変化させてもよい。

図127は1Hごとに書き換える画素の色を変化させた実施例である。

なお、図 1 2 7 から図 1 2 9 において、斜線でしめした画素 1 6 は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施してもよい。

なお、図 1 2 5 から図 1 2 9 の駆動方式において、図 1 3 などの N 倍パルス駆動や M 行同時駆動を実施してもよいことは言うまでもない。図 1 2 5 から図 1 2 9 などは画素 1 6 の書き込み状態を説明している。EL 素子 1 5 の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。もちろん、図 2 7 で説明したダミー画素行 2 7 1 を形成した構成、ダミー画素行を使用する駆動方法と組み合わせてもよい。

また、1 フレームは 3 フィールドで構成されることに限定されるものではない。2 フィールドでもよいし、4 フィールド以上でもよい。1 フレームが 2 フィールドで、RGB の 3 原色の場合は、第 1 フィールドで、R と G 画素を書き換え、第 2 フィールドで B 画素を書き換えるという実施例が例示される。また、1 フレームが 4 フィールドで、RGB の 3 原色の場合は、第 1 フィールドで、R 画素を書き換え、第 2 フィールドで G 画素を書き換え、第 3 フィールドと第 4 フィールドで B 画素を書き換えるという実施例が例示される。これらのシーケンスは、RGB の EL 素子 1 5 の発光効率を考慮して検討することにより効率よくホワイトバランスをとることができる。

以上の実施例では、第 1 フィールドで R 画素 1 6 を書き換え、第 2 フィールドで G 画素 1 6 を書き換え、第 3 フィールドで B 画素 1 6 を書き換えるとした。つまり、1 フィールドごとに書き換えられる画素の色が変化する。

図 1 2 7 の実施例では、第 1 フィールドの 1 H 目に R 画素を書き換え、

2 H 番目に G 画素を書き換え、3 H 番目に B 画素を書き換え、4 H 番目に R 画素を書き換え、・・・・・・と駆動する方法である。もちろん、2 H 以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、1 / 3 フィールドごとに書き換える画素の色を変化させてもよい。

図 1 2 7 の実施例では、第 1 フィールドの 1 H 目に R 画素を書き換え、2 H 番目に G 画素を書き換え、3 H 番目に B 画素を書き換え、4 H 番目に R 画素を書き換える。第 2 フィールドの 1 H 目に G 画素を書き換え、2 H 番目に B 画素を書き換え、3 H 番目に R 画素を書き換え、4 H 番目に G 画素を書き換える。第 3 フィールドの 1 H 目に B 画素を書き換え、2 H 番目に R 画素を書き換え、3 H 番目に G 画素を書き換え、4 H 番目に B 画素を書き換える。

以上のように、各フィールドで R、G、B 画素を任意にあるいは所定の規則性を持って書き換えることにより、R、G、B のカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

図 1 2 8 では、1 H ごとに書き換えられる画素 1 6 の色数は複数となっている。図 1 2 7 では、第 1 フィールドにおいて、1 H 番目は書き換えられる画素 1 6 は R 画素であり、2 H 番目は書き換えられる画素 1 6 は G 画素である。また、3 H 番目は書き換えられる画素 1 6 は B 画素であり、4 H 番目は書き換えられる画素 1 6 は R 画素である。

図 1 2 8 では、1 H ごとに、書き換える画素の色位置を異ならせている。各フィールドで R、G、B 画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、R、G、B のカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

なお、図 1 2 8 の実施例においても、各絵素（R G B 画素の組）では、

R G B の点灯時間あるいは発光強度を一致させる。このことは、図 1 2 6、図 1 2 7 などの実施例においても同然、実施することは言うまでもない。色ムラになるからである。

図 1 2 8 のように、1 H ごとに書き換える画素の色数（図 1 2 8 の第 1 フィールドの 1 H 番目は、R、G、B の 3 色書き換えられている）を複数にするのは、図 1 2 5 において、ソースドライバ回路 1 4 が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、切り替えスイッチ 1 2 5 2 が接点 R、G、B を任意（一定の規則性があってもよい）に接続できるように構成すればよい。

図 1 2 9 の実施例の表示パネルでは、R G B の 3 原色に加えて、W（白）の画素 1 6 W を有している。画素 1 6 W を形成または配置することにより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。図 1 2 9 の (a) は 1 画素行に、R、G、B、W 画素 1 6 を形成した実施例である。図 1 2 9 の (b) は、1 画素行ごとに、R G B W の画素 1 6 を配置した構成である。

図 1 2 9 の駆動方法においても、図 1 2 7、図 1 2 8 などの駆動方式を実施できることは言うまでもない。また、N 倍パルス駆動や、M 画素行同時駆動などを実施できることは言うまでもない。これらの事項は、当業者であれば本明細書により容易に具現化できるので説明を省略する。

なお、本発明は説明を容易にするため、本発明の表示パネルは R G B の 3 原色を有するとして説明しているが、これに限定するものではない。R G B に加えて、シアン、イエロー、マゼンダを加えても良いし、R、G、B のいずれかの単色、R、G、B のいずれかの 2 色を用いた表示パネルであってもよい。

また、以上のシーケンス駆動方式では、フィールドごとに R G B を操作するとしてが、本発明はこれに限定されるものではないことは言うま

でもない。また、図 1 2 5 から図 1 2 9 の実施例は、画素 1 6 に画像データを書き込む方法について説明したものである。図 1 などのトランジスタ 1 1 d を操作し、E L 素子 1 5 に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。E L 素子 1 5 に流れる電流は、図 1 の画素構成では、トランジスタ 1 1 d を制御することにより行う。

また、図 1 2 7、図 1 2 8 などの駆動方法では、トランジスタ 1 1 d（図 1 の場合）を制御することにより、R G B 画像を順次表示することができる。たとえば、図 1 3 0 の (a) は 1 フレーム（1 フィールド）期間に R 表示領域 5 3 R、G 表示領域 5 3 G、B 表示領域 5 3 B を画面の上から下方向（下方向から上方向でもよい）に走査する。R G B の表示領域以外の領域は非表示領域 5 2 とする。つまり、間欠駆動を実施する。

図 1 3 0 の (b) は 1 フィールド（1 フレーム）期間に R G B 表示領域 5 3 を複数発生するように実施した実施例である。この駆動方法は、図 1 6 の駆動方法と類似である。したがって、説明を必要としないであろう。図 1 3 0 の (b) に表示領域 5 3 を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

図 1 3 1 の (a) は、R G B の表示領域 5 3 で表示領域 5 3 の面積を異ならせたものである（表示領域 5 3 の面積は点灯期間に比例することは言うまでもない）。図 1 3 1 の (a) では、R 表示領域 5 3 R と G 表示領域 5 3 G と面積を同一にしている。G 表示領域 5 3 G より B 表示領域 5 3 B の面積を大きくしている。有機 E L 表示パネルでは、B の発光効率が悪い場合が多い、図 1 3 1 の (a) のように B 表示領域 5 3 B を他の色の表示領域 5 3 よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。

図 1 3 1 の (b) は、1 フィールド（フレーム）期間で、B 表示期間

5 3 Bが複数（5 3 B 1、5 3 B 2）となるようにした実施例である。図 1 3 1 の(a)は1つのB表示領域5 3 Bを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図 1 3 1 の(b)は、同一面積のB表示領域5 3 Bを複数表示させることにより、ホワイトバランスを良好にする。

本発明の駆動方式は図 1 3 1 の(a)と図 1 3 1 の(b)のいずれに限定するものではない。R、G、Bの表示領域5 3を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素1 6への書き込み不足を改善することを目的としている。なお、図 1 6の駆動方法では、R、G、Bが独立の表示領域5 3は発生しない。RGBが同時に表示される（W表示領域5 3が表示されると表現すべきである）。なお、図 1 3 1 の(a)と図 1 3 1 の(b)とは組み合わせてもよいことはいうまでもない。たとえば、図 1 3 1 の(a)のRGBの表示面積5 3を変化し、かつ図 1 3 1 の(b)のRGBの表示領域5 3を複数発生させる駆動方法の実施である。

なお、図 1 3 0 から図 1 3 1 の駆動方式は、図 1 2 5 から図 1 2 9 の本発明の駆動方式に限定されるものではない。図 4 1 のように、RGBごとにEL素子1 5（EL素子1 5 R、EL素子1 5 G、EL素子1 5 B）に流れる電流を制御できる構成あれば、図 1 3 0、図 1 3 1 の駆動方式を容易に実施できることは言うまでもないであろう。ゲート信号線1 7 b Rにオンオフ電圧を印加することにより、R画素1 6 Rをオンオフ制御することができる。ゲート信号線1 7 b Gにオンオフ電圧を印加することにより、G画素1 6 Gをオンオフ制御することができる。ゲート信号線1 7 b Bにオンオフ電圧を印加することにより、B画素1 6 Bをオンオフ制御することができる。

また、以上の駆動を実現するためには、図 1 3 2 に図示するように、

ゲート信号線 1 7 b R を制御するゲートドライバ回路 1 2 b R、ゲート信号線 1 7 b G を制御するゲートドライバ回路 1 2 b G、ゲート信号線 1 7 b B を制御するゲートドライバ回路 1 2 b B を形成または配置すればよい。図 1 3 2 のゲートドライバ回路 1 2 b R、1 2 b G、1 2 b B を図 6 など で説明した方法で駆動することにより、図 1 3 0、図 1 3 1 の駆動方法を実現できる。もちろん、図 1 3 2 の表示パネルの構成で、図 1 6 の駆動方法なども実現できることは言うまでもない。

また、図 1 2 5 から図 1 2 8 の構成で、画像データを書き換える画素 1 6 以外の画素 1 6 に、黒画像データを書き換える方式であれば、E L 素子 1 5 R を制御するゲート信号線 1 7 b R、E L 素子 1 5 G を制御するゲート信号線 1 7 b G、E L 素子 1 5 B を制御するゲート信号線 b B が分離されておらず、R G B 画素に共通のゲート信号線 1 7 b であっても、図 1 3 0、図 1 3 1 の駆動方式を実現できることは言うまでもない。

図 1 5、図 1 8、図 2 1 などでは、ゲート信号線 1 7 b (E L 側選択信号線) は 1 水平走査期間 (1 H) を単位として、オン電圧 (V_{g1})、オフ電圧 (V_{gh}) を印加するとして説明をした。しかし、E L 素子 1 5 の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は 1 H 単位に限定する必要はない。

アウトプットイネーブル (O E V) の概念を導入するため、以下のよう に規定する。O E V 制御を行うことにより、1 水平走査期間 (1 H) 以内のゲート信号線 1 7 a、1 7 b にオンオフ電圧 (V_{g1} 電圧、 V_{gh} 電圧) を画素 1 6 に印加できるようになる。

説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線 1 7 a (図 1 の場合) であるとして説明をする。また、ゲート信号線 1 7 a を制御するゲートドライバ回路 1 2 a の出力を W R 側選択信号線と呼ぶ。E L 素子 1 5 を選択するゲ-

ト信号線 17b (図1の場合) であるとして説明をする。また、ゲート信号線 17b を制御するゲートドライバ回路 12b の出力を EL 側選択信号線と呼ぶ。

ゲートドライバ回路 12 は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路 12a のシフトレジスタ内の保持データにより、WR 側選択信号線に出力される電圧がオン電圧 (V_{g1}) かオフ電圧 (V_{gh}) かが決定される。さらに、ゲートドライバ回路 12a の出力段には、強制的に出力をオフにする OEV1 回路 (図示せず) が形成または配置されている。OEV1 回路が L レベルの時には、ゲートドライバ回路 12a の出力である WR 側選択信号をそのままゲート信号線 17a に出力する。以上の関係をロジック的に図示すれば、図 224 の (a) の関係となる (OR 回路である)。なお、オン電圧をロジックレベルの L (0) とし、オフ電圧をロジック電圧の H (1) としている。

つまり、ゲートドライバ回路 12a がオフ電圧を出力している場合は、ゲート信号線 17a にオフ電圧が印加される。ゲートドライバ回路 12a がオン電圧 (ロジックでは L レベル) を出力している場合は、OR 回路で OEV1 回路の出力と OR が取られてゲート信号線 17a に出力される。つまり、OEV1 回路は、H レベルの時、ゲートドライバ信号線 17a に出力する電圧をオフ電圧 (V_{gh}) にする (図 176 のタイミングチャートの例を参照のこと)。

ゲートドライバ回路 12b のシフトレジスタ内の保持データにより、ゲート信号線 17b (EL 側選択信号線) に出力される電圧がオン電圧 (V_{g1}) かオフ電圧 (V_{gh}) かが決定される。さらに、ゲートドライバ回路 12b の出力段には、強制的に出力をオフにする OEV2 回路 (図示せず) が形成または配置されている。OEV2 回路が L レベルの

時には、ゲートドライバ回路 1 2 b の出力をそのままゲート信号線 1 7 b に出力する。以上の関係をロジック的に図示すれば、図 1 7 6 の (a) の関係となる。なお、オン電圧をロジックレベルの L (0) とし、オフ電圧をロジック電圧の H (1) としている。

つまり、ゲートドライバ回路 1 2 b がオフ電圧を出力している場合 (E L 側選択信号はオフ電圧) は、ゲート信号線 1 7 b にオフ電圧が印加される。ゲートドライバ回路 1 2 b がオン電圧 (ロジックでは L レベル) を出力している場合は、O R 回路で O E V 2 回路の出力と O R が取られてゲート信号線 1 7 b に出力される。つまり、O E V 2 回路は、入力信号が H レベルの時、ゲートドライバ信号線 1 7 b に出力する電圧をオフ電圧 (V_{gh}) にする。したがって、O E V 2 回路のより E L 側選択信号がオン電圧出力状態であっても、強制的にゲート信号線 1 7 b に出力される信号はオフ電圧 (V_{gh}) になる。なお、O E V 2 回路の入力が L であれば、E L 側選択信号がスルーでゲート信号線 1 7 b に出力される (図 1 7 6 のタイミングチャートの例を参照のこと)。

なお、O E V 2 の制御により、画面輝度を調整する。画面輝度により変化できる明るさの許容範囲がある。図 1 7 5 は許容変化 (%) と画面輝度 (n_t) の関係を図示したものである。図 1 7 5 でわかるように、比較的暗い画像で許容変化量が小さい。したがって、O E V 2 による制御あるいは $duty$ 比制御による画面 5 0 の輝度調整は、画面 5 0 輝度を考慮して制御する。制御による許容変化は画面が明るい時よりも暗い時を短くする。

図 1 4 0 は、 $1/4 duty$ 比駆動である。4 H 期間に 1 H 期間の間、ゲート信号線 1 7 b (E L 側選択信号線) にオン電圧が印加され、水平同期信号 (HD) に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は 1 H 単位である。

しかし、本発明はこれに限定するものではなく、図 1 4 3 に図示するように 1 H 未満（図 1 4 3 は $1/2$ H）としてもよく、また、1 H 以下としてもよい。つまり、1 H 単位に限定されるものではなく、1 H 単位以外の発生も容易である。ゲートドライバ回路 1 2 b（ゲート信号線 1 7 b を制御する回路である）の出力段に形成または配置された O E V 2 回路を用いればよい。O E V 2 回路は先に説明した O E V 1 回路と同様であるので説明を省略する。

図 1 4 1 は、ゲート信号線 1 7 b（E L 側選択信号線）のオン時間は 1 H を単位としていない。奇数画素行のゲート信号線 1 7 b（E L 側選択信号線）は 1 H 弱の期間オン電圧が印加される。偶数画素行のゲート信号線 1 7 b（E L 側選択信号線）は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線 1 7 b（E L 側選択信号線）に印加されるオン電圧時間 T 1 と偶数画素行のゲート信号線 1 7 b（E L 側選択信号線）に印加されるオン電圧時間 T 2 を加えた時間を 1 H 期間となるようにしている。図 1 4 1 を第 1 フィールドの状態とする。

第 1 フィールドの次の第 2 フィールドでは、偶数画素行のゲート信号線 1 7 b（E L 側選択信号線）は 1 H 弱の期間オン電圧が印加される。奇数画素行のゲート信号線 1 7 b（E L 側選択信号線）は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線 1 7 b（E L 側選択信号線）に印加されるオン電圧時間 T 1 と奇数画素行のゲート信号線 1 7 b（E L 側選択信号線）に印加されるオン電圧時間 T 2 を加えた時間を 1 H 期間となるようにしている。

以上のように、複数画素行でのゲート信号線 1 7 b（E L 側選択信号線）に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行の E L 素子 1 5 の点灯時間を一定となるようにしてもよい。

図 1 4 2 は、ゲート信号線 1 7 b (E L 側選択信号線) のオン時間を 1. 5 H をしている。また、A 点におけるゲート信号線 1 7 b (E L 側選択信号線) の立ち上りと立下りが重なるようにしている。ゲート信号線 1 7 b (E L 側選択信号線) とソース信号線 1 8 とはカップリングしている。そのため、ゲート信号線 1 7 b (E L 側選択信号線) の波形が変化すると波形の変化がソース信号線 1 8 に突き抜ける。この突き抜けによりソース信号線 1 8 に電位変動が発生すると電流 (電圧) プログラムの精度が低下し、駆動用トランジスタ 1 1 a の特性ムラが表示されるようになる。

図 1 4 2 において、A 点において、ゲート信号線 1 7 B (E L 側選択信号線) (1) はオン電圧 (V_{g1}) 印加状態からオフ電圧 (V_{gh}) 印加状態に変化する。ゲート信号線 1 7 B (E L 側選択信号線) (2) はオフ電圧 (V_{gh}) 印加状態からオン電圧 (V_{g1}) 印加状態に変化する。したがって、A 点では、ゲート信号線 1 7 B (E L 側選択信号線) (1) の信号波形とゲート信号線 1 7 B (E L 側選択信号線) (2) の信号波形が打ち消しあう。したがって、ソース信号線 1 8 とゲート信号線 1 7 B (E L 側選択信号線) とがカップリングしていても、ゲート信号線 1 7 B (E L 側選択信号線) の波形変化がソース信号線 1 8 に突き抜けることはない。そのため、良好な電流 (電圧) プログラム精度を得ることができ、均一な画像表示を実現できる。

なお、図 1 4 2 は、オン時間が 1. 5 H の実施例であった。しかし、本発明はこれに限定するものではなく、図 1 4 4 に図示するように、オン電圧の印加時間を 1 H 以下としてもよいことは言うまでもない。

ゲート信号線 1 7 B (E L 側選択信号線) にオン電圧を印加する期間を調整することにより、表示画面 5 0 の輝度をリニアに調整することができる。これは O E V 2 回路を制御することにより容易に実現できる。

たとえば、図 1 4 5 では、図 1 4 5 の (a) よりも図 1 4 5 の (b) の方が表示輝度は低くなる。また、図 1 4 5 の (b) よりも図 1 4 5 の (c) の方が表示輝度は低くなる。

図 1 0 9 は O E V 2 とゲート信号線 1 7 b の信号波形の関係を図示したものである。図 1 0 9 において、図 1 0 9 の (a) が最も O E V 2 が L レベルになる期間が短い。したがって、ゲート信号線 1 7 b にオン電圧が印加される期間が短いため、E L 素子 1 5 に流れる電流期間は短くなる。この状態は結果的には d u t y 比が小さい状態である。図 1 0 9 の (b) が次に O E V 2 が L レベルになる期間が長い。さらに図 1 0 9 の (c) は図 1 0 9 の (b) よりも O E V 2 が L レベルになる期間が長い。そのため、図 1 0 9 の (c) の d u t y 比は図 1 0 9 の (b) の d u t y 比よりも大きいことになる。

なお、図 1 0 9 の (a) (b) (c) の実施例は、1 H より短い期間で d u t y 比制御を行うものである。しかし、本発明はこれに限定するものではなく、図 1 0 9 の (d) に図示するように 1 H 単位で d u t y 比制御を行っても良い。なお、図 1 0 9 の (d) は d u t y 比 $1/2$ の実施例である。

図 1 0 9 の (a) が最も O E V 2 が L レベルになる期間が短い。したがって、ゲート信号線 1 7 b にオン電圧が印加される期間が短いため、E L 素子 1 5 に流れる電流期間は短くなる。この状態は結果的には d u t y 比が小さい状態である。

図 1 0 9 の (a) が最も O E V 2 が L レベルになる期間が短い。したがって、ゲート信号線 1 7 b にオン電圧が印加される期間が短いため、E L 素子 1 5 に流れる電流期間は短くなる。この状態は結果的には d u t y 比が小さい状態である。

また、図 1 4 6 に図示するように、1 H 期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図 1 4 6 の (a) は 6 回設けた実施例である。図 1 4 6 の (b) は 3 回設けた実施例である。図 1 4 6 の (c) は 1 回設けた実施例である。図 1 4 6 では、図 1 4 6 の (a) よりも図 1 4 6 の (b) の方が表示輝度は低くなる。また、図 1 4 6 の (b) よりも図 1 4 6 の (c) の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

以後、本発明の電流駆動方式のソースドライバ IC（回路）1 4 について説明をする。本発明のソースドライバ IC は、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、IC チップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術、アモルファスシリコン技術などを用いて、表示パネルのアレイ基板 7 1 上に作製してもよいことは言うまでもない。

まず、図 5 5 に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、図 5 5 は本発明の電流駆動方式のソースドライバ IC（ソースドライバ回路）1 4 を説明するための原理的なものである。

図 5 5 において、5 5 1 は D/A 変換器である。D/A 変換器 5 5 1 には n ビットのデータ信号が入力され、入力されたデータに基づき、D/A 変換器からアナログ信号が出力される。このアナログ信号はオペアンプ 5 5 2 に入力される。オペアンプ 5 5 2 は N チャンネルトランジスタ 4 7 1 a に入力され、トランジスタ 4 7 1 a に流れる電流が抵抗 5 3 1 に流れる。抵抗 R の端子電圧はオペアンプ 5 5 2 の－入力となり、この－端子の電圧とオペアンプ 5 5 2 の＋端子とは同一電圧となる。したがって D/A 変換器 5 5 1 の出力電圧は抵抗 5 3 1 の端子電圧となる。

抵抗 5 3 1 の抵抗値が $1\text{ M}\Omega$ とし、D/A 変換器 5 5 1 の出力が 1 (V) であれば、抵抗 5 3 1 には $1\text{ (V)} / 1\text{ M}\Omega = 1\text{ (}\mu\text{A)}$ の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、D/A 変換器 5 5 1 のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗 5 3 1 に所定電流が流れ、プログラム電流 I_w となる。

しかし、DA 変換回路 5 5 1 の回路規模は大きい。また、オペアンプ 5 5 2 の回路規模も大きい。1 出力回路に、DA 変換回路 5 5 1 とオペアンプ 5 5 2 を形成するとソースドライバ IC 1 4 の大きさは巨大となる。したがって、実用上は作製することが不可能である。

本発明はかかる点に鑑みてなされたものである。本発明のソースドライバ回路 1 4 は、電流出力回路の規模をコンパクトにし、電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有するものである。

図 4 7 に、本発明の電流駆動方式のソースドライバ IC (回路) 1 4 の 1 実施例における構成図を示す。図 4 7 は、一例として電流源を 3 段構成 (4 7 1、4 7 2、4 7 3) とした場合の多段式カレントミラー回路を示している。

図 4 7 において、第 1 段の電流源 4 7 1 の電流値は、 N 個 (ただし、 N は任意の整数) の第 2 段電流源 4 7 2 にカレントミラー回路によりコピーされる。更に、第 2 段電流源 4 7 2 の電流値は、 M 個 (ただし、 M は任意の整数) の第 3 段電流源 4 7 3 にカレントミラー回路によりコピーされる。この構成により、結果として第 1 段電流源 4 7 1 の電流値は、 $N \times M$ 個の第 3 段電流源 4 7 3 にコピーされることになる。

例えば、Q C I F 形式の表示パネルのソース信号線 1 8 に 1 個のソースドライバ IC 1 4 で駆動する場合は、1 7 6 出力 (ソース信号線が各

R G Bで1 7 6出力必要なため)となる。この場合は、Nを1 6個とし、 $M = 1 1$ 個とする。したがって、 $1 6 \times 1 1 = 1 7 6$ となり、1 7 6出力に対応できる。このように、NまたはMのうち、一方を8または1 6もしくははその倍数とすることにより、ドライバ I Cの電流源のレイアウト設計が容易になる。

本発明の多段式カレントミラー回路による電流駆動方式のソースドライバ I C (回路) 1 4では、前記したように、第1段電流源4 7 1の電流値を直接N×M個の第3段電流源4 7 3にカレントミラー回路でコピーするのではなく、中間に第2段電流源4 7 2を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

特に、本発明は、第1段のカレントミラー回路(電流源4 7 1)と第2段にカレントミラー回路(電流源4 7 2)を密接して配置するところに特徴がある。第1段の電流源4 7 1から第3段の電流源4 7 3(つまり、カレントミラー回路の2段構成)であれば、第1段の電流源と接続される第2段の電流源4 7 3の個数が多く、第1段の電流源4 7 1と第3段の電流源4 7 3を密接して配置することができない。

本発明のソースドライバ回路1 4のように、第1段のカレントミラー回路(電流源4 7 1)の電流を第2段のカレントミラー回路(電流源4 7 2)にコピーし、第2段のカレントミラー回路(電流源4 7 2)の電流を第3段にカレントミラー回路(電流源4 7 2)にコピーする構成である。この構成では、第1段のカレントミラー回路(電流源4 7 1)に接続される第2段のカレントミラー回路(電流源4 7 2)の個数は少ない。したがって、第1段のカレントミラー回路(電流源4 7 1)と第2段のカレントミラー回路(電流源4 7 2)とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、

当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源４７２）に接続される第３段のカレントミラー回路（電流源４７３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源４７２）と第３段のカレントミラー回路（電流源４７３）とを密接して配置することができる。

つまり、全体として、第１段のカレントミラー回路（電流源４７１）、第２段のカレントミラー回路（電流源４７２）、第３段のカレントミラー回路（電流源４７３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

本発明において、電流源４７１、４７２、４７３と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、オペアンプ５５２とトランジスタ４７１と抵抗Ｒの組み合わせからなる定電流回路でもよい。

図４８はさらに具体的なソースドライバＩＣ（回路）１４の構造図である。図４８は第３の電流源４７３の部分を図示している。つまり、１つのソース信号線１８に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（単位トランジスタ４８４（１単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバIC（回路）14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

図48で明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合を図示している。つまり、2の6乗であるから、64階調表示である。このソースドライバIC14をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各64階調であるから、 $64 \times 64 \times 64 = \text{約} 26 \text{ 万色}$ を表示できることになる。

64階調の場合は、D0ビットの単位トランジスタ484は1個、D1ビットの単位トランジスタ484は2個、D2ビットの単位トランジスタ484は4個、D3ビットの単位トランジスタ484は8個、D4ビットの単位トランジスタ484は16個、D5ビットの単位トランジスタ484は32個であるから、計単位トランジスタ484は63個である。つまり、本発明は階調の表現数（この実施例の場合は、64階調）－1個の単位トランジスタ484を1出力と構成（形成）する。なお、単位トランジスタ1個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－1個の単位トランジスタで構成されていることには差異はない（同義である）。

図48において、D0はLSB入力を示しており、D5はMSB入力を示している。D0入力端子にHレベル（正論理時）の時、スイッチ481a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを

組み合わせたアナログスイッチなどでもよい) がオンする。すると、カレントミラーを構成する電流源 (1 単位) 484 に向かって電流が流れる。この電流は IC14 内の内部配線 483 に流れる。この内部配線 483 は IC14 の端子電極を介してソース信号線 18 に接続されているから、この内部配線 483 に流れる電流が画素 16 のプログラム電流となる。

たとえば、D1 入力端子に H レベル (正論理時) の時、スイッチ 481b がオンする。すると、カレントミラーを構成する 2 つの電流源 (1 単位) 484 に向かって電流が流れる。この電流は IC14 内の内部配線 483 に流れる。この内部配線 483 は IC14 の端子電極を介してソース信号線 18 に接続されているから、この内部配線 483 に流れる電流が画素 16 のプログラム電流となる。

他のスイッチ 481 でも同様である。D2 入力端子に H レベル (正論理時) の時は、スイッチ 481c がオンする。すると、カレントミラーを構成する 4 つの電流源 (1 単位) 484 に向かって電流が流れる。D5 入力端子に H レベル (正論理時) の時は、スイッチ 481f がオンする。すると、カレントミラーを構成する 32 個の電流源 (1 単位) 484 に向かって電流が流れる。

以上のように、外部からのデータ (D0 ~ D5) に応じて、それに対応する電流源 (1 単位) に向かって電流が流れる。したがって、データに応じて、0 個から 63 個に電流源 (1 単位) に電流が流れるように構成されている。

なお、本発明は説明を容易にするため、電流源は 6 ビットの 63 個としているが、これに限定するものではない。8 ビットの場合は、255 個の単位トランジスタ 484 を形成 (配置) すればよい。また、4 ビットの時は、15 個の単位トランジスタ 484 を形成 (配置) すればよい。

単位電流源を構成するトランジスタ 484 は同一のチャンネル幅 W 、チャンネル幅 L とする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

また、単位トランジスタ 484 はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ 484 を重み付けしてもよい。たとえば、1 単位の単位トランジスタ 484 と、2 倍の単位トランジスタ 484 と、4 倍の単位トランジスタ 484 など混在させて電流出力回路を構成してもよい。しかし、単位トランジスタ 484 を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1 単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位トランジスタ 484 を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ 484 の大きさとは、チャンネル長 L とチャンネル幅 W をかけたサイズをいう。たとえば、 $W = 3 \mu\text{m}$ 、 $L = 4 \mu\text{m}$ であれば、1 つの単位電流源を構成するトランジスタ 484 のサイズは、 $W \times L = 12 \text{ 平方} \mu\text{m}$ である。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1 つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

トランジスタサイズと出力電流のバラツキの関係を図 119 に示す。図 119 のグラフの横軸はトランジスタサイズ（平方 μm ）である。縦軸は、出力電流のバラツキを % で示したものである。ただし、出力電流のバラツキ % は、単位電流源（1 つの単位トランジスタ）484 を 63

個の組で形成し（63個形成し）、この組を多数組ウェハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、1つの単位電流源を構成するトランジスタサイズ（単位トランジスタ484のサイズ）で図示しているが、実際の並列するトランジスタは63個あるので面積は63倍である。しかし、図119では単位トランジスタ484の大きさを単位として検討している。したがって、図119において、30平方 μm の単位トランジスタ484を63個形成したとき、その時の出力電流のバラツキは、0.5%となることを示している。

64階調の場合は、 $100/64 = 1.5\%$ である。したがって、出力電流バラツキは1.5%以内にする必要がある。図119から1.5%以下にするためには、単位トランジスタのサイズは2平方 μm 以上にする必要がある（64階調は63個の2平方 μm の単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ICチップサイズが大きくなる点と、1出力あたりの横幅に制限があるからである。この点から、単位トランジスタ484のサイズの上限は、300平方 μm である。したがって、64階調表示では、単位トランジスタ484のサイズは、2平方 μm 以上300平方 μm 以下にする必要がある。

128階調の場合は、 $100/128 = 0.78\%$ である。したがって、出力電流バラツキは0.78%以内にする必要がある。図119から0.78%以下にするためには、単位トランジスタのサイズは8平方 μm 以上にする必要がある。したがって、128階調表示では、単位トランジスタ484のサイズは、8平方 μm 以上300平方 μm 以下にする必要がある。

一般的に、階調数をKとし、単位トランジスタ484の大きさを S_t （平方 μm ）としたとき、

$$40 \leq K/\sqrt{S_t} \quad \text{かつ} \quad S_t \leq 300 \text{ の関係を満足さ}$$

せる。

さらに好ましくは、 $120 \leq K/\sqrt{St}$ かつ $St \leq 300$ の関係を満足させることが好ましい。

以上の例は、64階調で63個のトランジスタを形成した場合である。64階調を127個の単位トランジスタ484で構成する場合は、単位トランジスタ484のサイズとは、2つの単位トランジスタ484を加えたサイズである。たとえば、64階調で、単位トランジスタ484のサイズが10平方 μm であり、127個形成されていたら、図119では単位トランジスタのサイズは $10 \times 2 = 20$ の欄をみる必要がある。同様に、64階調で、単位トランジスタ484のサイズが10平方 μm であり、255個形成されていたら、図119では単位トランジスタのサイズは $10 \times 4 = 40$ の欄をみる必要がある。

単位トランジスタ484は大きさだけでなく、形状も考慮する必要がある。キンクの影響を低減するためである。キンクとは、単位トランジスタ484のゲート電圧を一定に保った状態で、単位トランジスタ484のソース(S)ードレイン(D)電圧を変化させたときに、単位トランジスタ484に流れる電流が変化する現象と言う。キンクの影響がない場合(理想状態)では、ソース(S)ードレイン(D)間に印加する電圧を変化させても、単位トランジスタ484に流れる電流は変化しない。

キンクの影響が発生するのは、図1などの駆動用トランジスタ11aの V_t のバラツキにより、ソース信号線18が異なる場合である。ドライバ回路14は、画素の駆動用トランジスタ11aにプログラム電流が流れるように、プログラム電流をソース信号線18に流す。このプログラム電流により、駆動用トランジスタ11aのゲート端子電圧が変化し、駆動用トランジスタ11aにプログラム電流が流れるようになる。図3

でわかるように、選択された画素 16 がプログラム状態の時は、駆動用トランジスタ 11a のゲート端子電圧 = ソース信号線 18 電位である。

したがって、各画素 16 の駆動用トランジスタ 11a の V_t ばらつきにより、ソース信号線 18 の電位は異なる。ソース信号線 18 の電位は、ドライバ回路 14 の単位トランジスタ 484 のソースドレイン電圧となる。つまり、画素 16 の駆動用トランジスタ 11a の V_t バラツキにより、単位トランジスタ 484 に印加されるソースドレイン電圧が異なり、このソースドレイン間電圧により、単位トランジスタ 484 にキंकによる出力電流のバラツキが発生する。

図 123 は単位トランジスタ L/W と目標値からのずれ（ばらつき）のグラフである。単位トランジスタの L/W 比が 2 以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、 L/W が大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタ L/W が 2 以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）は $L/W = 2$ 以上で、0.5% 以下となる。したがって、トランジスタの精度としてソースドライバ回路 14 に採用できる。なお、 L は単位トランジスタ 484 のチャンネル長、 W は単位トランジスタのチャンネル幅である。

しかし、単位トランジスタ 484 のチャンネル長 L がいくらでも長くすることはできない。 L が長いほど IC チップ 14 が大きくなるからである。また、単位トランジスタ 484 のゲート端子電圧が上昇し、ソースドライバ IC 14 に必要な電源電圧が高くなる。電源電圧が高くなると高耐圧の IC プロセスを採用する必要がある。高耐圧の IC プロセスで形成したソースドライバ IC 14 は単位トランジスタ 484 の出力バラツキが大きい（図 121 とその説明を参照のこと）。検討の結果によれば、 L/W は 100 以下にすることが好ましい。さらに好ましくは、

L/Wは50以下にすることが好ましい。

以上のことから、単位トランジスタL/Wは2以上にすることが好ましい。また、L/Wは100以下にすることが好ましい。さらに好ましくは、L/Wは40以下にすることが好ましい。

また、L/Wの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キंकの影響により単位トランジスタ484の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キंकの影響により単位トランジスタ484の出力電流が少しでもばらつくと階調数が低減する。

以上のことを勘案し、本発明のドライバ回路14は、階調数をKとし、単位トランジスタ484のL/W（Lは単位トランジスタ484のチャンネル長、Wは単位トランジスタのチャンネル幅）とした時、

$$(\sqrt{(K/16)}) \leq L/W \leq \text{かつ} (\sqrt{(K/16)}) \times 20$$

の関係を満足させるように構成（形成）している。この関係を図示すると図120のようになる。図120の直線の上側が本発明の実施範囲である。

単位トランジスタ484の出力電流のバラツキはソースドライバIC14の耐圧にも依存している。ソースドライバICの耐圧とは一般的にICの電源電圧を意味する。たとえば、5（V）耐圧とは、電源電圧を標準電圧5（V）で使用する。なお、IC耐圧とは最大使用電圧と読み替えてもよい。これらの耐圧は、半導体ICメーカーが5（V）耐圧プロセス、10（V）耐圧プロセスと標準化して保有している。

IC耐圧が単位トランジスタ484の出力バラツキに影響を与えるのは、単位トランジスタ484のゲート絶縁膜の膜質、膜厚によると考

えられる。I C 耐圧が高いプロセスで製造したトランジスタ 4 8 4 はゲート絶縁膜が厚い。これば高電圧の印加でも絶縁破壊を発生しないようにするためである。絶縁膜が厚いと、ゲート絶縁膜厚の制御が困難になり、またゲート絶縁膜の膜質バラツキも大きくなる。そのため、トランジスタのバラツキが大きくなる。また、高耐圧プロセスで製造したトランジスタはモビリティが低くなる。モビリティが低いと、トランジスタのゲートに注入される電子が少し変化するだけで特性が異なる。したがって、トランジスタのバラツキが大きくなる。したがって、単位トランジスタ 4 8 4 のバラツキを少なくするためには、I C 耐圧が低い I C プロセスを採用することが好ましい。

図 1 2 1 は I C 耐圧を単位トランジスタ 4 8 4 の出力バラツキの関係を図示してのものである。縦軸のバラツキ比率とは、1. 8 (V) 耐圧プロセスで作製して単位トランジスタ 4 8 4 のバラツキを 1 としている。なお、図 1 2 1 は単位トランジスタ 4 8 4 の形状 L/W を $12 (\mu m) / 6 (\mu m)$ とし、各耐圧プロセスで製造した単位トランジスタ 4 8 4 の出力バラツキを示している。また、各 I C 耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、1. 8 (V) 耐圧、2. 5 (V) 耐圧、3. 3 (V) 耐圧、5 (V) 耐圧、8 (V) 耐圧、10 (V) 耐圧、15 (V) 耐圧など離散値である。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

図 1 2 1 でもわかるが、I C 耐圧が 9 (V) 程度までは、I C プロセスに対するバラツキ比率(単位トランジスタ 4 8 4 の出力電流バラツキ)の増加割合は小さい。しかし、I C 耐圧が 10 (V) 以上になると I C 耐圧に対するバラツキ比率の傾きが大きくなる。

図 1 2 1 におけるバラツキ比率は 3 以内が、6 4 階調から 2 5 6 階調

表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ484の面積、 L/W により異なる。しかし、単位トランジスタ484の形状などを変化させても、IC耐圧に対するバラツキ比率の変化傾向はほとんど差がない。IC耐圧9～10（V）以上でバラツキ比率が大きくなる傾向がある。

一方、図48の出力端子681の電位は、画素16の駆動用トランジスタ11aのプログラム電流により変化する。ほぼ、駆動用トランジスタ11aのゲート端子電圧とソース信号線18の電位と等しい。また、ソース信号線18の電位がソースドライバIC（回路）14の出力端子681の電位となる。画素16の駆動用トランジスタ11aが白ラスタ（最大白表示）の電流を流す時のゲート端子電位 V_w とする。画素16の駆動用トランジスタ11aが黒ラスタ（完全黒表示）の電流を流す時のゲート端子電位 V_b とする。 $V_w - V_b$ の絶対値は2（V）以上必要である。また、 V_w 電圧が端子681に印加されている時、単位トランジスタ484のチャンネル間電圧は、0.5（V）必要である。

したがって、出力端子681（端子681はソース信号線18と接続され、電流プログラム時、画素16の駆動用トランジスタ11aのゲート端子電圧が印加される）には、0.5（V）から $(V_w - V_b) + 0.5$ （V）の電圧が印加される。 $V_w - V_b$ は2（V）であるから、端子681は最大 $2（V） + 0.5（V） = 2.5（V）$ 印加される。したがって、ソースドライバIC14の出力電圧（電流）がrail-to-rail回路構成（IC電源電位まで、電圧を出力できる回路構成）であっても、IC耐圧としては2.5（V）必要である。端子741の振幅必要範囲は、2.5（V）以上必要である。

以上のことから、ソースドライバIC14の耐圧は、2.5（V）以上10（V）以下のプロセスを使用することが好ましい。さらに好まし

くは、ソースドライバ I C 1 4 の耐圧は、3 (V) 以上 9 (V) 以下のプロセスを使用することが好ましい。

なお、以上の説明は、ソースドライバ I C 1 2 の使用耐圧プロセスは、2.5 (V) 以上 10 (V) 以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板 7 1 に直接にソースドライバ回路 1 4 が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。アレイ基板 7 1 に形成されたソースドライバ回路 1 4 の使用耐圧は 15 (V) 以上と高い場合がある。この場合は、ソースドライバ回路 1 4 に使用する電源電圧を図 1 2 1 に図示する I C 耐圧に置き換えてもよい。また、ソースドライバ I C 1 4 にあっても、I C 耐圧とせず、使用する電源電圧に置き換えても良い。

単位トランジスタ 4 8 4 の面積は出力電流のバラツキと相関がある。図 1 2 2 は単位トランジスタ 4 8 4 の面積を一定とし、単位トランジスタ 4 8 4 のトランジスタ幅 W を変化させた時のグラフである。図 1 2 1 は単位トランジスタ 4 8 4 のチャンネル幅 $W = 2$ (μm) のバラツキを 1 としている。グラフの縦軸は、チャンネル幅 $W = 2$ (μm) のバラツキを 1 とした時に相対比である。

図 1 2 2 で示すようにバラツキ比率は、単位トランジスタの W が 2 (μm) から 9 ~ 10 (μm) まで緩やかに増加し、10 (μm) 以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅 $W = 2$ (μm) 以下でバラツキ比率が増加する傾向がある。

図 1 2 2 におけるバラツキ比率は 3 以内が、6 4 階調から 2 5 6 階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ 4 8 4 の面積により異なる。しかし、単位トランジスタ 4 8 4 の面積を変化させても、I C 耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

以上のことから、単位トランジスタ 484 のチャンネル幅 W は $2\ (\mu\text{m})$ 以上 $10\ (\mu\text{m})$ 以下とすることが好ましい。さらに好ましくは、単位トランジスタ 484 のチャンネル幅 W は $2\ (\mu\text{m})$ 以上 $9\ (\mu\text{m})$ 以下とすることが好ましい。ただし、階調数が 64 階調の時は、チャンネル幅 W は $2\ (\mu\text{m})$ 以上 $15\ (\mu\text{m})$ 以下でも実用上は支障がない。

図 52 に図示するように、第 2 段のカレントミラー回路 472b を流れる電流は、第 3 段のカレントミラー回路を構成するトランジスタ 473a にコピーされ、カレントミラー倍率が 1 倍の時は、この電流がトランジスタ 473b に流れる。この電流は、最終段の単位トランジスタ 484 にコピーされる。

D0 に対応する部分は、1 個の単位トランジスタ 484 で構成されているので、最終段電流源の単位トランジスタ 473 に流れる電流値である。D1 に対応する部分は 2 個の単位トランジスタ 484 で構成されているので、最終段電流源の 2 倍の電流値である。D2 は 4 個の単位トランジスタ 484 で構成されているので、最終段電流源の 4 倍の電流値であり、・・・、D5 に対応する部分は 32 個のトランジスタで構成されているので、最終段電流源の 32 倍の電流値である。ただし、最終段のカレントミラー回路のミラー比が 1 の場合である。

6 ビットの画像データ D0、D1、D2、・・・、D5 で制御されるスイッチを介してプログラム電流 I_w はソース信号線に出力される（電流を引き込む）。したがって、6 ビットの画像データ D0、D1、D2、・・・、D5 の ON、OFF に応じて、出力線には、最終段電流源 473 の 1 倍、2 倍、4 倍、・・・、32 倍の電流が加算されて出力される。すなわち、6 ビットの画像データ D0、D1、D2、・・・、D5 により、最終段電流源 473 の 0 ～ 63 倍の電流値が出力線より出力される（ソース信号線 18 から電流を引き込む）。

実際には、図 7 6、図 7 7、図 7 8、図 1 1 8 に図示するように、ソースドライバ IC 1 4 内には、R、G、B ごとの基準電流 (I_{aR} 、 I_{aG} 、 I_{aB}) は、抵抗 4 9 1 ($4 9 1 R$ 、 $4 9 1 G$ 、 $4 9 1 B$) など調整できるように構成されている。基準電流 I_a を調整することにより、ホワイトバランスを容易に調整することができる。

EL 表示パネルで、フルカラー表示を実現するためには、RGB のそれぞれに基準電流を形成 (作成) する必要がある。RGB の基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、また、本発明は、1 つの基準電流から単位トランジスタ 4 8 4 が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ 4 8 4 が流す電流を決定することができる。そのため、R、G、B のそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路 1 4 が電流きざみ出力 (電流駆動) であることから発揮される効果である。したがって、いかに、RGB ごとに基準電流の大きさを設定できるかがポイントとなる。

EL 素子の発光効率、EL 材料の蒸着あるいは塗布する膜厚で決定される。もしくは、支配的な要因である。膜厚は、ロットごとにほぼ一定である。したがって、EL 素子 1 5 の形成膜厚をロット管理すれば、EL 素子 1 5 に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。

図 4 9 に、3 段式カレントミラー回路による 1 7 6 出力 ($N \times M = 1 7 6$) の回路図の一例を示す。図 4 9 では、第 1 段カレントミラー回路による電流源 4 7 1 を親電流源、第 2 段カレントミラー回路による電流源 4 7 2 を子電流源、第 3 段カレントミラー回路による電流源 4 7 3 を孫電流源と記している。最終段カレントミラー回路である第 3 段カレン

トミラー回路による電流源の整数倍の構成により、176出力のばらつきを極力抑え、高精度な電流出力が可能である。

なお、密集して配置するとは、第1の電流源471と第2の電流源472とを少なくとも8mm以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5mm以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ V_t 、モビリティ（ μ ））差がほとんど発生しないからである。また、同様に、第2の電流源472と第3の電流源473（電流の出力側と電流の入力側）も少なくとも8mm以内の距離に配置する。さらに好ましくは、5mm以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図50の電圧受け渡しの場合は、第（I）段の電流源のトランジスタ471（出力側）と第（I+1）の電流源のトランジスタ472a（入力側）とを密集して配置する関係である。図51の電流受け渡しの場合は、第（I）段の電流源のトランジスタ471a（出力側）と第（I+1）の電流源のトランジスタ472b（入力側）とを密集して配置する関係である。

なお、図49、図50などにおいて、トランジスタ471は1個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ471を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を抵抗491と接続して単位トランジスタ484を構成してもよい。小さなサブトランジスタを複数個並列に接続することにより、単位トランジスタ484のばらつきを低減することができる。

同様に、トランジスタ472aは1個としたが、これに限定するもの

ではない。たとえば、小さなトランジスタ 472a を複数個形成し、このトランジスタ 472a の複数個のゲート端子を、トランジスタ 471 のゲート端子と接続してもよい。小さなトランジスタ 472a を複数個並列に接続することにより、トランジスタ 472a のばらつきを低減することができる。

したがって、本発明の構成としては、1つのトランジスタ 471 と複数個のトランジスタ 472a とを接続する構成、複数個のトランジスタ 471 と1個のトランジスタ 472a とを接続する構成、複数個のトランジスタ 471 と複数個のトランジスタ 472a とを接続する構成が例示される。以上の実施例は後に詳細に説明する。

以上の事項は、図52のトランジスタ 473a とトランジスタ 473b との構成にも適用される。1つのトランジスタ 473a と複数個のトランジスタ 473b とを接続する構成、複数個のトランジスタ 473a と1個のトランジスタ 473b とを接続する構成、複数個のトランジスタ 473a と複数個のトランジスタ 473b とを接続する構成が例示される。小さなトランジスタ 473 を複数個並列に接続することにより、トランジスタ 473 のばらつきを低減することができるからである。

以上の事項は、図52のトランジスタ 472a、472b との関係にも適用することができる。また、図48のトランジスタ 473b も複数個のトランジスタで構成することが好ましい。図56、図57のトランジスタ 473 についても同様に複数個のトランジスタで構成することが好ましい。

ここで、ソースドライバ IC14 はシリコンチップで形成するとして説明するが、これに限定するものではない。ソースドライバ IC14 は、ガリウム基板、ゲルマニウム基板など形成された他の半導体チップでもよい。また、単位トランジスタ 484 は、バイポーラトランジスタ、C

MOSトランジスタ、FET、バイCMOSトランジスタ、DMOSトランジスタのいずれでもよい。しかし、単位トランジスタ484の出力バラツキを小さくする観点から、単位トランジスタ484はCMOSトランジスタで構成することが好ましい。

単位トランジスタ484はNチャンネルで構成することが好ましい。Pチャンネルトランジスタで構成した単位トランジスタは、Nチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが1.5倍になる。

ソースドライバIC14の単位トランジスタ484は、Nチャンネルトランジスタで構成することが好ましいことから、ソースドライバIC14のプログラム電流は、画素16からソースドライバICへの引き込み電流となる。したがって、画素16の駆動用トランジスタ11aはPチャンネルで構成される。また、図1のスイッチング用トランジスタ11dもPチャンネルトランジスタで構成される。

以上のことから、ソースドライバIC（回路）14の出力段の単位トランジスタ484をNチャンネルトランジスタで構成し、画素16の駆動用トランジスタ11aをPチャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素16を構成するトランジスタ11のすべて（トランジスタ11a、11b、11c、11d）をPチャンネルと形成するとよい。Nチャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

なお、単位トランジスタ484はIC14に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路14を形成してもよい。この場合も、ソースドライバ回路14内の単位トランジスタ484はNチャンネルトランジスタで構成することが好ま

しい。

図 5 1 は電流受け渡し構成の実施例である。なお、図 5 0 は電圧受け渡し構成の実施例である。図 5 0、図 5 1 とともに回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図 5 0 において、4 7 1 は第 1 段電流源用 N チャンネルトランジスタ、4 7 2 a は第 2 段電流源用 N チャンネルトランジスタ、4 7 2 b は第 2 段電流源用 P チャンネルトランジスタである。

図 5 1 において、4 7 1 a は第 1 段電流源用 N チャンネルトランジスタ、4 7 2 a は第 2 段電流源用 N チャンネルトランジスタ、4 7 2 b は第 2 段電流源用 P チャンネルトランジスタである。

図 5 0 では、可変抵抗 4 9 1（電流を変化するために用いるものである）と N チャンネルトランジスタ 4 7 1 で構成される第 1 段電流源のゲート電圧が、第 2 段電流源の N チャンネルトランジスタ 4 7 2 a のゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

一方、図 5 1 では、可変抵抗 4 9 1 と N チャンネルトランジスタ 4 7 1 a で構成される第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N チャンネルトランジスタ 4 7 2 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 2 段電流源の P チャンネルトランジスタ 4 7 2 b に受け渡されているので、電流受け渡し方式のレイアウト構成となる。

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第 1 の電流源と第 2 の電流源との関係を中心に説明しているが、これに限定されるものではなく、第 2 の電流源と第 3 の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

図 5 0 に示した電圧受け渡し方式のカレントミラー回路のレイアウト

構成では、カレントミラー回路を構成する第 1 段の電流源の N チャンネルトランジスタ 471 と第 2 段の電流源の N チャンネルトランジスタ 472a が離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第 1 段電流源の電流値が第 2 段電流源に正確に伝達されず、ばらつきが生じやすい。

それに対して、図 51 に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第 1 段電流源の N チャンネルトランジスタ 471a と第 2 段電流源の N チャンネルトランジスタ 472a が隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第 1 段電流源の電流値が第 2 段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（IC）14 として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきが小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

なお、説明の都合上、第 1 段電流源から第 2 段電流源の場合を示したが、第 2 段電流源から第 3 段電流源、第 3 段電流源から第 4 段電流源、・・・などの多段の場合も同様であることは言うまでもない。また、本発明は 1 段の電流源構成を採用してもよいことは言うまでもない（図 164、図 165、図 166 などを参照のこと）

図 52 は、図 49 の 3 段構成のカレントミラー回路（3 段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図 49 は電圧受け渡し方式の回路構成である）。

図 52 では、まず、可変抵抗 491 と N チャンネルトランジスタ 47

1で基準電流が作成される。なお、可変抵抗491で基準電流を調整するように説明しているが、実際は、ソースドライバIC（回路）14内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ471のソース電圧が設定され、調整されるように構成される。もしくは、図48に図示するような多数の電流源（1単位）484から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ471のソース端子に供給することにより基準電流は調整される（図53を参照のこと）。

トランジスタ471による第1段電流源のゲート電圧が、隣接する第2段電流源のNチャンネルトランジスタ472aのゲートに印加され、その結果トランジスタに流れる電流値が、第2段電流源のPチャンネルトランジスタ472bに受け渡される。また、第2の電流源のトランジスタ472bによるゲート電圧が、隣接する第3段電流源のNチャンネルトランジスタ473aのゲートに印加され、その結果トランジスタに流れる電流値が、第3段電流源のNチャンネルトランジスタ473bに受け渡される。第3段電流源のNチャンネルトランジスタ473bのゲートには図48に図示する多数の単位トランジスタ484が必要なビット数に応じて形成（配置）される。

図53では、前記多段式カレントミラー回路の第1段電流源471に、電流値調整用素子が具備されていることを特徴としている。この構成により、第1段電流源471の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

トランジスタの V_t バラツキ（特性バラツキ）は、1ウエハ内で100（mV）程度のばらつきがある。しかし、100 μ 以内に近接して形成されたトランジスタの V_t バラツキは、少なくとも、10（mV）以下である（実測）。つまり、トランジスタを近接して形成し、カレント

ミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバICの各端子の出力電流バラツキを少なくすることができる。

なお、トランジスタのバラツキは V_t であるとして説明をするが、トランジスタのバラツキは V_t だけではない。しかし、 V_t バラツキがトランジスタの特性バラツキの主要因であるから、理解を容易にするため、 V_t バラツキ＝トランジスタバラツキとして説明をする。

図118はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタ484の出力電流バラツキとの測定結果を示している。出力電流バラツキとは、 V_t 電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（10－200個）のトランジスタ出力電流バラツキである。図118のA領域（形成面積0.5平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にC領域（形成面積2.4平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積0.5平方ミリメートル以上2.4平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（IC）14において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

本発明は、入力デジタルデータ（D）により、単位トランジスタ484に流れる電流数を切り替えることによりソース信号線18に流れる電流量を変化（制御）する。階調数が64階調以上であれば、 $1/64 =$

0.015であるから、理論的には、1～2%以内の出力電流バラツキ以内にすることが必要がある。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

出力電流バラツキ（%）を1%以内にするためには、図118の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方ミリメートル以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタの V_t バラツキ）を0.5%以内にするのが好ましい。図118の結果に示すようにトランジスタ群521の形成面積を1.2平方ミリメートル以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方ミリメートルでは、1mm×1.2mmである。

また、単位トランジスタ484の組（64階調であれば63個のトランジスタ484のかたまり（図48などを参照のこと））に関しても同様である。単位トランジスタ484の組の形成面積を2平方ミリメートル以内にすることが必要がある。さらに好ましくは、単位トランジスタの組484の形成面積を1.2平方ミリメートル以内にすればよい。

なお、以上は、特に8ビット（256階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群521は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群521（図52では、トランジスタ群521aと521bの2つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（3つ以上ある場合は、1つ以上のトランジスタ群521）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群521（5

2 1 a が上位で、5 2 1 b が下位の関係) に関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

本発明のソースドライバ回路 (I C) 1 4 は、図 5 2 に図示するように、親、子、孫というように複数の電流源を多段接続し、かつ各電流源を密配置にしている (もちろん、親、子の 2 段接続でもよい)。また、各電流源間 (トランジスタ群 5 2 1 間) を電流受け渡しにしている。具体的には、図 5 2 の点線で囲った範囲 (トランジスタ群 5 2 1) を密配置にする。このトランジスタ群 5 2 1 は電圧受け渡しの関係にある。また、親の電流源 4 7 1 と子の電流源 4 7 2 a とは、ソースチップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ 4 7 2 a と、子の電流源を構成するトランジスタ 4 7 2 b との距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群 5 2 1 a を I C チップの略中央部に配置する。そして、I C チップ 1 4 の左右に、下位のトランジスタ群 5 2 1 b を配置する。好ましくは、この下位のトランジスタ群 5 2 1 b の個数が I C チップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、I C チップ 1 4 に限定されず、低温ポリシリコン技術あるいは高温ポリシリコン技術でアレイ基板 7 1 に直接形成したソースドライバ回路 1 4 にも適用される。他の事項も同様である。

本発明では、トランジスタ群 5 2 1 a は I C チップ 1 4 の略中央部に 1 つ構成または配置または形成あるいは作製されたおり、チップの左右に 8 個ずつトランジスタ群 5 2 1 b が形成されている ($N = 8 + 8$ 、図 4 7 を参照のこと)。子のトランジスタ群 5 2 1 b はチップの左右に等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群 5 2 1 b の個数と、チップの右側に形成または配置されたトランジスタ群 5 2 1 b の個数との差が、

4個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群521bの個数と、チップの右側に形成または配置されたトランジスタ群521bの個数との差が、1個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図52では省略されているが）についても同様である。

親電流源471と子電流源472a間は電圧受け渡し（電圧接続）されている。したがって、トランジスタの V_t バラツキの影響を受けやすい。そのため、トランジスタ群521aの部分を密配置する。このトランジスタ群521aの形成面積を、図118の図示するように2平方ミリメートル以内の面積に形成する。さらに好ましくは1.2平方ミリメートル以内に形成する。もちろん、階調数が64階調以下の場合は、5平方ミリメートル以内でもよい。

トランジスタ群521aと子トランジスタ472b間は電流でデータを受け渡し（電流受け渡し）をしているので、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群521aの出力端から下位のトランジスタ群521bの入力端までの距離）は、先に説明したように、第2の電流源（子）を構成するトランジスタ472aと第2の電流源（子）を構成するトランジスタ472bとを、少なくとも10mm以内の距離に配置する。このましくは8mm以内に配置または形成する。さらには、5mm以内に配置することが好ましい。

この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ V_t 、モビリティ（ μ ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群521aが上位で、その下位にトランジスタ群521b、さらにその下位にトランジス

タ群 5 2 1 c があれば、トランジスタ群 5 2 1 b とトランジスタ群 5 2 1 c の電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群 5 2 1 がこの関係を満足させることに、本発明が限定されるものではない。少なくとも 1 組のトランジスタ群 5 2 1 がこの関係を満足するようにすればよい。特に、下位の方が、トランジスタ群 5 2 1 の個数が多くなるからである。

第 3 の電流源（孫）を構成するトランジスタ 4 7 3 a と第 3 の電流源を構成するトランジスタ 4 7 3 b についても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

トランジスタ群 5 2 1 b はチップの左右方向（長手方向、つまり、出力端子 6 8 1 と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群 5 2 1 b はチップの左右方向（長手方向、つまり、出力端子 6 8 1 と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群 5 2 1 b の個数 M は、本発明では 1 1 個（図 4 7 を参照）である。

子電流源 4 7 2 b と孫電流源 4 7 3 a 間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群 5 2 1 a と同様にトランジスタ群 5 2 1 b の部分を密配置する。このトランジスタ群 5 2 1 b の形成面積を、図 1 1 8 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1. 2 平方ミリメートル以内に形成する。ただし、このトランジスタ群 5 2 1 b 部分の V_t が少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図 1 1 8 の A 領域（0. 5 平方ミリメートル以内）にすることが好ましい。

トランジスタ群 5 2 1 b を孫トランジスタ 4 7 3 a とトランジスタ 4 7 3 b 間は電流でデータを受け渡し（電流受け渡し）をしているので、

多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第3の電流源（孫）を構成するトランジスタ473aと第2の電流源（孫）を構成するトランジスタ473bとを、少なくとも8mm以内の距離に配置する。さらには、5mm以内に配置することが好ましい。

図53に、前記電流値制御用素子として、電子ポリウムで構成した場合を示す。電子ポリウムは抵抗531（電流制限および各基準電圧を作成する。抵抗531はポリシリで形成する）、デコーダ回路532、レベルシフト回路533などで構成される。なお、電子ポリウムは電流を出力する。トランジスタ481はアナログスイッチ回路として機能する。

なお、ソースドライバIC（回路）14において、トランジスタを電流源と記載する場合がある。トランジスタで構成されたカレントミラー回路などは電流源として機能するからである。

また、電子ポリウム回路は、EL表示パネルの色数に応じて形成（もしくは配置）する。たとえば、RGBの3原色であれば、各色に対応する3つの電子ポリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、1つの色を基準にする（固定する）場合は、色数－1分の電子ポリウム回路を形成（もしくは配置）する。

図68は、RGBの3原色を独立に基準電流を制御する抵抗素子491を形成（配置）した構成である。もちろん、抵抗素子491は電子ポリウムに置き換えてもよいことは言うまでもない。また、抵抗素子491はソースドライバIC（回路）14内に内蔵させてもよい。電流源471、電流源472などの親電流源、子電流源など基本（根本）となる電流源は図68に図示する領域に出力電流回路654に密集して配置する。密集して配置することにより、各ソース信号線18からの出力バラ

ツキが低減する。図 6 8 に図示するように I C チップ（回路）1 4 の中央部に出力電流回路 6 5 4（電流出力回路に限定されるものではない。基準電流発生回路部、コントローラ部でもよい。つまり、6 5 4 とは出力回路が形成されていない領域である）に配置することにより、I C チップ（回路）1 4 の左右に電流源 4 7 1、4 7 2 などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

ただし、中央部に出力電流回路 6 5 4 に配置することに限定するものではない。I C チップの片端もしくは両端に形成してもよい。また、出力電流回路 6 5 4 と平行に形成または配置してもよい。

I C チップ 1 4 の中央部にコントローラあるいは出力電流回路 6 5 4 を形成することは、I C チップ 1 4 の単位トランジスタ 4 8 4 の V_t 分布の影響を受けやすいため、あまり好ましいとはいえない（ウエハの V_t はウエハ内で滑らかな分布が発生しているからである）。

図 5 2 の回路構成では、1 つのトランジスタ 4 7 3 a と 1 つのトランジスタ 4 7 3 b とが一对一の関係で接続されている。図 5 1 においても、1 つのトランジスタ 4 7 2 a と 1 つのトランジスタ 4 7 2 b とが一对一の完成で接続されている。図 4 9 などにおいても同様である。

しかし、1 つのトランジスタと 1 つのトランジスタとが一对一の関係で接続されていると、対応するトランジスタの特性（ V_t など）の特性がバラツクとこのトランジスタに接続されたトランジスタの出力にバラツキが発生してしまう。

この課題を解決する構成の実施例が図 5 8 の構成である。図 5 8 の構成は、一例として 4 つのトランジスタ 4 7 3 a からなる伝達トランジスタ群 5 2 1 b（5 2 1 b 1、5 2 1 b 2、5 2 1 b 3）と 4 つのトランジスタ 4 7 3 b からなる伝達トランジスタ群 5 2 1 c（5 2 1 c 1、5

2 1 c 2、5 2 1 c 3) とが接続されている。ただし、伝達トランジスタ群 5 2 1 b、伝達トランジスタ群 5 2 1 c はそれぞれ 4 つのトランジスタ 4 7 3 で構成されたとしたがこれに限定されるものではなく、3 以下でもよく、5 以上でもよいことは言うまでもない。つまり、トランジスタ 4 7 3 a に流れる基準電流 I_b を、トランジスタ 4 7 3 a とカレントミラー回路を構成する複数のトランジスタ 4 7 3 で出力し、この出力電流を複数のトランジスタ 4 7 3 b で受けるものである。

複数のトランジスタ 4 7 3 a と複数のトランジスタ 4 7 3 b と略同一サイズで、かつ同一個数に設定することが好ましい。また、1 出力を構成する単位トランジスタ 4 8 4 の個数 (図 4 8 のように 6 4 階調の場合は 6 3 個) と、単位トランジスタ 4 8 4 とカレントミラーを構成するトランジスタ 4 7 3 b の個数とは略同一サイズ、かつ同一個数にすることが好ましい。具体的には単位トランジスタ 4 8 4 のサイズとトランジスタ 4 7 3 b のサイズとの差は、 $\pm 2.5\%$ 以内にするのが好ましい。以上のように構成すればカレント倍率が精度よく設定でき、また、出力電流のばらつきも少なくなる。なお、トランジスタの面積とは、トランジスタのチャンネル長 L とトランジスタのチャンネル幅 W をかけた面積をいう。

なお、トランジスタ 4 7 3 b に流す電流 I_{c1} に対して、4 7 2 b に流れる電流 I_b は 5 倍以上になるように設定することが好ましい。トランジスタ 4 7 3 a のゲート電位が安定し、出力電流による過渡現象の発生を抑制できるからである。

また、伝達トランジスタ群 5 2 1 b 1 には 4 つのトランジスタ 4 7 3 a が隣接して配置され、伝達トランジスタ群 5 2 1 b 1 に隣接して伝達トランジスタ群 5 2 1 b 2 が配置され、この伝達トランジスタ群 5 2 1 b 2 には 4 つのトランジスタ 4 7 3 a が隣接して配置されというように

形成されるとしているがこれに限定するものではない。たとえば、伝達トランジスタ群 5 2 1 b 1 のトランジスタ 4 7 3 a と伝達トランジスタ群 5 2 1 b 2 のトランジスタ 4 7 3 a とが相互に位置関係を交錯するように配置または形成してもよい。位置関係を交錯（トランジスタ 4 7 3 の配置を伝達トランジスタ群 5 2 1 間で入れ替える）させることにより、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

このように電流受け渡しするトランジスタを複数のトランジスタで構成することにより、トランジスタ群全体として出力電流のバラツキが少なくなり、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

伝達トランジスタ群 5 2 1 を構成するトランジスタ 4 7 3 の形成面積の総和が重要な項目である。基本的にトランジスタ 4 7 3 の形成面積の総和が大きいほど、出力電流（ソース信号線 1 8 から流入するプログラム電流）のバラツキは少なくなる。つまり、伝達トランジスタ群 5 2 1 の形成面積（トランジスタ 4 7 3 の形成面積の総和）が大きいほどバラツキは小さくなる。しかし、トランジスタ 4 7 3 の形成面積が大きくなればチップ面積が大きくなり、IC チップ 1 4 の価格が高くなる。

なお、伝達トランジスタ群 5 2 1 の形成面積とは、伝達トランジスタ群 5 2 1 を構成するトランジスタ 4 7 3 の面積の総和である。また、トランジスタ 4 7 3 の面積とは、トランジスタ 4 7 3 のチャンネル長 L とトランジスタ 4 7 3 のチャンネル幅 W をかけた面積をいう。したがって、トランジスタ群 5 2 1 が 10 個のトランジスタ 4 7 3 で構成され、トランジスタ 4 7 3 のチャンネル長 L が $10\ \mu\text{m}$ 、トランジスタ 4 7 3 のチャンネル幅 W が $5\ \mu\text{m}$ とすれば、伝達トランジスタ群 5 2 1 の形成面積 T_m （平方 μm ）は $10\ \mu\text{m} \times 5\ \mu\text{m} \times 10\text{個} = 500$ （平方 μm ）で

ある。

伝達トランジスタ群 5 2 1 の形成面積は単位トランジスタ 4 8 4 との関係在所定の間隔を維持するようにする必要がある。また、伝達トランジスタ群 5 2 1 a と伝達トランジスタ群 5 2 1 b とは所定の間隔を維持するようにする必要がある。

トランジスタ群 5 2 1 の形成面積は単位トランジスタ 4 8 4 との関係について説明をする。図 5 0 でも図示しているように、1つのトランジスタ 4 7 3 b に対応して複数の単位トランジスタ 4 8 4 が接続されている。6 4 階調の場合は、1つのトランジスタ 4 7 3 b に対応する単位トランジスタ 4 8 4 は 6 3 個である（図 4 8 の構成の場合）。この単位トランジスタ群（この例では、単位トランジスタ 4 8 4 が 6 3 個）の形成面積 T_s （平方 μm ）は、単位トランジスタ 4 7 3 のチャンネル長 L が $10 \mu m$ 、トランジスタ 4 7 3 のチャンネル幅 W が $10 \mu m$ とすれば、 $10 \mu m \times 10 \mu m \times 63 \text{ 個} = 6300 \text{ 平方 } \mu m$ である。

図 4 8 のトランジスタ 4 7 3 b が、図 5 8 では、伝達トランジスタ群 5 2 1 c が該当する。単位トランジスタ群の形成面積 T_s と伝達トランジスタ群 5 2 1 c の形成面積 T_m とは、以下の関係となるようにする。

$$1/4 \leq T_m/T_s \leq 6$$

さらに好ましくは、単位トランジスタ群の形成面積 T_s と伝達トランジスタ群 5 2 1 c の形成面積 T_m とは、以下の関係となるようにする。

$$1/2 \leq T_m/T_s \leq 4$$

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

また、伝達トランジスタ群 5 2 1 b の形成面積 T_{mm} は伝達トランジスタ群 5 2 1 c の形成面積 T_{ms} とは、以下の関係となるようにする。

$$1/2 \leq T_{mm}/T_{ms} \leq 8$$

さらに好ましくは、単位トランジスタ群の形成面積 T_s と伝達トランジスタ群 521c の形成面積 T_m とは、以下の関係となるようにする。

$$1 \leq T_m / T_s \leq 4$$

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

トランジスタ群 521b1 からの出力電流 I_{c1} 、トランジスタ群 521b2 からの出力電流 I_{c2} 、トランジスタ群 521b2 からの出力電流 I_{c3} とするとき、出力電流 I_{c1} 、出力電流 I_{c2} 、および出力電流 I_{c3} は一致させる必要がある。本発明では、トランジスタ群 521 は複数のトランジスタ 473 で構成しているため、個々のトランジスタ 473 がばらついていても、トランジスタ群 521 としては、出力電流 I_c のバラツキは発生しない。

なお、以上の実施例は、図 52 のように 3 段のカレントミラー接続（多段のカレントミラー接続）の構成に限定されるものではない。1 段のカレントミラー接続にも適用できることは言うまでもない。また、図 52 の実施例は、複数のトランジスタ 473a からなるトランジスタ群 521b（521b1、521b2、521b3・・・）と複数のトランジスタ 473b からなるトランジスタ群 521c（521c1、521c2、521c3・・・）とを接続した実施例であった。しかし、本発明はこれに限定するものではなく、1 つのトランジスタ 473a と複数のトランジスタ 473b からなるトランジスタ群 521c（521c1、521c2、521c3・・・）とを接続してもよい。また、複数のトランジスタ 473a からなるトランジスタ群 521b（521b1、521b2、521b3・・・）と 1 つのトランジスタ群 473b とを接続してもよい。

図 48 において、スイッチ 481a は 0 ビット目に対応し、スイッチ

4 8 1 b は 1 ビット目に対応し、スイッチ 4 8 1 c は 2 ビット目に対応し、……スイッチ 4 8 1 f は 5 ビット目に対応する。0 ビット目は 1 つの単位トランジスタで構成され、1 ビット目は 2 つの単位トランジスタで構成され、2 ビット目は 4 つの単位トランジスタで構成され、……5 ビット目は 3 2 つの単位トランジスタで構成される。説明を容易にするために、ソースドライバ回路 1 4 は 6 4 階調表示対応で、6 ビットであるとして説明をする。

本発明のソースドライバ IC (回路) 1 4 の構成では、1 ビット目は 0 ビット目に対して 2 倍のプログラム電流を出力する。2 ビット目は 1 ビット目に対して 2 倍のプログラム電流を出力する。3 ビット目は 2 ビット目に対して 2 倍のプログラム電流を出力する。4 ビット目は 3 ビット目に対して 2 倍のプログラム電流を出力する。5 ビット目は 4 ビット目に対して 2 倍のプログラム電流を出力する。逆に言えば、各隣接したビットは、正確に 2 倍のプログラム電流を出力できるように構成する必要がある。

図 5 8 の構成は、複数のトランジスタ 4 7 3 a の出力電流を複数のトランジスタ 4 7 3 b で受け取ることにより、各端子の出力電流のばらつきを低減させるものであった。図 6 0 は基準電流をトランジスタ群の両側から給電することにより出力電流のバラツキを低減する構成である。つまり、電流 I b の供給源を複数設ける。本発明では、電流 I b 1 と電流 I b 2 とは同一の電流値とし、電流 I b 1 を発生するトランジスタと電流 I b 2 を発生するトランジスタと、対をなすトランジスタでカレントミラー回路を構成している。

したがって、本発明は、単位トランジスタ 4 8 4 の出力電流を規定する基準電流を発生するトランジスタ (電流発生手段) を複数個形成または配置された構成である。さらに好ましくは、複数のトランジスタから

の出力電流を、カレントミラー回路を構成するトランジスタなどの電流受け取り回路に接続し、この複数のトランジスタが発生するゲート電圧により単位トランジスタ 484 の出力電流を制御する構成である。つまり、本発明は、単位トランジスタ 484 とカレントミラー回路を構成するトランジスタ 473b が複数個形成された構成である。図 58 では、単位トランジスタ 484 が 63 個形成されたトランジスタ群に対し、カレントミラー回路を形成する 5 つのトランジスタ 473b が配置(形成)されている。

単位トランジスタ 484 のゲート端子電圧は、IC チップがシリコンチップの場合、0.52 以上 0.68 (V) 以下の範囲に設定することが好ましい。この範囲であれば、単位トランジスタ 484 の出力電流のバラツキが少なくなる。以上の事項は、図 163、図 164、図 165 などの本発明の他の実施例においても同様である。

図 60 において、基準電流 I_{b1} と基準電流 I_{b2} を個別に調整できるように構成しておく、ゲート端子 581 の a 点の電圧と b 点の電圧を自由に設定できるようになる。基準電流 I_{b1} と I_{b2} の調整により、IC チップ 14 の左右で単位トランジスタの V_t が異なるため、出力電流の傾斜が発生している場合も補正することができる。

カレントミラー回路を構成するトランジスタが発生する電流を受け渡すのは、複数のトランジスタで受け渡すのが好ましい。IC チップ 14 内に形成されるトランジスタには特性バラツキが発生する。トランジスタの特性バラツキを抑制するためには、トランジスタサイズを大きくする方法がある。しかし、トランジスタサイズを大きくしてもカレントミラー回路のカレントミラー倍率が大きくずれる場合がある。この課題を解決するには、複数のトランジスタで電流あるいは電圧受け渡しをするように構成するとよい。複数のトランジスタで構成すれば、各トランジ

スタの特性がばらついていても全体としての特性バラツキは小さくなる。また、カレントミラー倍率の精度も向上する。トータルで考えれば I C チップ面積も小さくなる。

図 5 8 はトランジスタ群 5 2 1 a とトランジスタ群 5 2 1 b でカレントミラー回路を構成している。トランジスタ 5 2 1 a は複数のトランジスタ 4 7 2 b で構成されている。一方、トランジスタ群 5 2 1 b はトランジスタ 4 7 3 a で構成されている。同様にトランジスタ群 5 2 1 c も複数のトランジスタ 4 7 3 b で構成されている。

トランジスタ群 5 2 1 b 1、トランジスタ群 5 2 1 b 2、トランジスタ群 5 2 1 b 3、トランジスタ群 5 2 1 b 4 を構成するトランジスタ 4 7 3 a は同一個数に形成している。また、各トランジスタ群 5 2 1 b のトランジスタ 4 7 3 a の総面積（トランジスタ群 5 2 1 b 内のトランジスタ 4 7 3 a の W L サイズ×トランジスタ 4 7 3 a 数）は（略）等しくなるように形成している。トランジスタ群 5 2 1 c についても同様である。

トランジスタ 5 2 1 c のトランジスタ 4 7 3 b の総面積（トランジスタ群 5 2 1 c 内のトランジスタ 4 7 3 b の W L サイズ×トランジスタ 4 7 3 b 数）を S_c とする。また、トランジスタ 5 2 1 b のトランジスタ 4 7 3 a の総面積（トランジスタ群 5 2 1 b 内のトランジスタ 4 7 3 a の W L サイズ×トランジスタ 4 7 3 a 数）と S_b とする。トランジスタ 5 2 1 a のトランジスタ 4 7 2 b の総面積（トランジスタ群 5 2 1 a 内のトランジスタ 4 7 2 b の W L サイズ×トランジスタ 4 7 2 b 数）を S_a とする。また、1 出力の単位トランジスタ 4 8 4 の総面積を S_d （図 4 8 の実施例では単位トランジスタ 4 8 4 の W L 面積×6 3）とする。

総面積 S_c と総面積 S_b とは略等しくなるように形成することが好ましい。トランジスタ群 5 2 1 b を構成するトランジスタ 4 7 3 a の個数

と、トランジスタ群 5 2 1 c のトランジスタ 4 7 3 b の個数とを同数にすることが好ましい。ただし、I C チップ 1 4 のレイアウトの制約などから、トランジスタ群 5 2 1 b を構成するトランジスタ 4 7 3 a の個数を、トランジスタ群 5 2 1 c のトランジスタ 4 7 3 b の個数よりも少なくし、トランジスタ群 5 2 1 b を構成するトランジスタ 4 7 3 a のサイズをトランジスタ群 5 2 1 c のトランジスタ 4 7 3 b のサイズよりも大きくしてもよい。

この実施例を図 5 9 に図示する。トランジスタ群 5 2 1 a は複数のトランジスタ 4 7 2 b で構成されている。トランジスタ群 5 2 1 a とトランジスタ 4 7 3 a はカレントミラー回路を構成する。トランジスタ 4 7 3 a は電流 I c を発生させる。1 つのトランジスタ 4 7 3 a はトランジスタ群 5 2 1 c の複数のトランジスタ 4 7 3 b を駆動する（1 つのトランジスタ 4 7 3 a からの電流 I c は複数のトランジスタ 4 7 3 b に分流される。一般にトランジスタ 4 7 3 a の個数は、出力回路分の個数が配置または形成される。たとえば、Q C I F + パネルの場合は、R、G、B 回路において、各 1 7 6 個のトランジスタ 4 7 3 a が形成または配置される。

総面積 S d と総面積 S c の関係は、出力バラツキに相関がある。この関係を図 1 2 4 に図示している。なお、バラツキ比率などに関しては図 1 2 1 を参照のこと。バラツキ比率は、総面積 S d : 総面積 S c = 2 : 1 ($S c / S d = 1 / 2$) の時を 1 としている。図 1 2 4 でもわかるように、 $S c / S d$ が小さいと急激にバラツキ比率が悪くなる。特に $S c / S d = 1 / 2$ 以下で悪くなる傾向がある。 $S c / S d$ が $1 / 2$ 以上では、出力バラツキが低減する。その低減効果は緩やかである。また、 $S c / S d = 1 / 2$ 程度で出力バラツキが許容範囲となる。以上のことから、 $1 / 2 \leq S c / S d$ の関係となるように形成することが好まし

い。しかし、 S_c が大きくなるとICチップサイズも大きくなることになる。したがって、上限は $S_c/S_d = 4$ とすることが好ましい。つまり、 $1/2 \leq S_c/S_d \leq 4$ の関係を満足するようにする。

なお、 $A \geq B$ は、AはB以上という意味である。 $A > B$ は、AはBより大きいという意味である。 $A \leq B$ は、AはB以下という意味である。 $A < B$ は、AはBより小さいという意味である。

さらには、総面積 S_d と総面積 S_c は、略等しくなるようにすることが好ましい。さらに1出力の単位トランジスタ484の個数と、トランジスタ群521cのトランジスタ473bの個数とを同数にすることが好ましい。つまり、64階調表示であれば、1出力の単位トランジスタ484は63個形成される。したがって、トランジスタ群521cを構成するトランジスタ473bの個数は63個形成される。

また、好ましくは、トランジスタ群521a、トランジスタ群521b、トランジスタ521c、単位トランジスタ484は、WL面積の比率が4倍以内のトランジスタで構成することが好ましい。さらに好ましくはWL面積の比率が2倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路654を構成することが好ましい。

総面積 S_a は総面積 S_b よりも大きくなるようにする。好ましくは、 $200S_b \geq S_a \geq 4S_b$ の関係を満足するように構成する。また、すべてのトランジスタ群521bを構成するトランジスタ473aの総面積と S_a が略等しくなるように構成する。

図60などはゲート配線581の両端にトランジスタあるいはトランジスタ群を配置する構成であった。したがって、ゲート配線581の両側に配置するトランジスタは2個であり、または、トランジスタ群は2

組であった。しかし、本発明はこれに限定するものではない。図 6 1 に図示するようにゲート配線 5 8 1 の中央部などにもトランジスタあるいはトランジスタ群を配置または形成してもよい。図 6 1 では 3 つのトランジスタ群 5 2 1 a を形成している。本発明は、ゲート配線 5 8 1 に形成するトランジスタあるいはトランジスタ群 5 2 1 は複数形成することに特徴がある。複数形成することにより、ゲート配線 5 8 1 を低インピーダンス化でき、安定度が向上する。

さらに安定度を向上させるためには、図 6 2 に図示するように、ゲート配線 5 8 1 にコンデンサ 6 6 1 を形成または配置することが好ましい。コンデンサ 6 6 1 は IC チップ 1 4 あるいはソースドライバ回路 1 4 内に形成してもよいし、ソースドライバ IC 1 4 の外付けコンデンサとしてチップ外部に配置あるいは積載してもよい。コンデンサ 6 6 1 を外付けにする場合は、IC チップの端子にコンデンサ接続端子を配置する。

以上の実施例は、基準電流を流し、この基準電流をカレントミラー回路でコピーし、最終段の単位トランジスタ 4 8 4 に伝達する構成である。画像表示が黒表示（完全な黒ラスタ）の時は、いずれの単位トランジスタ 4 8 4 にも電流が流れない。いずれのスイッチ 4 8 1 もオープンだからである。したがって、ソース信号線 1 8 に流れる電流は 0 (A) であるから、電力は消費しない。

しかし、黒ラスタ表示であっても、基準電流は流れる。たとえば、図 6 3 の電流 I_b および電流 I_c である。この電流は無効電流となる。基準電流は電流プログラム時に流れるように構成すると効率がよい。したがって、画像の垂直ブランキング期間水平ブランキング期間には基準電流が流れることを制限する。また、ウェイト期間なども基準電流が流れることを制限する。

基準電流が流れないようにするには、図 6 3 に図示するようにスリー

プスイッチ 631 をオープンにすればよい。スリープスイッチ 631 はアナログスイッチである。アナログスイッチは、ソースドライバ回路あるいはソースドライバ IC 14 内に形成する。もちろん、ソースドライバ IC 14 の外部にスリープスイッチ 631 を配置し、このスリープスイッチ 631 を制御してもよい。

スリープスイッチ 631 をオフにすることにより、基準電流 I_b が流れなくなる。そのため、トランジスタ群 521a1 内のトランジスタ 473a に電流が流れないから、基準電流 I_c も 0 (A) となる。したがって、トランジスタ群 521c のトランジスタ 473b にも電流が流れない。したがって、電力効率が向上する。

図 64 は、タイミングチャートである。水平同期信号 HD に同期してブランキング信号が発生する。ブランキング信号は H レベルの時、ブランキング期間であり、L レベルの時、映像信号が印加されている期間である。スリープスイッチ 631 は L レベルの時、オフ（オープン）であり、H レベルの時、オンである。

したがって、ブランキング期間 A の時、スリープスイッチ 631 はオフであるから、基準電流は流れない。D の期間、スリープスイッチ 631 はオンであり、基準電流が発生する。

なお、画像データに応じてスリープスイッチ 631 のオンオフ制御を行っても良い。たとえば、1 画素行の画像データがすべて黒画像データの時（1 H の期間はすべてのソース信号線 18 に出力されるプログラム電流は 0 である）、スリープスイッチ 631 をオフにして、基準電流（ I_c 、 I_b など）が流れないようにする。また、各ソース信号線に対応するようにスリープスイッチを形成または配置し、オンオフ制御してもよい。たとえば、奇数番目のソース信号線 18 が黒表示（縦黒ストライプ表示）の時は、奇数番目に対応するスリープスイッチをオフにする。

図 5 2、図 7 7 は多段接続のカレントミラー構成を有するソースドライバ回路（IC）1 4 の構成図である。本発明は、図 5 2 などの多段接続の構成に限定されるものではない。1 段接続のソースドライバ回路でもよい。図 1 6 6 から図 1 7 2 は 1 段接続のソースドライバ回路（IC）の構成図である。

特に 1 段接続のソースドライバ回路では、表示パネルに画像を表示するとソース信号線 1 8 に印加された電流によりソース信号線電位が変動する。この電位変動によいソースドライバ IC 1 4 のゲート配線 5 8 1 がゆれる課題がある。この揺れは、ソースドライバ IC 1 4 の電源電圧が影響する。最大電圧まで振幅するからである。図 1 6 3 はソースドライバ IC 1 4 の電源電圧が 1. 8（V）の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバ IC 1 4 の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は 3 程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率は IC 電源電圧が 1 0 ～ 1 2（V）以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバ IC 1 4 の電源電圧は 1 2（V）以下にする必要がある。

一方、駆動用トランジスタ 1 1 a が白表示から黒表示の電流を流すために、ソース信号線 1 8 の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、2. 5（V）以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線 1 8 の出力電圧が IC の電源電圧を越えることはできないからである。

以上のことから、ソースドライバ IC 1 4 の電源電圧は、2. 5（V）以上 1 2（V）以下にする必要がある。この範囲とすることによりゲート配線 5 8 1 の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

ゲート配線 5 8 1 の配線抵抗も課題となる。ゲート配線 5 8 1 の配線抵抗 R (Ω) とは、図 1 6 7 では、トランジスタ 4 7 3 b 1 からトランジスタ 4 7 3 b 2 までの配線全長の抵抗である。または、ゲート配線全長の抵抗である。ゲート配線 5 8 1 の過渡現象の大きさは、1 水平走査期間 (1 H) にも依存する。1 H 期間が短ければ、過渡現象の影響も大きいからである。配線抵抗 R (Ω) が高いほど過渡現象は発生しやすい。この現象は特に、図 1 6 6 から図 1 7 2 の 1 段カレントミラー接続の構成で課題となる。ゲート配線 5 8 1 が長く、1 つのゲート配線 5 8 1 に接続された単位トランジスタ 4 8 4 の数が多いためである。

図 1 6 4 は、ゲート配線 5 8 1 の配線抵抗 R (Ω) と 1 H 期間 T (s) と掛算 ($R \cdot T$) を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の 1 は $R \cdot T = 100$ を基準にしている。図 2 1 2 でわかるように、 $R \cdot T$ が 5 以下で変動比率が大きくなる傾向がある。また、 $R \cdot T$ が 1000 以上で変動比率が大きくなる傾向がある。したがって、 $R \cdot T$ は 5 以上 100 以下にすることが好ましい。

図 1 6 7 において、トランジスタ 4 7 2 b と 2 つのトランジスタ 4 7 3 a とはカレントミラー回路を構成している。トランジスタ 4 7 3 a 1 とトランジスタ 4 7 3 a 2 は同一サイズである。したがって、トランジスタ 4 7 3 a 1 が流す電流 I_c とトランジスタ 4 7 3 a 2 が流す電流 I_c は同一である。

図 1 6 7 の単位トランジスタ 4 8 4 からなるトランジスタ群 5 2 1 c とトランジスタ 4 7 3 b 1 およびトランジスタ 4 7 3 b 2 とはカレントミラー回路を構成する。トランジスタ群 5 2 1 c の出力電流にはバラツキが発生する。しかし、近接してカレントミラー回路を構成するトランジスタ群 5 2 1 の出力は精度よく電流が規定される。トランジスタ 4 7 3 b 1 とトランジスタ群 5 2 1 c 1 とは近接してカレントミラー回路を

構成する。また、トランジスタ 4 7 3 b 2 とトランジスタ群 5 2 1 c n とは近接してカレントミラー回路を構成する。したがって、トランジスタ 4 7 3 b 1 に流れる電流とトランジスタ 4 7 3 b 2 に流れる電流が等しければ、トランジスタ群 5 2 1 c 1 の出力電流とトランジスタ群 5 2 1 c n の出力電流とは等しくなる。各 IC チップで電流 I_c を精度良く発生させれば、どの IC チップでも出力段の両端のトランジスタ群 5 2 1 c の出力電流は等しくなる。そのため、IC チップをカスケード接続しても IC と IC との継ぎ目の発生を目立たなくすることができる。

トランジスタ 4 7 3 b は図 6 2 と同様に、複数のトランジスタで形成し、トランジスタ群 5 2 1 b 1、トランジスタ 5 2 1 b 2 としてもよい。また、トランジスタ 4 7 3 a も図 6 2 と同様にトランジスタ群 5 2 1 a としてもよい。

また、トランジスタ 4 7 2 b の電流は抵抗 R_1 で規定するとしたがこれに限定するものではなく、図 1 7 0 に図示するように、電子ボリウム 4 5 1 a、4 5 1 b としてもよい。図 1 7 0 の構成では電子ボリウム 4 5 1 a と電子ボリウム 4 5 1 b を独立に動作させることができる。したがって、トランジスタ 4 7 2 a 1 とトランジスタ 4 7 2 a 2 とが流す電流の値を変更することができる。したがって、チップの左右の出力段 5 2 1 c の出力電流傾きを調整可能である。なお、電子ボリウム 4 5 1 は図 1 7 1 に図示するように 1 つにし、2 つのオペアンプ 7 2 2 を制御するように構成してもよい。また、図 6 3 でスリープスイッチ 6 3 1 について説明した。同様に、図 1 7 2 のようにスリープスイッチを配置あるいは形成しても良いことは言うまでもない。

図 1 6 6 から図 1 7 2 のカレントミラーの 1 段構成では単位トランジスタ 4 8 4 の個数が非常に多いため、ソースドライバ回路 (IC) 1 4 のドライバ回路出力段について説明を加えておく。なお、説明を容易に

するため、図168、図169を例示して説明をする。しかし、説明はトランジスタ473bの個数とその総面積、単位トランジスタ484の個数と総面積に関わる事項であるので他の実施例にも適用できることは言うまでもない。

図168、図169において、トランジスタ群521bのトランジスタ473bの総面積（トランジスタ群521b内のトランジスタ473bのWLサイズ×トランジスタ473b数）を S_b とする。なお、図168、図169のようにゲート配線581の左右にトランジスタ群521bがある場合は面積を2倍にする。図167のように2つの場合はトランジスタ473bの面積×2である。なお、トランジスタ群521bが1個のトランジスタ473bで構成される場合は、1個のトランジスタ473bのサイズであることは言うまでもない。

また、トランジスタ群521cの単位トランジスタ484の総面積（トランジスタ群521c内のトランジスタ484のWLサイズ×トランジスタ484数）を S_c とする。トランジスタ群521cの個数を n とする。 n はQCI F+パネルの場合は176である（RGBごとに基準電流回路が形成されている場合）。

図165の横軸は、 $S_c \times n / S_b$ である。縦軸は変動比率であり、変動比率は最も悪い状況を1としている。図165に図示するように $S_c \times n / S_b$ が大きくなるにしたがって、変動比率は悪くなる。 $S_c \times n / S_b$ が大きくなることは、出力端子数 n を一定とすると、トランジスタ群521cの単位トランジスタ484総面積が、トランジスタ群521bのトランジスタ473b総面積に対して広いことを示す。この場合は変動比率が悪くなる。

$S_c \times n / S_b$ が小さくなることは、出力端子数 n を一定とすると、トランジスタ群521cの単位トランジスタ484総面積が、トランジ

スタ群 5 2 1 b のトランジスタ 4 7 3 b 総面積に対して狭いことを示す。この場合は変動比率が小さくなる。

変動許容範囲は、 $S_c \times n / S_b$ が 5 0 以下である。 $S_c \times n / S_b$ が 5 0 以下であれば、変動比率は許容範囲内であり、ゲート配線 5 8 1 の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。 $S_c \times n / S_b$ が 5 0 以下であれば許容範囲であるが、 $S_c \times n / S_b$ を 5 以下としてもほとんど効果がない。逆に、 S_b が大きくなり IC 1 4 のチップ面積が増加する。したがって、 $S_c \times n / S_b$ は 5 以上 5 0 以下にすることが好ましい。

画素 1 6 を構成するトランジスタ 1 1 を P チャンネルで構成すると、プログラム電流は画素 1 6 からソース信号線 1 8 に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ 4 8 4 (図 4 8、図 5 7 などを参照のこと) は、N チャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路 1 4 はプログラム電流 I_w を引き込むように回路構成する必要がある。

したがって、画素 1 6 の駆動用トランジスタ 1 1 a (図 1 の場合) が P チャンネルトランジスタの場合は、必ず、ソースドライバ回路 1 4 はプログラム電流 I_w を引き込むように、単位トランジスタ 4 8 4 を N チャンネルトランジスタで構成する。ソースドライバ回路 1 4 をアレイ基板 7 1 に形成するには、N チャンネル用マスク (プロセス) と P チャンネル用マスク (プロセス) の両方を用いる必要がある。概念的に述べれば、画素 1 6 とゲートドライバ回路 1 2 を P チャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタは N チャンネルで構成するのが本発明の表示パネル (表示装置) である。

したがって、画素 1 6 のトランジスタ 1 1 を P チャンネルトランジス

タで形成し、ゲートドライバ回路 1 2 を P チャンネルトランジスタで形成する。このように画素 1 6 のトランジスタ 1 1 とゲートドライバ回路 1 2 の両方を P チャンネルトランジスタで形成することによりアレイ基板 7 1 を低コスト化できる。しかし、ソースドライバ回路 1 4 は、単位トランジスタ 4 8 4 を N チャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路 1 4 はアレイ基板 7 1 に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路 1 4 を作製し、アレイ基板 7 1 に積載する。つまり、本発明は、ソースドライバ I C 1 4（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

なお、ソースドライバ回路 1 4 はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、アレイ基板 7 1 に積載してもよい。なお、アレイ基板 7 1 にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路 1 4 の出力端子 5 2 1 をアレイ基板 7 1 のソース信号線 1 8 に接続するのであればいずれの形態でもよい。たとえば、TAB 技術でソースドライバ回路 1 4 をソース信号線 1 8 に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路 1 4 を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

また、画素 1 6 の選択トランジスタを P チャンネルで構成し、ゲートドライバ回路を P チャンネルトランジスタで構成するという構成は、有機 EL などの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、F E D（フィールドエミッションディスプレイ）にも適用することができる。

画素 1 6 のスイッチング用トランジスタ 1 1 b、1 1 c が P チャンネルトランジスタで形成されていると、V g h で画素 1 6 が選択状態となる。V g l で画素 1 6 が非選択状態となる。以前にも説明したが、ゲート信号線 1 7 a がオン (V g l) からオフ (V g h) になる時に電圧が突き抜ける (突き抜け電圧)。画素 1 6 の駆動用トランジスタ 1 1 a が P チャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ 1 1 a がより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

本発明では、ゲートドライバ回路 1 2 を P チャンネルトランジスタで構成することにより、オン電圧は V g h となる。したがって、P チャンネルトランジスタで形成された画素 1 6 とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図 1、図 2、図 3 2、図 1 1 3、図 1 1 6 の画素 1 6 の構成のように、アノード電圧 V d d から駆動用トランジスタ 1 1 a、ソース信号線 1 8 を介してソースドライバ回路 1 4 の単位トランジスタ 4 8 4 にプログラム電流 I w が流入するように構成することが重要である。したがって、ゲートドライバ回路 1 2 および画素 1 6 を P チャンネルトランジスタで構成し、ソースドライバ回路 1 4 を基板に積載し、かつソースドライバ回路 1 4 の単位トランジスタ 4 8 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、N チャンネルで形成した単位トランジスタ 4 8 4 は P チャンネルで形成した単位トランジスタ 4 8 4 に比較して出力電流のバラツキが小さい。同一面積 (W・L) のトランジスタ 4 8 4 で比較した場合、N チャンネルの単位トランジスタ 4 8 4 は P チャンネルの単位トランジスタ 4 8 4 に比較して、出力電流のばらつきは、1 / 1.5 から 1 / 2 になる。この理由からもソースドライバ I C 1 4 の単位ト

ランジスタ 484 は N チャンネルで形成することが好ましい。

なお、図 4 2 の (b) においても同様である。図 4 2 の (b) は駆動用トランジスタ 11b を介してソースドライバ回路 14 の単位トランジスタ 484 に電流が流入するのではない。しかし、アノード電圧 V_{dd} からプログラム用トランジスタ 11a、ソース信号線 18 を介してソースドライバ回路 14 の単位トランジスタ 484 にプログラム電流 I_w が流入するように構成である。したがって、図 1 と同様に、ゲートドライバ回路 12 および画素 16 を P チャンネルトランジスタで構成し、ソースドライバ回路 14 を基板に積載し、かつソースドライバ回路 14 の単位トランジスタ 484 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

なお、本発明では、画素 16 の駆動トランジスタ 11a を P チャンネルで構成し、スイッチングトランジスタ 11b、11c を P チャンネルで構成する。また、ソースドライバ IC 14 の出力段の単位トランジスタ 484 を N チャンネルで構成するとした。また、好ましくは、ゲートドライバ回路 12 は P チャンネルトランジスタで構成するとした。

前述の逆の構成でも効果を発揮することは言うまでもない。画素 16 の駆動トランジスタ 11a を N チャンネルで構成し、スイッチングトランジスタ 11b、11c を N チャンネルで構成する。また、ソースドライバ IC 14 の出力段の単位トランジスタ 484 を P チャンネルとする構成である。なお、好ましくは、ゲートドライバ回路 12 は N チャンネルトランジスタで構成する。この構成も本発明の構成である。

以下、基準電流回路について説明する。図 6 8 に図示するように基準電流回路 691 は、R、G、B ごとに形成（配置）する。また、基準電流回路 691 R、691 G、691 B は近接して配置する。

R の基準電流回路 654 R には基準電流を調整するポリウム（電子ボ

リウム) 4 9 1 R が配置され、G の基準電流回路 6 5 4 G には基準電流を調整するボリウム (電子ボリウム) 4 9 1 G が配置され、B の基準電流回路 6 5 4 B には基準電流を調整するボリウム (電子ボリウム) 4 9 1 B が配置される。

なお、ボリウム 4 9 1 などは、E L 素子 1 5 の温特を補償できるように、温度で変化するように構成することが好ましい。また、図 6 9 に図示するように、基準電流回路 6 9 1 は電流制御回路 6 9 2 で制御される。基準電流の制御 (調整) により、単位トランジスタ 4 8 4 より出力する単位電流を変化させることができる。

I C チップの出力端子には、出力パッド 6 8 1 が形成または配置されている。この出力パッドと、表示パネルのソース信号線 1 8 とが接続される。出力パッド 6 8 1 は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ (突起) が形成されている。突起の高さは $10\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下の高さにする。

前記バンプと各ソース信号線 1 8 とは導電性接合層 (図示せず) を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀 (A g)、金 (A u)、ニッケル (N i)、カーボン (C)、酸化錫 (SnO_2) などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。なお、バンプあるいは出力パッド 6 8 1 とソース信号線 1 8 との接続は、以上の方式に限定するものではない。また、アレイ基板上に I C 1 4 を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線 1 8 などと接続しても良い。

本発明では、前記基準電流回路 6 9 1 が、R 用、G 用、B 用の 3 系統に分離されているので、発光特性や温度特性を R、G、B でそれぞれ調

整することができ、最適なホワイトバランスを得ることが可能である(図70を参照のこと)。

次にプリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線18などに寄生容量があると、1水平走査期間(1H)に画素16に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数nA程度と微弱であるため、その信号値で数10pF程度あると思われる寄生容量(配線負荷容量)を駆動することは困難である。この課題を解決するためには、ソース信号線18に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線18の電位レベルを画素のトランジスタ11aの黒表示電流(基本的にはトランジスタ11aはオフ状態)にすることが有効である。このプリチャージ電圧の形成(作成)には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

図65に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路(IC)14の一例を示す。図65では、6ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図65において、プリチャージ制御信号は、画像データD0~D5の上位3ビットD3、D4、D5がすべて0である場合をNOR回路652でデコードし、水平同期信号HDによるリセット機能を有するドットクロックCLKのカウンタ回路651の出力とのAND回路653をとり、一定期間黒レベル電圧Vpを出力するように構成されている。他の場合は、電流出力段654(具体的には図48、図56、図57などの構成である)からの出力電流がソース信号線18に印加される(ソース信号線18からプログラム電流Iwを吸収する)。この構成により、画像デ

ータが黒レベルに近い 0 階調目～7 階調目の場合、1 水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を 0 階調目とし、完全白表示を 6 3 階調目とする（6 4 階調表示の場合）。

図 6 5 では、プリチャージ電圧を印加すると、内部配線 4 8 3 の B 点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段 6 5 4 にも印加されることになる。しかし、電流出力段 6 5 4 は定電流回路であるから、高インピーダンスである。そのため、定電流回路 6 5 4 にプリチャージ電圧が印加されても回路の動作上問題は発生しない。なお、電流出力段 6 5 4 にプリチャージ電圧が印加されないようにするには、図 6 5 の A 点で切断し、スイッチ 6 5 5 を配置すればよい（図 6 6 を参照のこと）。前記スイッチはプリチャージスイッチ 4 8 1 a と連動させ、プリチャージスイッチ 4 8 1 a がオンしている時にはオフになるように制御する。

プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージと呼ぶ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。

好ましくは、階調データの階調 0 から全階調の $1/8$ の領域の階調領域で、選択プリチャージを行う（たとえば、6 4 階調の時は、0 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調 0 から $1/16$ の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調

の時は、0 階調目から 3 階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調 0 のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。階調 0 のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

なお、プリチャージの電圧、階調範囲は、R、G、B で異ならせることも有効である。EL 表示素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、階調データの階調 0 から $1/8$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 1 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調 0 から $1/16$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 3 階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、R は 7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線 18 に書き込むようにする。最適なプリチャージ電圧は、EL 表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

なお、プリチャージ電圧は、図 1 のアノード電圧 $V_{dd} - 0.5$ （V）以下、アノード電圧 $V_{dd} - 2.5$ （V）以内にすることが好ましい。

階調 0 のみをプリチャージする方法にあっても、R、G、B の一色あるいは 2 色を選択してプリチャージする方法も有効である。画像表示に

与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることもある有効である。特に画面50の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、0階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。

また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

図66は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路により、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、Bで共通であってもよい。プリチャージ電圧は、画素16の駆動用トランジスタ11aの V_t に相関するものであり、この画素16はR、G、B画素で同一だからである。画素16の駆動用トランジスタ11aの W/L 比などをR、G、Bで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、駆動用トランジスタ11aのチャンネル長 L が大きくなれば、トランジスタ11aのダイオード特性は悪くなり、ソースドレイン（SD）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（ V_{dd} ）に対して低く設定する必要がある。

プリチャージ電圧 PV はアナログスイッチ 561 に入力されている。このアナログスイッチの W (チャンネル幅) はオン抵抗を低減するために、 $10\mu m$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $100\mu m$ 以下にする。さらに好ましくは、チャンネル幅 W は $15\mu m$ 以上 $60\mu m$ 以下にすることが好ましい。

なお、この選択プリチャージは、階調 0 のみをプリチャージするとか、階調 0 から階調 7 の範囲でプリチャージするとか固定してもよいが、低階調領域 (図 79 の階調 0 から階調 $R1$ もしくは階調 $(R1 - 1)$) を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調 0 から階調 $R1$ の時はこの範囲で実施し、低階調領域が階調 0 から階調 $R2$ の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

以上の信号の印加状態により、スイッチ 481a がオンオフ制御され、スイッチ 481a オンの時、プリチャージ電圧 PV がソース信号線 18 に印加される。なお、プリチャージ電圧 PV を印加する時間は、別途形成したカウンタ (図示せず) により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は 1 水平走査期間 ($1H$) の $1/100$ 以上 $1/5$ 以下の時間に設定することが好ましい。たとえば、 $1H$ が $100\mu sec$ とすれば、 $1\mu sec$ 以上 $20\mu sec$ ($1H$ の $1/100$ 以上 $1H$ の $1/5$ 以下) とする。さらに好ましくは、 $2\mu sec$ 以上 $10\mu sec$ ($1H$ の $2/100$ 以上 $1H$ の $1/10$ 以下) とする。

図 67 は図 65 あるいは図 66 の変形例である。図 67 は入力画像データに応じてプリチャージするかしないかを判定し、プリチャージ制御を行うプリチャージ回路である。たとえば、画像データが階調 0 のみの

時にプリチャージを行う設定、画像データが階調 0、1 のみの時にプリチャージを行う設定、階調 0 は必ずプリチャージし、階調 1 が所定以上連続して発生する場合にプリチャージする設定を行うことができる。

図 6 7 は、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路 (IC) 1 4 の一例を示す。図 6 7 では、6 ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図 6 7 において、一致回路 6 7 1 は、画像データ D 0 ~ D 5 に応じてデコードし、水平同期信号 HD によるリセット機能を有する REN 端子入力、ドットクロック CLK 端子入力でプリチャージするかしないかを判定する。また、一致回路 6 7 1 はメモリを有しており、数 H あるいは数フィールド (フレーム) の画像データによるプリチャージ出力結果を保持している。保持結果にもとづき、プリチャージするか否かを判定し、プリチャージ制御する機能を有する。たとえば、階調 0 は必ずプリチャージし、階調 1 が 6 H (6 水平走査期間) 以上連続して発生する場合にプリチャージする設定を行うことができる。また、階調 0、1 は必ずプリチャージし、階調 2 が 3 F (3 フレーム期間) 以上連続して発生する場合にプリチャージする設定を行うことができる。

一致回路 6 7 1 の出力と、カウンタ回路 6 5 1 の出力とが、AND 回路 6 5 3 で AND され、一定期間黒レベル電圧 V_p を出力するように構成されている。他の場合は、図 5 2 などの説明した電流出力段 6 5 4 からの出力電流がソース信号線 1 8 に印加される (ソース信号線 1 8 からプログラム電流 I_w を吸収する)。他の構成は、図 6 5、図 6 6 などと同等あるいは類似であるので説明を省略する。なお、図 6 7 ではプリチャージ電圧は A 点に印加しているが、B 点に印加してもよいことはいうまでもない (図 6 6 も参照のこと)。

ソース信号線 1 8 に印加する画像データにより、プリチャージ電圧 P

V印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調0では印加時間を長くし、階調4ではそれよりも短くするなどである。また、1 H前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、1 H前にソース信号線に画素を白表示にする電流と書き込み、次の1 Hに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1 H前にソース信号線に画素を黒表示にする電流と書き込み、次の1 Hに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（ V_{dd} に対して。なお、画素トランジスタ11aがPチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ11aがPチャンネルの時）するという制御方法も有効である。

以下、理解を容易にするため、図66を中心に説明する。なお、以下に説明する事項は図65、図67のプリチャージ回路にも適用できることは言うまでもない。

プログラム電流オープン端子（PO端子）が“0”の時は、スイッチ655がオフ状態となり、IL端子およびIH端子とソース信号線18とは切り離される（Iout端子が、ソース信号線18と接続されている）。したがって、プログラム電流Iwはソース信号線18には流れない。PO端子はプログラム電流Iwをソース信号線に印加している時は、

“1”とし、スイッチ655をオンして、プログラム電流 I_w をソース信号線18に流す。

P O端子に“0”を印加し、スイッチ655をオープンにする時は、表示領域のいずれの画素行も選択されていない時である。単位トランジスタ484は入力データ(D0~D5)に基づいて電流をたえず、ソース信号線18から引き込んでいる。この電流が選択された画素16のV_{dd}端子からトランジスタ11aを介してソース信号線18に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素16からソース信号線18に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素(画素行)も選択されず、ソース信号線18に流れ込む(流れ出す)経路がない状態を、全非選択期間と呼ぶ。

この状態で、出力端子681がソース信号線18に接続されていると、オンしている単位トランジスタ484(実際にはオンしているのはD0~D5端子のデータにより制御されるスイッチ481であるが)に電流が流れる。そのため、ソース信号線18の寄生容量に充電された電荷が放電し、ソース信号線18の電位が、急激に低下する。以上のように、ソース信号線18の電位が低下すると、本来ソース信号線18に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

この課題を解決するため、本発明は、全非選択期間に、P O端子に“0”を印加し、図66のスイッチ655をオフとして、出力端子681とソース信号線18とを切り離す。切り離すことにより、ソース信号線18から単位トランジスタ484に電流が流れ込むことはなくなるから、全非選択期間にソース信号線18の電位変化は発生しない。以上のように、

全非選択期間にP O端子を制御し、ソース信号線18から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

プリチャージ制御は、R、G、Bで異ならせることも有効である。E L素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、所定輝度の白面積：所定輝度の黒面積の比が1：20以上でプリチャージを停止または開始し、GとBは、所定輝度の白面積：所定輝度の黒面積の比が1：16以上でプリチャージを停止または開始するという方法が例示される。なお、実験および検討結果によれば、有機E Lパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が1：100以上（つまり、黒面積が白面積の100倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が1：200以上（つまり、黒面積が白面積の200倍以上）でプリチャージを停止することが好ましい。

図1のように画素16の駆動用トランジスタ11a、選択トランジスタ（11b、11c）がPチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、選択トランジスタ（11b、11c）のG-S容量（寄生容量）を介して、コン

デンサ 19 の端子に突き抜けるためである。P チャンネルトランジスタ 11 b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 11 a のゲート (G) 端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

しかし、第 0 階調目の完全黒表示は実現できるが、第 1 階調などは表示しにくいことになる。もしくは、第 0 階調から第 1 階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

この課題を解決する構成が、図 54 の構成である。出力電流値を嵩上げる機能を有することを特徴としている。嵩上げ回路 541 の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル 0 であっても、ある程度 (数 10 nA) 電流が流れるようにし、黒レベルの調整にも用いることができる。

基本的には、図 54 は、図 48 の出力段に嵩上げ回路 (図 54 の点線で囲まれた部分) を追加したものである。図 54 は、電流値嵩上げ制御信号として 3 ビット (K_0 、 K_1 、 K_2) を仮定したものであり、この 3 ビットの制御信号により、孫電流源の電流値の 0 ~ 7 倍の電流値を出力電流に加算することが可能である。

以上が本発明のソースドライバ回路 (IC) 14 の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路 (IC) 14 についてさらに詳しく説明をする。

EL 素子 15 に流す電流 I (A) と発光輝度 B (nt) とは線形の関係がある。つまり、EL 素子 15 に流す電流 I (A) と発光輝度 B (nt) とは比例する。電流駆動方式では、1 ステップ (階調刻み) は、電流 (単位トランジスタ 484 (1 単位)) である。

人間の輝度に対する視覚は 2 乗特性をもっている。つまり、2 乗の曲

線で変化する時、明るさは直線的に変化しているように認識される。しかし、図 8 3 の関係であると、低輝度領域でも高輝度領域でも、EL 素子 1 5 に流す電流 I (A) と発光輝度 B (nt) とは比例する。したがって、1 ステップ (1 階調) きざみずつ変化させると、低階調部 (黒領域) では、1 ステップに対する輝度変化が大きい (黒飛びが発生する)。高階調部 (白領域) は、ほぼ 2 乗カーブの直線領域と一致するので、1 ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式 (1 ステップが電流きざみの場合) において (電流駆動方式のソースドライバ回路 (IC) 1 4 において)、黒表示領域の表示が特に課題となる。

この課題に対して、低階調領域 (階調 0 (完全黒表示) から階調 (R 1)) の電流出力の傾きを小さくし、高階調領域 (階調 (R 1) から最大階調 (R)) の電流出力の傾きを大きくする。つまり、低階調領域では、1 階調あたりに (1 ステップ) 増加する電流量と小さくする。高階調領域では、1 階調あたりに (1 ステップ) 増加する電流量と大きくする。高階調領域と低階調領域で 1 ステップあたりに変化する電流量を異ならせることにより、階調特性が 2 乗カーブに近くなり、低階調領域での黒飛びの発生はない。

なお、以上の実施例では、低階調領域と高階調領域の 2 段階の電流傾きとしたが、これに限定するものではない。3 段階以上であっても良いことは言うまでもない。しかし、2 段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、5 段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。

本発明の技術的思想は、電流駆動方式のソースドライバ回路 (IC) などにおいて (基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものでは

なく、単純マトリックス型も含まれる。）、1階調ステップあたりの電流増加量が複数存在することである。

ELなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が増加する。したがって、本発明のソースドライバ回路（IC）14では、1つの電流源（1単位トランジスタ）484に流れるものとなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

EL表示パネルでは、R、G、Bで発光効率が異なり、また、NTSC基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはRGBの比率を適正に調整する必要がある。調整は、RGBのそれぞれの基準電流を調整することにより行う。たとえば、Rの基準電流を $2\mu\text{A}$ にし、Gの基準電流を $1.5\mu\text{A}$ にし、Bの基準電流を $3.5\mu\text{A}$ にする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも1色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。

電流駆動方式は、ELに流す電流Iと輝度の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、本発明はRGBの基準電流を調整できる調整手段を具備する点、1点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のEL表示パネルに特有の回路方式である。

本発明のガンマ回路では、一例として低階調領域で1階調あたり10nA増加（低階調領域でのガンマカーブの傾き）にする。また、高階調

領域で1階調あたり50 nA増加(高階調領域でのガンマカーブの傾き)する。

なお、高階調領域で1階調あたり電流増加量/低階調領域で1階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、50 nA / 10 nA = 5である。RGBのガンマ電流比率は同一にする。つまり、RGBでは、ガンマ電流比率を同一にした状態でEL素子15に流れる電流(=プログラム電流)を制御する。

このようにガンマ電流比率をRGBで同一に維持したまま調整すると回路構成は容易になる。各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらに相対的に流す電流を調整するボリウムを作製(配置)すればよいからである。

図56は低電流領域の定電流発生回路部の構成図である。また、図57は高電流領域の定電流回路部および嵩上げ電流回路部の構成図である。図56に図示するように低電流源回路部は基準電流 I_{NL} が印加され、基本的にはこの電流が単位電流となり、入力データ $L_0 \sim L_4$ により、単位トランジスタ484が必要個数動作し、その総和として低電流部のプログラム電流 I_{wL} が流れる。

また、図57に図示するように高電流源回路部は基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $H_0 \sim L_5$ により、単位トランジスタ484が必要個数動作し、その総和として低電流部のプログラム電流 I_{wH} が流れる。

嵩上げ電流回路部も同様であって、図57に図示するように基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $AK_0 \sim AK_2$ により、単位トランジスタ484が必要個数動作し、その総和として嵩上げ電流に対応する電流 I_{wK} が流れる

ソース信号線 18 に流れるプログラム電流 I_w は $I_w = I_{wH} + I_{wL} + I_{wK}$ である。 I_{wH} と I_{wL} の比率、つまりガンマ電流比率は、先にも説明した第 1 の関係を満足させるようにする。

図 56、図 57 に図示するようにオンオフスイッチ 481 は、インバータ 562 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 561 から構成される。このようにスイッチ 481 を、インバータ 562 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 561 から構成することにより、オン抵抗を低下することができ、単位トランジスタ 484 とソース信号線 18 間の電圧降下が極めて小さくすることができる。このことは本発明の他の実施例においても適用されることは言うまでもない。

図 56 の低電流回路部と図 57 の高電流回路部の動作について説明をする。本発明のソースドライバ回路 (IC) 14 は、低電流回路部 L0 ~ L4 の 5 ビットで構成され、高電流回路部 H0 ~ H5 の 6 ビットで構成される。なお、回路の外部から入力されるデータは D0 ~ D5 の 6 ビット (各色 6.4 階調) である。この 6 ビットデータを L0 ~ L4 の 5 ビット、高電流回路部 H0 ~ H5 の 6 ビットに変換してソース信号線に画像データに対応するプログラム電流 I_w を印加する。つまり、入力 6 ビットデータを、 $5 + 6 = 11$ ビットデータに変換している。したがって、高精度のガンマカーブを形成できる。

以上のように、入力 6 ビットデータを、 $5 + 6 = 11$ ビットデータに変換している。本発明では、高電流領域の回路のビット数 (H) は、入力データ (D) のビット数と同一にし、低電流領域の回路のビット数 (L) は、入力データ (D) のビット数 - 1 としている。なお、低電流領域の回路のビット数 (L) は、入力データ (D) のビット数 - 2 としてもよい。このように構成することにより、低電流領域のガンマカーブと、高

電流領域のガンマカーブとが、EL表示パネルの画像表示に最適になる。

ゲートドライバ回路12は、通常、NチャンネルトランジスタとPチャンネルトランジスタで構成する。しかし、Pチャンネルトランジスタのみで形成することが好ましい。アレイ作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図1、図2などに例示したように、画素16を構成するトランジスタをPチャンネルトランジスタとするとともに、ゲートドライバ回路12もPチャンネルトランジスタで形成あるいは構成する。NチャンネルトランジスタとPチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は10枚となるが、Pチャンネルトランジスタのみで形成すると必要なマスク数は5枚になる。

しかし、Pチャンネルトランジスタのみでゲートドライバ回路12などを構成すると、レベルシフト回路をアレイ基板71に形成できない。レベルシフト回路はNチャンネルトランジスタとPチャンネルトランジスタで構成するからである。

以下、アレイ基板71に内蔵するゲートドライバ回路12をPチャンネルのトランジスタのみで構成した本発明のゲートドライバ回路12について説明をする。先にも説明したように、画素16とゲートドライバ回路12とをPチャンネルトランジスタのみで形成する（つまり、アレイ基板71に形成するトランジスタはすべてPチャンネルトランジスタである。反対に言えば、Nチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Pチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、 V_t 電圧の低減化（より0（V）に近くするなど）、 V_t バラツキの減少を、CMOS構造（Pチャネ

ルとNチャンネルトランジスタを用いる構成)よりも容易に実施できる。

本発明の実施例では、主として図1の画素構成を例示して説明をするがこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。また、以下に説明するゲートドライバ回路12構成あるいは配置形態は、有機EL表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネル、電磁遊動表示パネルあるいはFED（フィールドエミッションディスプレイ）などにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路12の構成あるいは方式を採用してもよい。また、ゲートドライバ回路12を2相用いる場合は、1相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の1方の端子に接続してもよい。この方式は、独立CC駆動と呼ばれるものである。また、図71、図73などで説明する構成は、ゲートドライバ回路12だけでなく、ソースドライバ回路14のシフトレジスタ回路などにも採用することができることは言うまでもない。

図71は、本発明のゲートドライバ回路12のブロック図である。説明を容易にするため、4段分しか図示していないが、基本的には、ゲート信号線17数に対応する単位ゲート出力回路711が形成または配置される。

図71に図示するように、本発明のゲートドライバ回路12(12a、12b)では、4つのクロック端子(SCK0、SCK1、SCK2、SCK3)と、1つのスタート端子(データ信号(SSTA))、シフト方向を上下反転制御する2つの反転端子(DIRA、DIRB、これらは、逆相の信号を印加する)の信号端子から構成される。また、電源端子としてL電源端子(VBB)と、H電源端子(Vd)などから構成される。

画素 1 6 を P チャンネルのトランジスタで構成することにより、P チャンネルトランジスタで形成したゲートドライバ回路 1 2 とのマッチングが良くなる。P チャンネルトランジスタ（図 1 の画素構成では、トランジスタ 1 1 b、1 1 c、トランジスタ 1 1 d）は L 電圧でオンする。一方、ゲートドライバ回路 1 2 も L 電圧が選択電圧である。P チャンネルのゲートドライバは図 7 3 の構成でもわかるが、L レベルを選択レベルとするとマッチングが良い。L レベルが長期間保持できないからである。一方、H 電圧は長時間保持することができる。

E L 素子 1 5 に電流を供給する駆動用トランジスタ（図 1 ではトランジスタ 1 1 a）を P チャンネルで構成することにより、E L 素子 1 5 のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位 V_{dd} から順方向に E L 素子 1 5 に電流を流すことができる。以上の事項から、画素 1 6 のトランジスタを P チャンネルとし、ゲートドライバ回路 1 2 のトランジスタも P チャンネルとすることがよい。以上のことから、本発明の画素 1 6 を構成するトランジスタ（駆動用トランジスタ、イッチング用トランジスタ）を P チャンネルで形成し、ゲートドライバ回路 1 2 のトランジスタを P チャンネルで構成するという事項は単なる設計事項ではない。

なお、レベルシフタ（L S）回路を、アレイ基板 7 1 に直接に形成してもよい。つまり、レベルシフタ（L S）回路を N チャンネルと P チャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、アレイ基板 7 1 に直接形成されたレベルシフタ回路で、P チャンネルトランジスタで形成されたゲートドライバ回路 1 2 のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路 1 2 に印加する。

なお、レベルシフタ回路を半導体チップで形成し、アレイ基板 7 1 に

COG実装などしてもよい。また、ソースドライバ回路14は、半導体チップで形成し、アレイ基板71にCOG実装する。ただし、ソースドライバ回路14を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いてアレイ基板71に直接に形成してもよい。

画素16を構成するトランジスタ11をPチャンネルで構成すると、プログラム電流は画素16からソース信号線18に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路484（図56、図57などを参照のこと）は、Nチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路14はプログラム電流 I_w を引き込むように回路構成する必要がある。

したがって、画素16の駆動用トランジスタ11a（図1の場合）がPチャンネルトランジスタの場合は、必ず、ソースドライバ回路14はプログラム電流 I_w を引き込むように、単位トランジスタ484をNチャンネルトランジスタで構成する。ソースドライバ回路14をアレイ基板71に形成するには、Nチャンネル用マスク（プロセス）とPチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素16とゲートドライバ回路12をPチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはNチャンネルで構成するのが本発明の表示パネル（表示装置）である。

したがって、画素16のトランジスタ11をPチャンネルトランジスタで形成し、ゲートドライバ回路12をPチャンネルトランジスタで形成する。このように画素16のトランジスタ11とゲートドライバ回路12の両方をPチャンネルトランジスタで形成することによりアレイ基板71を低コスト化できる。しかし、ソースドライバ回路14は、単位トランジスタ484をNチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路14はアレイ基板71に直接

形成することができない。そこで別途、シリコンチップなどでソースドライバ回路 14 を作製し、アレイ基板 71 に積載する。なお、ソースドライバ回路 14 はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、アレイ基板 71 に積載してもよい。なお、アレイ基板 71 にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路 14 の出力端子 681 をアレイ基板 71 のソース信号線 18 に接続するのであればいずれの形態でもよい。たとえば、TAB 技術でソースドライバ回路 14 をソース信号線 18 に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路 14 を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

また、画素 16 の選択トランジスタを P チャンネルで構成し、ゲートドライバ回路を P チャンネルトランジスタで構成するという構成は、有機 EL などの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、FED（フィールドエミッションディスプレイ）にも適用することができる。

反転端子（D I R A、D I R B）は各単位ゲート出力回路 711 に対し、共通の信号が印加される。なお、図 73 の等価回路図をみれば、理解できるが、反転端子（D I R A、D I R B）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（D I R A、D I R B）に印加している電圧の極性を反転させる。

なお、図 71 の回路構成は、クロック信号線数は 4 つである。4 つが本発明では最適な数であるが、本発明はこれに限定するものではない。4 つ以下でも 4 つ以上でもよい。

クロック信号（SCK0、SCK1、SCK2、SCK3）の入力は、隣接した単位ゲート出力回路711で異ならせている。たとえば、単位ゲート出力回路711aには、クロック端子のSCK0がOCに、SCK2がRSTに入力されている。この状態は、単位ゲート出力回路711cも同様である。単位ゲート出力回路711aに隣接した単位ゲート出力回路711b（次段の単位ゲート出力回路）は、クロック端子のSCK1がOCに、SCK3がRSTに入力されている。したがって、単位ゲート出力回路711に入力されるクロック端子は、SCK0がOCに、SCK2がRSTに入力され、次段は、クロック端子のSCK1がOCに、SCK3がRSTに入力され、さらに次段の単位ゲート出力回路711に入力されるクロック端子は、SCK0がOCに、SCK2がRSTに入力され、というように交互に異ならせている。

図73が単位ゲート出力回路711の回路構成である。構成するトランジスタはPチャンネルのみで構成している。図74が図73の回路構成を説明するためのタイミングチャートである。なお、図72は図73の複数段分におけるタイミングチャートを図示したものである。したがって、図73を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図73の等価回路図を参照しながら、図74のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

Pチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線17をHレベル（図73ではV_d電圧）に維持することは可能である。しかし、Lレベル（図73ではV_{BB}電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。

画素16のスイッチング用トランジスタ11b、11cがPチャネ

ルトランジスタで形成されていると、 V_{gh} で画素16が選択状態となる。 V_{gl} で画素16が非選択状態となる。以前にも説明したが、ゲート信号線17aがオン(V_{gl})からオフ(V_{gh})になる時に電圧が突き抜ける(突き抜け電圧)。画素16の駆動用トランジスタ11aがPチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ11aがより電流が流れなくなる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。しかし、ゲートドライバ回路12をPチャンネルトランジスタで構成することにより、オン電圧は V_{gh} となる。したがって、Pチャンネルトランジスタで形成された画素16とマッチングがよい。また、図1、図2、図32、図113、図116の画素16構成のように、アノード電圧 V_{dd} から駆動用トランジスタ11a、ソース信号線18を介してソースドライバ回路14の単位トランジスタ484にプログラム電流 I_w が流入するように構成することが重要である。したがって、ゲートドライバ回路12および画素16をPチャンネルトランジスタで構成し、ソースドライバ回路14を基板に積載し、かつソースドライバ回路14の単位トランジスタ484をNチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

なお、図42の(b)においても同様である。図42の(b)は駆動用トランジスタ11bを介してソースドライバ回路14の単位トランジスタ484に電流が流入するのではない。しかし、アノード電圧 V_{dd} からプログラム用トランジスタ11a、ソース信号線18を介してソースドライバ回路14の単位トランジスタ484にプログラム電流 I_w が流入するように構成である。したがって、図1と同様に、ゲートドライバ回路12および画素16をPチャンネルトランジスタで構成し、ソー

ストライバ回路 1 4 を基板に積載し、かつソースドライバ回路 1 4 の単位トランジスタ 4 8 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

I N 端子に入力された信号と、R S T 端子に入力された S C K クロックにより、n 1 が変化し、n 2 は n 1 の反転信号状態となる。n 2 の電位と n 4 の電位とは同一極性であるが、O C 端子に入力された S C K クロックにより n 4 の電位レベルはさらに低くなる。この低くなるレベルに対応して、Q 端子がその期間、L レベルに維持される（オン電圧がゲート信号線 1 7 から出力される）。S Q あるいは Q 端子に出力される信号は、次段の単位ゲート出力回路 7 1 1 に転送される。

図 7 1、図 7 3 の回路構成において、I N (I N A、I N B) 端子、クロック端子の印加信号のタイミングを制御することにより、図 7 5 の (a) に図示するように、1 ゲート信号線 1 7 を選択する状態と、図 7 5 の (b) に図示するように 2 ゲート信号線 1 7 を選択する状態とを同一の回路構成を用いて実現できる。

選択側のゲートドライバ回路 1 2 a において、図 7 5 の (a) の状態は、1 画素行 (5 1 a) を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は 1 行ずつシフトする。図 7 5 の (b) は、2 画素行を選択する構成である。この駆動方式は、図 2 7、図 2 8、図 2 9 で説明した複数画素行 (5 1 a、5 1 b) の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、1 画素行ずつシフトし、かつ隣接した 2 画素行が同時に選択される。特に、図 7 5 の (b) の駆動方法は、最終的な映像を保持する画素行 (5 1 a) に対し、画素行 5 1 b は予備充電される。そのため、画素 1 6 が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2 つの駆動方式を切り替えて実現できる。

なお、図 7 5 の (b) は隣接した画素 1 6 行を選択する方式であるが、図 7 6 に図示するように、隣接した以外の画素 1 6 行を選択してもよい (図 7 6 は、3 画素行離れた位置の画素行を選択している実施例である)。また、図 7 3 の構成では、4 画素行の組で制御される。4 画素行のうち、1 画素行を選択するか、連続した 2 画素行を選択するかの制御を実施できる。これは、使用するクロック (SCK) が 4 本によることの制約である。クロック (SCK) 8 本になれば、8 画素行の組で制御を実施できる。

選択側のゲートドライバ回路 1 2 a の動作は、図 7 5 の動作である。図 7 5 の (a) に図示するように、1 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。また、図 7 5 の (b) に図示するように、2 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。

以下、図面を参照しながら、電流駆動方式 (電流プログラム方式) による高画質表示方法について説明をする。電流プログラム方式は、画素 1 6 に電流信号を印加して、画素 1 6 に電流信号を保持させる。そして、EL 素子 1 5 に保持させた電流を印加するものである。

EL 素子 1 5 は印加した電流の大きさに比例して発光する。つまり、EL 素子 1 5 の発光輝度はプログラムする電流の値とリニアの関係がある。一方、電圧プログラム方式では、印加した電圧を画素 1 6 で電流に変換する。この電圧－電流変換は非線形である。非線形の変換は制御方法が複雑になる。

電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、6 4 階調表示であれば、映像データの 0 はプログラム電流 $I_w = 0 \mu A$ とし、映像データ 6 3 はプログラム電流 $I_w = 6.3 \mu A$ とする (比例の関係となる)。同様に、映像デー

タ 3 2 はプログラム電流 $I_w = 3.2 \mu A$ とし、映像データ 1 0 はプログラム電流 $I_w = 1.0 \mu A$ とする。つまり、映像データはそのまま、比例の関係でプログラム電流 I_w に変換される。

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図 4 8 に図示するように本発明は単位トランジスタ 4 8 4 の単位電流が、映像データの 1 に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流は R、G、B 回路ごとに設けられており、R G B 回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路 1 4、表示パネル構成の相乗効果である。

E L 表示パネルでは、プログラム電流と E L 素子 1 5 の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアに E L 素子 1 5 の発光輝度を調整できる。

駆動トランジスタ 1 1 a はゲート端子に印加した電圧と、駆動用トランジスタ 1 1 a が流す電流とは非線形である（2 乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。特に、図 1 の画素構成では、プログラム電流と E L 素子 1 5 に流れる電流が理論上は等しい。したがって、発光制御は極めてわかりやすく、制御が容易である。本発明の N 倍パルス駆動の場合も、プログラム電流を $1/N$ にして計算することにより発光輝度を把握できるから、発光制

御の容易という点で優れている。図 3 8 などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ 1 1 b とプログラム用トランジスタ 1 1 a とがことなり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図 1 の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。

E L 素子 1 5 は、投入電流量により発光輝度が比例して変化する。E L 素子 1 5 に印加する電圧（アノード電圧）は固定値である。したがって、E L 表示パネルの発光輝度は消費電力と比例の関係にある。

以上のことから、映像データとプログラム電流は比例し、プログラム電流と E L 素子 1 5 の発光輝度は比例し、E L 素子 1 5 の発光輝度と消費電力は比例する。したがって、映像データをロジック処理すれば、E L 表示パネルの消費電流（電力）、E L 表示パネルの発光輝度、E L 表示パネルの消費電力を制御できることになる。つまり、映像データをロジック処理（加算など）することにより、E L 表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。

特に本発明の E L 表示パネルは電流駆動方式である。かつ特徴ある構成のより画像表示制御が容易である。特徴ある画像表示制御方法は 2 つある。1 つは、基準電流の制御である。もう 1 つは d u t y 比制御である。この基準電流制御と d u t y 比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。

まず、基準電流制御は図 7 7 に図示するように、ソースドライバ回路（I C）1 4 は、各 R G B の基準電流を調整する回路を具備している。また、ソースドライバ回路 1 4 からのプログラム電流 I_w はいくつの単位トランジスタ 4 8 4 に流れているが出力されているかで決定される。

1つの単位トランジスタ484が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、1つの単位トランジスタ484が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ484の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスタ表示で各RGBの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。

なお、図77は、カレントミラーを多段接続した構成であるが、本発明はこれに限定するものではない。図166から図170などの1段構成のソースドライバ回路(IC)14であっても基準電流を容易に調整でき、全階調でホワイトバランスが維持されることは言うまでもない。また、基準電流の調整で、EL表示パネルの輝度を制御できることは言うまでもない。

図78はduty比制御方法である。図78の(a)は非表示領域52を連続して挿入する方法である。動画表示に適する。また、図78(a1)が最も画像が暗く、図78(a4)が最も明るい。ゲート信号線17bの制御で自由にduty比を変更できる。図78の(c)は非表示領域52を多数に分割して挿入する方法である。特に静止画表示に適する。また、図78(c1)が最も画像が暗く、図78(c4)が最も明るい。ゲート信号線17bの制御で自由にduty比を変更できる。また、図78の(b)は、図78の(a)と図78の(c)との中間状態である。図78の(b)も同様にゲート信号線17bの制御で自由にduty比を変更できる。

表示領域53の分散は、表示パネルの画素行数が220本で、 $1/4$ dutyであれば、 $220/4=55$ となるから、1から55(1の明るさからその55倍の明るさまで調整できる)。また、表示パネルの画素

行が220本で、 $1/2$ dutyであれば、 $220/2 = 110$ となるから、1から110（1の明るさからその110倍の明るさまで調整できる）。したがって、画面輝度50の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれに明るさであっても、表現できる階調数を維持できると特徴がある。たとえば、64階調表示であれば、白ラスタでの画面50輝度が300 ntであっても、3 ntであっても64階調表示を実現できる。

なお、以前にも説明したが、dutyは、ゲートドライバ回路12bへのスタートパルスを制御することにより容易に変更できる。したがって、 $1/2$ duty、 $1/4$ duty、 $3/4$ duty、 $3/8$ dutyと多種多様なdutyを容易に変更できる。

1水平走査期間（1H）単位のduty比駆動は、水平同期信号に同期させてゲート信号線17bのオンオフ信号を印加すればよい。さらに、1H単位以下でもduty比制御することができる。図145、図146の駆動方法である。1H期間以内において、OE V2制御を行うことにより、微小ステップの明るさ制御（duty比制御）が可能である（図109とその説明も参照のこと。また、図175とその説明を参照のこと）。

1H以内のduty比制御を行うのは、duty比が $1/4$ duty以下の場合に実施する。画素行数が220画素行であれば、 $55/220$ duty以下である。つまり、 $1/220$ から $55/220$ dutyの範囲で行う。1ステップの変化が変化前から変化後で $1/20$ （5%）以上変化する時に実施する。さらに好ましくは、 $1/50$ （2%）以下の変化でもOE V2制御を行い微小なduty比駆動制御を行うことが望ましい。つまり、ゲート信号線17bによるduty比制御では、変化前から変化後の明るさ変化が5%以上になる時は、OE V2による制

御を行うことにより変化量が5%以下になるように少しずつ変化させる。この変化には、図94で説明するWait機能を導入することが好ましい。

duty比が $1/4$ duty以下で1H以内のduty比制御を実施するのは、1ステップあたりの変化量が大きいためもあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が2乗特性に依存しているためと思われる。

図174は画面の変化に対する検出機能をグラフ化したものである。横軸は、画面の明るさ（nt）である。縦軸は許容変化（%）である。許容変化（%）は、任意dutyから次のdutyに変化したさせた明るさの変化割合（%）が、許容できるか限界点を記載したものである。ただし、許容変化（%）は、画像の内容（変化割合、シーンなど）により変動割合が大きい。また、個人的な動画検出能力などに依存しやすい。

図174でもわかるように、画面50の輝度が高い時には、duty変化に対する許容変化が大きい。また、画面50の輝度が暗い時もduty変化に対する許容変化が大きい傾向にある。しかし、中間調表示の場合は、許容変化の限界値（%）は小さい。画像が中間調であるため、微小な変化でも視覚的に認識されやすいためである。

一例をあげれば、パネルの画素行が200本であれば、 $50/200$ duty以下（ $1/200$ 以上 $50/200$ 以下）でOE V2制御を行って、1H以下の期間のduty比制御を行う。 $1/200$ dutyから $2/200$ dutyに変化すると $1/200$ dutyと $2/200$ dutyの差は、 $1/200$ であり、100%の変化となる。この変化は

フリッカとして完全に視覚的に認識されてしまう。したがって、OE V 2 制御（図 1 7 5 などを参照のこと）を行い、1 H（1 水平走査期間）以下の期間でE L 素子 1 5 への電流供給を制御する。なお、1 H 期間以下（1 H 期間以内）でd u t y 比制御するとしたが、これに限定するものではない、図 1 9 でもわかるように非表示領域 5 2 は連続している。つまり、1 0 . 5 H 期間というような制御も本発明の範疇である。つまり、本発明は1 H 期間に限定されず（小数点以下が発生する）、d u t y 比駆動を行うものである。

4 0 / 2 0 0 d u t y から 4 1 / 2 0 0 d u t y に変化すると、4 0 / 2 0 0 d u t y と 4 1 / 2 0 0 d u t y の差は、1 / 2 0 0 であり、 $(1 / 2 0 0) / (4 0 / 2 0 0)$ で 2 . 5 % の変化となる。この変化はフリッカとして視覚的に認識されるか否かは、画面輝度 5 0 に依存する可能性が高い。ただし、4 0 / 2 0 0 d u t y は中間調表示であるので、視覚的に敏感である。したがって、OE V 2 制御（図 1 7 5 などを参照のこと）を行い、1 H（1 水平走査期間）以下の期間でE L 素子 1 5 への電流供給を制御することが望ましい。

以上のように、本発明の駆動方法および表示装置は、画素 1 6 にE L 素子 1 5 に流す電流値を記憶できる構成（図 1 ではコンデンサ 1 9 が該当する）と、駆動用トランジスタ 1 1 a と発光素子（E L 素子 1 5 が例示される）との電流経路をオンオフできる構成（図 1、図 4 3、図 1 1 3、図 1 1 4、図 1 1 7 などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図 1 9 の表示状態が発生させる（画像の輝度によっては、画面 5 0 が表示領域 5 3（d u t y 1 / 1 になってもよい）駆動方法である。かつ、d u t y 比駆動（少なくとも画面 5 0 の一部が非表示領域 5 3 となる駆動方法または駆動状態）が所定の d u t y 比以下では、1 水平走査期間（1 H 期間）以内あるい

は1 H期間単位に限定されるEL素子15に流す電流を制御して、表示画面50の輝度制御を行うものである。この制御はOE V 2制御により実施する（OE V 2に関しては図175とその説明を参照のこと）。

1 H単位以外のd u t y比制御を行う所定d u t y比は、d u t y比が $1/4$ d u t y以下の場合に実施する。逆に所定d u t y比以上では、1 H単位でd u t y比制御を行う。もしくはOE V 2制御は実施しない。また、1 H期間以外のd u t y比制御は、1ステップの変化が変化前から変化後で $1/20$ （5%）以上変化する時に実施する。さらに好ましくは、 $1/50$ （2%）以下の変化でもOE V 2制御を行い微小なd u t y比駆動制御を行うことが望ましい。もしくは、白ラスターの最大輝度の $1/4$ 以下の輝度で実施する。

本発明のd u t y比制御駆動によれば、図79に図示するように、EL表示パネルの階調表現数が64階調であれば、表示画面50の表示輝度（n t）がいずれの輝度であっても、64階調表示が維持される。たとえば、画素行数が220本で、1画素行のみが表示領域53（表示状態）の時（d u t y比 $1/220$ ）であっても、64階調表示を実現できる。各画素行がソースドライバ回路14のプログラム電流I wにより順次画像が書き込まれ、ゲート信号線17bにより、この1画素行分が順次画像表示されるからである。

もちろん、220画素行のすべてが表示領域53（表示状態）の時（d u t y比 $220/220 = \text{d u t y比} 1/1$ ）であっても、64階調表示を実現できる。画素行にソースドライバ回路14のプログラム電流I wにより順次画像が書き込まれ、ゲート信号線17bによりすべての画素行が同時に画像表示されるからである。また、20画素行のみが表示領域53（表示状態）の時（d u t y $20/220 = \text{d u t y} 1/11$ ）であっても、64階調表示を実現できる。各画素行がソースドライバ回

路 14 のプログラム電流 I_w により順次画像が書き込まれ、ゲート信号線 17b により、この 20 画素行分が順次走査されて画像表示されるからである。

本発明の $duty$ 比制御駆動は、EL 素子 15 の点灯時間の制御であるから、 $duty$ 比に対する画面 50 の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図 77 のように RGB の基準電流を調整し、ホワイトバランスをとる。 $duty$ 比制御では、R、G、B を同時に明るさ制御するためにいずれの階調、画面 50 の明るさにおいてもホワイトバランスは維持される。

$duty$ 比制御は、表示画面 50 に対する表示領域 53 の面積を変化させることにより、画面 50 の輝度を変化するものであった。当然、表示面積 53 に比例して EL 表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面 50 の EL 素子 15 に流れる全消費電流を算出することができる。EL 素子 15 のアノード電圧 V_{dd} は直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図 77 の基準電流を電子ボリウムなどの調整回路で調整し、RGB の基準電流を抑制制御すればよい。

また、白ラスタ表示での所定輝度を設定し、この時を $duty$ 比最小になるように設定する。たとえば、 $duty$ 比 $1/8$ にする。自然画像は $duty$ 比を大きくする。最大の $duty$ は $1/1$ である。たとえば、画面 50 の $1/100$ しか画像が表示されない自然画像を $duty$ $1/1$ とする。 $duty$ 比 $1/1$ から $duty$ 比 $1/8$ は画面 50 の自然画像の表示状態で滑らかに変化させる。

以上のように一実施例として、白ラスター表示で（自然画像ではすべての画素が100%点灯している状態）でduty比1/8とし、画面50の1/100の画素が点灯している状態をduty比1/1とする。概略の消費電力は、画素数×点灯画素数の割合×duty比で算出できる。

説明を容易にするため、画素数を100とすると、白ラスター表示での消費電力は、 $100 \times 1 (100\%) \times \text{duty比} 1/8 = 80$ となる。一方、 $1/100$ が点灯している自然画像の消費電力は、 $100 \times (1/100) (1\%) \times \text{duty比} 1/1 = 1$ となる。duty比1/1～duty比1/8は画像の点灯画素数（実際には、点灯画素の総電流＝1フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかにduty比制御が実施される。

以上のように白ラスターで消費電力割合は80であり、 $1/100$ が点灯している自然画像の消費電力割合は、1になる。したがって、白ラスター表示での所定輝度を設定し、この時をduty比最小になるように設定すれば、最大電流を抑制することができる。

本発明は、1画面のプログラム電流の総和をSとし、duty比をDとし、 $S \times D$ で駆動制御を実施するものである。また、白ラスター表示でのプログラム電流の総和を S_w とし、最大のduty比を D_{max} （通常は、duty比1/1が最大である）とし、最小のduty比を D_{min} とし、また、任意の自然画像でのプログラム電流の総和を S_s とした時、 $S_w \times D_{min} \geq S_s \times D_{max}$ の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

なお、duty比の最大は1/1とする。最小はduty比1/16以上にすることが好ましい。つまり、duty比は1/8以上1/1以下にする。なお、1/1を必ず使用することには制約されないことは言

うまでもない。好ましくは、最小の $duty$ 比は $1/10$ 以上にする。 $duty$ 比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とはプログラム電流の総和と同義である。なお、1フレーム（1フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない、1フレーム（1フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、 $duty$ 比制御を行っても良い。

なお、以上の説明では $duty$ 比 D で制御するとして説明したが、 $duty$ 比は、所定期間（通常は1フィールドまたは1フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるEL素子15の点灯期間である。つまり、 $duty$ 比 $1/8$ とは、1フレームの $1/8$ の期間（ $1F/8$ ）の間、EL素子15が点灯していることを意味する。したがって、 $duty$ 比は、画素16が書き換えられる周期時間を T_f とし、画素の点灯期間 T_a とした時、 $duty$ 比 $= T_a / T_f$ と読み替えることができる。

なお、画素16が書き換えられる周期時間を T_f とし、 T_f を基準とするとしたがこれに限定されるものではない。本発明の $duty$ 比制御駆動は、1フレームあるいは1フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を1周期として $duty$ 比制御を実施してもよい（図104などを参照のこと）。したがって、

T_f は画素を書き換える周期だけに限定されるものではなく、1 フレームあるいは1 フィールド以上であってもよい。たとえば、1 フィールドあるいは1 フレームごとに点灯期間 T_a がことなる場合は、繰り返し周期（期間）を T_f とし、この期間の総点灯期間 T_a を採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間を T_a としてもよい。 $duty$ 比についても同様である。 $duty$ がフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均 $duty$ 比を算出して用いればよい。

したがって、白ラスタ表示でのプログラム電流の総和を S_w とし、任意の自然画像でのプログラム電流の総和を S_s とし、最小の点灯期間を T_{as} 、最大の点灯期間を T_{am} （通常は $T_{am} = T_f$ であるから $T_{am}/T_f = 1$ ）とした時、 $S_w \times (T_{as}/T_f) \geq S_s \times (T_{am}/T_f)$ の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

画面 50 の明るさを制御する方式として、図 77 などでも説明した構成もある。つまり、基準電流を調整することにより、単位トランジスタ 634 に流れる電流を変化させプログラム電流の大きさを調整することにより、画面輝度 50 を変化させる方式である。なお、基準電流の調整方式に関しては図 53 などでも説明している。

図 77 の 491R は赤（R）の基準電流を調整するポリウムである。ただし、ポリウムと表現しているのは説明を容易にするためであり、実際には電子ポリウムであり、外部から 6 ビットのデジタル信号により、64 段階で R 回路の基準電流 I_{aR} がリニアに調整できるように構成されている。基準電流 I_{aR} を調整することにより、トランジスタ 471R とカレントミラー回路を構成するトランジスタ 472a に流れる電流をリニアに変化させることができる。したがって、トランジスタ群 52

1 a のトランジスタ 4 7 2 a と電流受け渡しされたトランジスタ 4 7 2 b に流れる電流が変化し、トランジスタ 4 7 2 b とカレントミラー回路を構成するトランジスタ群 5 2 1 b のトランジスタ 4 7 3 a が変化し、トランジスタ 4 7 3 a と電流受け渡しされたトランジスタ 4 7 3 b が変化する。したがって、単位トランジスタ 4 8 4 の駆動電流（単位電流）が変化するから、プログラム電流を変化させることができる。なお、G の基準電流 I_{aG} 、B の基準電流 I_{aB} についても同様である。

図 7 7 は、親子孫の 3 段階のトランジスタ接続であるが、本発明はこれに限定するものではない。たとえば、図 1 6 6 から図 1 7 0 のように基準電流を発生する回路と単位トランジスタ 4 8 4 とが直結された 1 段構成であっても適用されることが言うまでもない。つまり、本発明は、1 つの基準電流あるいは基準電圧により、プログラム電流あるいはプログラム電圧を変更できる回路構成にあって、基準電流あるいは基準電圧によって画面 5 0 の明るさを変化させる方式である。

図 7 7 に図示するように、（電子）ボリウム 4 9 1 は、赤（R）、緑（G）、B（青）の回路にそれぞれ形成されている。したがって、ボリウム 4 9 1 R、4 9 1 G、4 9 1 B を調整することにより、それぞれに接続された単位トランジスタ 4 8 4 の電流を変化（制御あるいは調整）することができる。したがって、RGB の割合調整によりホワイト（W）調整を容易に行うことができる。もちろん、RGB の基準電流（トランジスタ 4 7 2 R、4 7 2 G、4 7 2 B に流れる電流）を出荷時にあらかじめ調整しておけば、RGB の電子ボリウム（4 9 1 R、4 9 1 G、4 9 1 B）を一括して変化できる電子ボリウムを別途設けることにより、ホワイト（W）バランス調整を行うこともできる。たとえば、図 1 6 9、図 1 7 0 において、抵抗 R 1 の値を、各 RGB 回路にホワイトバランスがとれるように調整する。この状態で、図 1 6 9、図 1 7 0 電子ボリウム 4 5

1のスイッチSをRGBで同一に切り替えればホワイトバランスを維持したまま、画面輝度を調整できる。

以上のように本発明の基準電流の駆動方法は、ホワイトバランスがとれるように、RGBの基準電流値を調整する。そして、この状態を中心として、RGBの基準電流を同一比率で調整するものである。同一比率で調整するため、ホワイトバランスが維持される。

以上のように電子ボリウム491の調整により、プログラム電流をリニアに変化することができる。なお、説明を容易にするため、図1に図示した画素構成を例として説明するが、本発明はこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。

図77に図示あるいは説明したように基準電流の制御により、プログラム電流をリニアに調整することができる。1つあたりの単位トランジスタ484の出力電流が変化するからである。単位トランジスタ484の出力電流を変化させるとプログラム電流 I_w も変化する。画素のコンデンサ19にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、EL素子15に流れる電流も大きくなる。EL素子15に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりEL素子15の発光輝度をリニアに変化させることができる。

なお、本発明は、図77で説明した基準電流制御方式と、図78で説明したduty比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、図77と図78の方式を組み合わせて実施することが好ましい。

以下、図77、図78で説明した方式を用いた駆動方法について、さらに詳しく説明をする。本発明の駆動方法は、EL表示パネルに消費される消費電流の上限にリミットすることが1つの目的である。EL表示

パネルはE L素子15に流れる電流を輝度が比例関係にある。したがって、E L素子15に流れる電流を増大させれば、E L表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流(=消費電力)も増大する。

携帯装置に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること(ピーク電流抑制)が本発明の1つの目的である。

また、画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の2つめの目的である。以上の2つの目的(あるいは一方)を実現する本発明をA I駆動と呼ぶことにする。

まず、説明を容易にするために、本発明のI Cチップ14は64階調表示であるとする。A I駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバ回路(I C)14は64階調表示とし、画像データは256階調とする。この画像データをE L表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力256階調を1024階調に拡大することによって実施する。ガンマ変換された画像データは、ソースの64階調に適合するように、誤差拡散処理あるいはフレームレートコントロール(F R C)処理が行われ、ソースドライバI C14に印加される。

F R Cはフィールドごとに画像表示を重ね合わせることにより高階調表示を実現するものである。誤差拡散処理は、一例として図99に図示するように画素Aの画像データを処理方向の右に7/16、左下に3/16、下に5/16、右下に1/16に分散させる方法である。分散

処理により高階調表示を実現できる。一種の面積階調である。

図示する容易性から図 8 0、図 8 1 では 6 4 階調表示を 5 1 2 階調に変換するとして説明をする。変換は、誤差拡散処理方式あるいはフレームレート制御（F R C）により行う。ただし、図 8 0 では階調変換を行っているというよりは、画像の明るさを変換したと解釈してもよい。

図 8 0 は、本発明の駆動方法による画像変換処理を説明するものである。図 8 0 は、横軸は、階調（番号）である。階調（番号）が大きいほど、画面 5 0 の輝度が明るいことを示している。逆に階調（番号）が小さいほど、画像が暗いことを示している。縦軸は、度数である。度数とは、画像を構成する画素の明るさのヒストグラムを示している。たとえば、図 8 0 の (a) の A 1 は画像の 2 4 階調レベルの輝度の画素が最も多いことを示す。

図 8 0 の (a) は画像の階調表現数を維持したまま、表示明るさを変化させた例である。A 1 を原画像とすると、原画像はおよそ 6 4 階調の表現範囲である。A 2 は階調表現数を維持したまま、明るさの中心を 2 5 6 階調に変換した例である。A 3 も同様に階調表現数を維持したまま、明るさの中心を 4 4 8 階調に変換した例である。このような変換は画像データに所定の大きさのデータを加算することにより変換することにより達成できる。

しかし、図 8 0 の (a) の階調変換は本発明の駆動方式では実現が困難である。本発明の駆動方式では、図 8 0 の (b) の階調変換を行う。

図 8 0 の (b) は、原画像の度数分布を拡大した例である。B 1 を原画像とすると、原画像はおよそ 6 4 階調の表現範囲である。B 2 は階調表現範囲を 2 5 6 階調まで拡大した例である。画面の輝度が明るくなり、階調表現範囲も拡大する。B 3 は、さらに階調表現範囲を 5 1 2 階調まで拡大した例である。画面表示輝度がさらに明るくなり、階調表現範囲

も拡大する。

図 80 の (b) の実現は、本発明の駆動方式で容易に実現できる。図 77 で説明した基準電流を変化させることにより実現できる。また、図 78 の duty 比を変更 (制御) することにより実現できる。もしくは、図 77 と図 78 の方式を組み合わせることにより実現できる。基準電流制御あるいは duty 比制御により、画像の明るさ制御は容易である。たとえば、duty 比が $1/4$ の時に図 80 の (b) の B2 の表示状態であれば、duty 比を $1/16$ にすれば、図 80 の (b) の B1 の表示状態となる。また、duty 比を $1/2$ にすれば、図 80 の (b) の B3 の表示状態となる。基準電流制御の場合も同様である。基準電流の大きさを、2 倍あるいは $1/4$ にすることにより図 80 の (b) の画像表示が可能である。

図 80 の (b) の横軸は階調数としている。本発明の駆動方法では階調数の増加ではない。本発明の駆動方法では、図 79 で説明したように表示輝度に変化しても階調数が維持されていることに特徴がある。つまり、図 80 の (b) では B1 の 64 階調数が、B2 では 256 階調に変換されたとしている。しかし、B2 の階調数は 64 階調である。1 つの階調範囲が、B1 に比較して 4 倍に拡大されている。B1 から B2 への変換は画像表示のダイナミック変換されたことにほかならない。したがって、高階調表示を実現したのを同等である。したがって、高画質表示を実現できる。

同様に、図 80 の (b) では B1 の 64 階調数が、B3 では 512 階調に変換されたとしている。しかし、B3 の階調数は 64 階調である。1 つの階調範囲が、B1 に比較して 8 倍に拡大されている。B1 から B3 への変換は画像表示のダイナミック変換されたことにほかならない。

図 80 の (a) では、画面 50 の輝度を向上させることができる。しか

し、画面50は全体が白っぽくなる（白浮き）。しかし、消費電流の増加は比較的少ない（といっても、画面輝度に比例して消費電流は増大する）。図80の（b）では、画面50の輝度を向上でき、階調の表示範囲も拡大しているため、画質劣化もない。しかし、消費電流の増加は大きい。

階調数と画面輝度を比例とし、原画像を64階調とすると、階調数の増加（ダイナミックレンジの拡大）＝輝度の増大となる。したがって、消費電力（消費電流）が増加する。この課題を解決するため、本発明は、図77の基準電流と調整（制御）する方式、図78のduty比を制御する方式のいずれか、もしくは両方を組み合わせる。

1画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスタは64階調表示の場合は画像データとしては63であるから、画面50の画素数×63が画像データの総和である。1/100の白ウインドウ表示で、白表示部が最大輝度の白表示では、画面50の画素数×（1/100）×63が画像データの総和である。

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、duty比制御あるいは基準電流制御を行う。

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの1フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをAD変換して画像データの総和としてもよい。この場合は、画像データはAPLレベルとも言うことができる。

また、画面50を構成する画像のすべてのデータを加算する必要はな

く、画面50の $1/W$ (W は1より大きい値)をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のAPLレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためAPLレベルと呼ぶ。

白ラスタの時にAPLレベルは画像がRGB各6ビットであるから63 (63階調目であるからデータの表現としては63で示されている) \times 画素数 (QCIFパネルの場合は $176 \times RGB \times 220$) となる。したがって、APLレベルは最大となる。ただし、RGBのEL素子15で消費する電流は異なるから、RGBで分離して画像データを算出することが好ましい。

この課題に対して、図84に図示する演算回路を使用する。図84において、841、842乗算器である。841は発光輝度を重み付けする乗算器である。R、G、Bでは視感度が異なる。NTSCでの視感度は、 $R : G : B = 3 : 6 : 1$ である。したがって、Rの乗算器841Rでは、R画像データ (R data) に対して3倍の乗算を行う。また、Gの乗算器841Gでは、G画像データ (G data) に対して6倍の乗算を行う。また、Bの乗算器841Bでは、B画像データ (B data) に対して1倍の乗算を行う。

EL素子15はRGBで発光効率が異なる。通常、Bの発光効率が最も悪い。次にGが悪い。Rが最も発光効率が良い。そこで、乗算器842で発光効率の重み付けを行う。Rの乗算器842Rでは、R画像データ (R data) に対してRの発光効率の乗算を行う。また、G

の乗算器 8 4 2 G では、G 画像データ (G d a t a) に対して G の発光効率の乗算を行う。また、B の乗算器 8 4 2 B では、B 画像データ (B d a t a) に対して B の発光効率の乗算を行う。

乗算器 8 4 1 および 8 4 2 の結果は、加算器 8 4 3 で加算され、総和回路 8 4 4 に蓄積される。この総和回路 8 7 の結果にもとづき、図 7 7 の d u t y 比制御、図 7 8 の基準電流制御を実施する。

図 8 4 のように制御すると、輝度信号 (Y 信号) に対する d u t y 比制御、基準電流制御を実施することができる。しかし、輝度信号 (Y 信号) を求めて、d u t y 制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示では E L パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー (B) の視感度が低いためである。そのため、輝度信号 (Y 信号) の総和 (A P L レベル) は小さく算出されるため、d u t y 制御が高 d u t y になる。したがって、フリッカの発生などが生じる。

この課題に対しては、乗算器 8 4 1 をスルーにして用いるとよい。消費電流に対する総和 (A P L レベル) が求められるからである。輝度信号 (Y 信号) による総和 (A P L レベル) と消費電流による総和 (A P L レベル) は、両方を求めて加味して総合 A P L レベルを求めることが望ましい。総合 A P L レベルにより d u t y 比制御、基準電流制御を実施する。

黒ラスタは 6 4 階調表示の場合は 0 階調目であるから、A P L レベルは 0 で最小値となる。図 8 0 の駆動方式では、消費電力 (消費電流) は画像データに比例する。なお、画像データは、画面 5 0 を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が 6 ビットで表現される場合、上位ビット (M S B) のみをカウントしてもよい。この場合は、階調数が 3 2 以上で、1 カウントされる。したがって、画

面 5 0 を構成する画像データにより A P L レベルは変化する。

本発明では、得られた A P L レベルの大きさにより、図 7 8 の基準電流制御あるいは図 7 7 の d u t y 比制御を実施する。

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

E L パネルで最大に流せる電流を 1 0 0 (m A) とする。白ラスタ表示ととき、総和 (A P L レベル) は 2 0 0 (単位なし) になるとする。この A P L レベルが 2 0 0 の時、そのままパネルに印加すると E L パネルに 2 0 0 (m A) が流れるとする。なお、A P L レベルが 0 の時、E L パネルに流れる電流は 0 (m A) である。また、A P L レベルが 1 0 0 の時、d u t y 比は $1/2$ で駆動するものとする。

したがって、A P L が 1 0 0 以上の場合は、制限である 1 0 0 (m A) 以下となるようにする必要がある。最も簡単には、A P L レベルが 2 0 0 の時、d u t y を $(1/2) \times (1/2) = 1/4$ にし、A P L レベルが 1 0 0 の時、d u t y を $1/2$ とする。A P L レベルが 1 0 0 以上 2 0 0 以下の時は、d u t y が $1/4 \sim 1/2$ の間をとるように制御する。d u t y 比 $1/4 \sim 1/2$ は、E L 選択側のゲートドライバ回路 1 2 b が、同時に選択するゲート信号線 1 7 b の本数を制御することにより実現できる。

ただし、A P L レベルのみを考慮し、d u t y 比制御を実施すれば、画像に応じて画面 5 0 の平均輝度 (A P L) に応じて画面 5 0 の輝度が変化し、フリッカが発生する。この課題に対して、もとめる A P L レベルは、少なくとも 2 フレーム、このましくは、1 0 フレームさらに好ましくは 6 0 フレーム以上の期間保持し、この期間で演算して、A P L レベルにより d u t y 比制御による d u t y 比を算出する。また、画面 5

0の最大輝度(MAX)、最小輝度(MIN)、輝度の分布状態(SGM)などの画像の特徴抽出を行ってduty比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。

また、画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度(MAX)、最小輝度(MIN)、輝度の分布状態(SGM)を考慮して行うとよい。たとえば、図81の(a)では、画像の中心データKbは256階調付近に分布し、高輝度部Kcは、320階調付近に分布している。また、低輝度部Kaは、128階調付近に分布している。

図81の(b)は図81の(a)の画像に対して黒伸張および白伸張を実施した例である。ただし、黒伸張と白伸張を同時に行う必要はなく、一方だけを実施してもよい。また、画像の中心部分(図81の(a)のKb)も低階調部あるいは高階調部に移動させてもよい。これらの適切な移動情報は、APLレベル、最大輝度(MAX)、最小輝度(MIN)、輝度の分布状態(SGM)からもとめることができる。ただし、経験的な事項の場合もある。人間の視感度が影響するからである。したがって、画像評価と実験とを繰り返して検討する必要がある。しかし、黒伸張あるいは白伸張などの画像処理は、ガンマカーブを演算であるいはルックアップテーブルからもとめることをできるから容易に実現できる。図81の(b)のように処理をすることにより、画像にめりはりがつき、良好な画像表示を実現できる。

なお、duty比制御により、画面50の明るさを変化させるのは、図82のように行う。図82の(a)は表示領域53を連続して変化させる駆動方法である。図82(a1)の画面50輝度よりは図82(a2)の画面50輝度が明るい。最も明るいのは図82(an)の状態である。図82の(a)のduty比制御による駆動は動画表示に適する。

図 8 2 の (b) は表示領域 5 3 を分割して変化させる駆動方法である。図 8 2 (b 1) は一例として画面 5 0 の 2 箇所に表示領域 5 3 を発生させている。図 8 2 (b 2) も図 8 2 (b 1) と同様に画面 5 0 の 2 箇所に表示領域 5 3 を発生させているが、2 箇所のうち 1 箇所に表示領域 5 3 の画素行が増加している (一方は 1 画素行が表示領域 5 3、他方は 2 画素行が表示領域 5 3 である)。図 8 2 (b 3) も図 8 2 (b 2) と同様に画面 5 0 の 2 箇所に表示領域 5 3 を発生させているが、2 箇所のうち 1 箇所に表示領域 5 3 の画素行が増加している (両方とも 2 画素行が表示領域 5 3 である)。以上のように表示領域 5 3 を分散させて *duty* 比制御を行っても良い。一般的に図 8 2 の (b) は静止画表示に適する。

図 8 2 の (b) は表示領域 5 3 の分散を 2 分散としている。しかし、これは作図を容易にするためである。実際には、表示領域 5 3 の分散は 3 分散以上にする。

図 8 3 は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図 8 3 では、外部から Y/U V 映像信号と、コンポジット (COMP) 映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路 8 3 1 により選択される。

スイッチ回路 8 3 1 で選択された映像信号は、デコーダおよび A/D 回路によりデコードおよび A/D 変換され、デジタルの RGB 画像データに変換される。RGB 画像データは各 8 ビットである。また、RGB 画像データはガンマ回路 8 3 4 でガンマ処理される。同時に輝度 (Y) 信号が求められる。ガンマ処理により、RGB 画像データは各 10 ビットの画像データに変換される。

ガンマ処理後、画像データは FRC 処理または誤差拡散処理が処理回路 8 3 5 で行われる。FRC 処理または誤差拡散処理により RGB 画像

データは6ビットに変換される。この画像データはA I 処理回路 8 3 6 でA I 処理あるいはピーク電流処理が実施される。また、動画検出回路 8 3 7 で動画検出が行われる。同時に、カラーマネージメント回路 8 3 8 でカラーマネージメント処理が行われる。

A I 処理回路 8 3 6、動画検出回路 8 3 7、カラーマネージメント回路 8 3 8 の処理結果は演算回路 8 3 9 に送られ、演算処理回路 8 3 9 で制御演算、d u t y 比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路 1 4 およびゲートドライバ回路 1 2 に制御データとして送出される。

d u t y 比制御データはゲートドライバ回路 1 2 b に送られ、d u t y 比制御が実施される。一方、基準電流制御データはソースドライバ回路 1 4 に送られ、基準電流制御が実施される。ガンマ補正され、F R C または誤差拡散処理された画像データもソースドライバ回路 1 4 に送られる。

図 8 1 の (b) の画像データ変換は、ガンマ回路 8 3 4 のガンマ処理により行う必要がある。ガンマ回路 8 3 4 は、多点折れガンマカーブにより階調変換を行う。2 5 6 階調の画像データは、多点折れガンマカーブにより 1 0 2 4 階調に変換される。

ガンマ回路 8 3 4 により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図 8 5 に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロール I C を低コスト化できる。

図 8 5 において、a は 3 2 階調目での折れ線ガンマ変換である。b は 6 4 階調目での折れ線ガンマ変換である。c は 9 6 階調目での折れ線ガンマ変換である。d は 1 2 8 階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするた

め、図 8 5 の d のガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図 8 5 の a のガンマカーブを選択する。画像データの分布が分散している場合は、図 8 5 の b、c などのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。

ガンマカーブの選択は、A P L レベル、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M) を加味して行う。また、d u t y 比制御、基準電流制御も加味して行う。

図 8 6 は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図 8 5 の n のガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図 8 5 の a のガンマカーブを選択する。画像データの分布が分散している場合は、図 8 5 の b から n - 1 のガンマカーブを選択する。ガンマカーブの選択は、A P L レベル、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M) を加味して行う。また、d u t y 比制御、基準電流制御も加味して行う。

表示パネル（表示装置）が使用する環境に合わせて選択するガンマカーブを変化することも有効である。特に E L 表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。E L 表示パネルは自発光のためである。そこで、図 8 7 に図示するように、ガンマカーブを変化させてもよい。ガンマカーブ a は屋内用のガンマカーブである。ガンマカーブ b は屋外用のガンマカーブである。ガンマカーブ a と b との切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えると

したが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光があかるいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブbを選択することが有効である。

屋外では、図88のようにガンマカーブを発生させることも有効である。ガンマカーブaは128階調目までは出力階調は0にする。128階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図88のガンマカーブbのようにガンマ変換を行っても良い。図88のガンマカーブは128階調目までは出力階調を0にする。128以上は出力階調を512以上とする。図88のガンマカーブbでは高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示が見えやすくする効果がある。

本発明の駆動方式では、duty比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明のduty比駆動のように画面50に非表示領域52を発生させても、黒表示における透過率は一定である。逆に非表示領域52を発生させることにより、1フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

EL表示パネルは、黒表示は、EL素子15に流れる電流が0の状態である。したがって、本発明のduty比駆動のように画面50に非表示領域52を発生させても、黒表示の輝度は0である。非表示領域52の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が0であるから、コントラストは無限大である。したがって、duty比

駆動は、EL表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は0である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

duty比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、duty比制御により画面50の輝度変化は10倍近く変化させることができる。また、変化はduty比に線形の関係になるから制御も容易である。しかし、duty比制御は、N倍パルス駆動であるから、EL素子15に流れる電流の大きさが大きく、また、画面50の輝度にかかわらず、常時EL素子に流れる電流の大きさが大きくなり、EL素子15が劣化しやすいという課題がある。

基準電流制御は、画面輝度50を高くするときに、基準電流量を大きくするものである。したがって、画面50が高いときにしか、EL素子15に流れる電流は大きくならない。そのため、EL素子15が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

本発明では、基準電流制御とduty比制御の両方を用いる。画面50が白ラスタ表示に近い時には、基準電流は一定値に固定し、duty比のみを制御して表示輝度などを変化させる。画面50に黒ラスタ表示に近い時は、duty比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。

duty比制御は、データと／最大値が $1/10$ 以上 $1/1$ の範囲で実施する。さらに好ましくは、データと／最大値が $1/100$ 以上 $1/1$ の範囲で実施する。また、基準電流の倍率変化（単位トランジスタ484の出力電流変化）は、データと／最大値が $1/10$ 以上 $1/100$

0の範囲で実施する。さらに好ましくはデータ和／最大値が $1/100$ 以上 $1/2000$ の範囲で実施する。基準電流制御とduty比制御はオーバーラップしないようにすることが好ましい。図89ではデータ和／最大値が $1/100$ 以下では基準電流の倍率を変化させており、 $1/100$ 以上でduty比を変化させている。したがって、オーバーラップはしていない。

ここでは説明を容易にするため、duty比の最大はduty比 $1/1$ とし、最小はduty比 $1/8$ とする。基準電流は、1倍から3倍に変化させるとする。また、データ和は画面50のデータの総和を意味し、(データ和の)最大値は、最大輝度での白ラスタ表示での画像データの総和であるとする。なお、duty比 $1/1$ まで使用する必要がないことは言うまでもない。duty比 $1/1$ は最大値として記載している。本発明の駆動方法では、最大のduty比を $210/220$ などと設定してもよいことは言うまでもない。なお、220はQCIF+の表示パネルの画素行数を例示している。

なお、duty比の最大はduty比 $1/1$ とし、最小はduty比 $1/16$ 以内にすることが好ましい。さらに好ましくは、duty比 $1/10$ 以内にするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、4倍以内にすることが好ましい。さらに好ましくは2.5倍以内にするとよい。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

データ和／(データ和の)最大値 $=1/100$ とは、一例として $1/100$ の白ウインドウ表示である。自然画像では、画像表示する画素のデータ和が、白ラスタ表示の $1/100$ に換算できる状態を意味する。したがって、100画素あたりに1点の白輝点表示もデータ和／最大値

が $1/100$ である。

以下の説明では最大値とは白ラスタの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはA P L 処理などで発生する最大値である。したがって、データ¹和／最大値とは、処理を行う画面の画像データの最大値に対する割合である。

なお、データ¹和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラ I C のハード規模も小さくできる。また、d u t y 比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

図 8 9 は本発明の基準電流制御と d u t y 比制御を実施した例である。図 8 9 ではデータ¹和／最大値が $1/100$ 以下では基準電流の倍率を 3 倍まで変化させている。 $1/100$ 以上で d u t y 比を $1/1$ から $1/8$ まで変化させている。したがって、データ¹和／最大値が $1/1$ から $1/10000$ までで、d u t y 比制御で 8 倍、基準電流制御で 3 倍であるから、 $8 \times 3 = 24$ 倍の変化が実施されている。基準電流制御および d u t y 比制御はともに画面輝度を変化させるから、24 倍のダイナミックレンジが実現されていることになる。

データ¹和／最大値が $1/1$ では d u t y 比が $1/8$ である。したがって、表示輝度は最大値の $1/8$ になっている。データ¹和／最大値が 1 であるから、白ラスタ表示である。つまり、白ラスタ表示では表示輝度が最大の $1/8$ に低下している。画面 5 0 の $1/8$ が画像表示領域 5 3 であり、非表示領域 5 2 が $7/8$ を占めている。データ¹和／最大値が $1/1$ に近い画像は、ほとんどの画素 1 6 が高階調表示である。ヒスト

グラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図 8 6 などのガンマカーブの n または n に近いものが選択される。

データ和／最大値が $1/100$ では、 $duty$ 比は $1/1$ である。画面 5 0 の全体が表示領域 5 3 である。したがって、 N 倍パルス駆動は実施されていない。EL 素子 1 5 の発光輝度がそのまま画面 5 0 の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、データ和／最大値が $1/100$ の画像表示とは、真っ暗な夜空に月がでている画像である。この画像で $duty$ 比を $1/1$ にするということは、月の部分は、白ラスターの輝度の 8 倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは $1/100$ の領域であるから、 $1/100$ の領域の輝度を 8 倍にしたとしても消費電力の増加はわずかである。

データ和／最大値が $1/100$ に近い画像は、ほとんどの画素 1 6 が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図 8 6 などのガンマカーブの b または b に近いものが選択される。

以上のように本発明の駆動方法は、 $duty$ 比が大きくなるにしたがって、ガンマの x 乗数を大きくする駆動方法である。 $duty$ 比が小さくなるにしたがって、ガンマの x 乗数を小さくする駆動方法である。

図 8 9 ではデータ和／最大値が $1/100$ 以下では基準電流の倍率を 3 倍まで変化させている。データ和／最大値が $1/100$ では $duty$ 比が $1/1$ として、 $duty$ 比により画面輝度を高くしている。デー

タ和／最大値が $1/100$ よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素 16 はより高輝度で発光する。たとえば、データと／最大値が $1/1000$ とは、メージで表現すれば、真っ暗な夜空に星がでている画像である。この画像で duty 比を $1/1$ にするということは、星の部分は、白ラスターの輝度の $8 \times 2 = 16$ 倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは $1/1000$ の領域であるから、 $1/1000$ の領域の輝度を 16 倍にしたとしても消費電力の増加はわずかである。

基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイトバランスずれは認識されない。以上のことから、データと／最大値が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

データと／最大値が $1/1000$ では、duty 比は $1/1$ である。画面 50 の全体が表示領域 53 である。したがって、N 倍パルス駆動は実施されていない。EL 素子 15 の発光輝度がそのまま画面 50 の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。

データと／最大値が $1/1000$ に近い画像は、ほとんどの画素 16 が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図 86 などのガンマカーブの b または b に近いものが選択される。

以上のように本発明の駆動方法は、基準電流が小さくなるにしたがって、ガンマの x 乗数を大きくする駆動方法である。また、基準電流が大

きくなるにしたがって、ガンマの x 乗数を小さくする駆動方法である。

図 89 では、基準電流の変化および $duty$ 比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。図 90 に図示するように基準電流の倍率制御、 $duty$ 比制御を曲線的にしてもよい。図 89、図 90 では、横軸のデータ値と／最大値が対数であるから、基準電流制御および $duty$ 比制御の線が曲線になるのは自然である。データ値と／最大値と基準電流倍率の関係、データ値と／最大値と $duty$ 比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

図 89、図 90 は、RGB の $duty$ 比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図 91 に図示するように、RGB で基準電流倍率の傾きを変化させてもよい。図 91 では、青 (B) の基準電流倍率の変化の傾きを最も大きくし、緑 (G) の基準電流倍率の変化の傾きを次に大きくし、赤 (R) の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、EL 素子 15 に流れる電流も大きくなる。EL 素子は RGB で発光効率が異なる。また、EL 素子 15 に流れる電流が大きくなると印加電流に対する発光効率が悪くなる。特に、B ではその傾向が顕著である。そのため、RGB で基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図 91 のように、基準電流倍率を大きくした時 (各 RGB の EL 素子 15 に流す電流が大きい領域) では、ホワイトバランスを維持できるように RGB の基準電流倍率を異ならせることが有効である。データ値と／最大値と基準電流倍率の関係、データ値と／最大値と $duty$ 比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

図 91 は基準電流倍率を RGB で異ならせた実施例であった。図 92

は duty 比制御も異ならせている。データと／最大値を $1/100$ 以上で B と G で同一にし、R の傾きを小さくしている。また、G と R は $1/100$ 以下で duty 比 $1/1$ であるが、B は $1/100$ 以下で duty 比 $1/2$ としている。以上のような駆動方法は、図 125 から図 131 で説明した駆動方法により実施することができる。以上のように駆動すれば、RGB のホワイトバランス調整を最適にすることができる。データと／最大値と基準電流倍率の関係、データと／最大値と duty 比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

図 89 から図 91 は、一例としてデータと／最大値を $1/100$ を境に基準電流倍率と duty 比を変化させる方法であった。データと／最大値を一定の値を境で、基準電流倍率と duty 比を変化させ、基準電流倍率を変化させる領域と duty 比を変化させる領域を重ならないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、データと／最大値が $1/100$ 以上 duty 比を変化させ、データと／最大値が $1/100$ 以下で基準電流を変化させている。基準電流倍率を変化させる領域と duty 比を変化させる領域を重ならないようにしている。この方法は、本発明の特徴ある方法である。

なお、データと／最大値が $1/100$ 以上で duty 比を変化させ、データと／最大値が $1/100$ 以下で基準電流を変化させたとしたが、逆の関係でもよい。つまり、データと／最大値が $1/100$ 以下で duty 比を変化させ、データと／最大値が $1/100$ 以上で基準電流を変化させてもよい。また、データと／最大値が $1/10$ 以上で duty 比を変化させ、データと／最大値が $1/100$ 以下で基準電流を変化させ、

データと／最大値が $1/100$ 以上 $1/10$ 以下では、基準電流倍率および $duty$ 比を一定値としてもよい。

場合によっては、本発明は以上の方法に限定されない。図 93 に図示するようにデータと／最大値が $1/100$ 以上で $duty$ 比を変化させ、データと／最大値が $1/10$ 以下で B の基準電流を変化させてもよい。B の基準電流変化と RGB の $duty$ 比とを変化をオーバーラップさせている。

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じて $duty$ 比を変化させるとのフリッカが発生する。したがって、ある $duty$ 比から他の $duty$ 比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を 1 sec とすると、 1 sec 期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前の $duty$ 比が維持される。つまり、 $duty$ 比は変化しない。

このヒステリシス（時間遅延）時間を $Wait$ 時間と呼ぶ。また、変化前の $duty$ 比を変化前 $duty$ 比と呼び、変化後の $duty$ 比を変化後 $duty$ 比と呼ぶ。

変化前 $duty$ 比が小さい状態から、他の $duty$ 比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前 $duty$ 比が小さい状態は、画面 50 のデータとが小さい状態あるいは画面 50 に黒表示部が多い状態である。したがって、画面 50 が中間調の表示で視感度が高いためと思われる。また、 $duty$ 比が小さい領域では、変化 $duty$ との差が大きくなる傾向があるからである。もちろん、 $duty$ 比の差が大きくなる時は、OE V2 端子を用いて制御する。しかし、OE V2 制御にも限界がある。以上のことから、変化前 $duty$ 比が小さい時は、 $wait$ 時間を長くする必要がある。

変化前 $duty$ 比が大きい状態から、他の $duty$ 比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前 $duty$ 比が大きい状態は、画面 50 のデータ和が大きい状態あるいは画面 50 に白表示部が多い状態である。したがって、画面 50 全体が白表示で視感度が低いと思われる。以上のことから、変化前 $duty$ 比が大きい時は、 $wait$ 時間は短くてよい。

以上の関係を図 94 に図示する。横軸は変化前 $duty$ 比である。縦軸は $Wait$ 時間 (秒) である。 $duty$ 比が $1/16$ 以下では、 $Wait$ 時間を 3 秒 (sec) と長くしている。 $duty$ 比が $1/16$ 以上 $duty$ 比 $8/16 (=1/2)$ では、 $duty$ 比に応じて $Wait$ 時間を 3 秒から 2 秒に変化させる。 $duty$ 比 $8/16$ 以上 $duty$ 比 $16/16 = 1/1$ では、 $duty$ 比に応じて 2 秒から 0 秒に変化させる。

以上のように、本発明の $duty$ 比制御は $duty$ 比に応じて $Wait$ 時間を変化させる。 $duty$ 比が小さい時は $Wait$ 時間を長くし、 $duty$ 比が大きい時は $Wait$ 時間を短くする。つまり、少なくとも $duty$ 比を可変する駆動方法にあつて、第 1 の変化前の $duty$ 比が第 2 の変化前の $duty$ 比よりも小さく、第 1 の変化前 $duty$ 比の $Wait$ 時間が、第 2 の変化前 $duty$ 比の $Wait$ 時間よりも長く設定することを特徴とするものである。

なお、以上の実施例では、変化前 $duty$ 比を基準にして $Wait$ 時間を制御あるいは規定するとした。しかし、変化前 $duty$ 比と変化後 $duty$ 比との差はわずかである。したがって、前述の実施例において変化前 $duty$ 比を変化後 $duty$ 比と読み替えても良い。

また、以上の実施例において、変化前 $duty$ 比と変化後 $duty$ 比を基準にして説明した。変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $Wait$ 時間を長く取る必要があることはいうまでもない。

また、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることが良好であることは言うまでもない。

本発明の $duty$ 比制御方法は、変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $Wait$ 時間を長くとる駆動方法である。つまり、 $duty$ 比の差に応じて $Wait$ 時間を変化させる駆動方法である。また、 $duty$ 比の差が大きい時に $Wait$ 時間を長くとる駆動方法である。

また、本発明の $duty$ 比の方法は、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることを特徴とする駆動方法である。

図94の実施例では、 $duty$ 比に対する $Wait$ 時間を、R（赤）G（緑）B（青）で同一にするとして説明した。しかし、本発明は、図95に図示するようにRGBで $Wait$ 時間を変化させてもよいことは言うまでもない。RGBで視感度が異なるからである。視感度にあわせて $Wait$ 時間を設定することにより、より良好な画像表示を実現できる。

以上の実施例は、 $duty$ 比制御に関する実施例であった。基準電流制御についても $Wait$ 時間を設定することが好ましい。図96はその実施例である。

基準電流が小さい時は画面50が暗く、基準電流が大きい時は画面50が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、 $Wait$ 時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、 $Wait$ 時間が短くても良い。したがって、図96に図示するように、基準電流倍率に対す

るWait時間を設定すればよい。

本発明は、データ和あるいはAPLを算出（検出）し、この値のよりduty比制御、基準電流制御を行うものである。図98はこのduty比と基準電流倍率を求めるフローチャートである。

図98に図示するように、入力された画像データは、概略のAPLが算出される（仮APLが算出される）。このAPLから基準電流の値、基準電流倍率が決定される。決定された基準電流、基準電流倍率は、電子ボリウムデータに変換されソースドライバ回路14に印加される。

一方、画像データはガンマ処理回路に入力され、ガンマ特性が決定される。ガンマ特性の処理した画像データからAPLが算出される。算出されたAPLよりduty比を決定する。次に、画像が動画か静止画により、dutyパターンが決定される。dutyパターンとは、非表示領域52と表示領域53との分布状態である。動画の場合は、非表示領域52を一括に挿入する。静止画の場合は、非表示領域52を分散させて挿入にする。したがって、静止画の場合は、非表示領域52と表示領域非表示領域52を分散させて挿入するdutyパターンに変換する。動画の場合は、非表示領域52を一括で挿入するdutyパターンに変換する。変換されたパターンは、ゲートドライバ回路12bのスタートパルスST（図6を参照のこと）として印加される。

図94、図95では、duty比に応じてWait時間を制御することを説明し、また、図89から図93において、データ和に応じてduty比制御を行うことを説明した。図103はさらにduty比制御およびWait時間を行うための詳細な説明図である。ただし、説明を容易にするため、時間的ファクタなどを縮小して表現している。

図103において、最上段はフレーム（フィールド）番号を示している。2段目はAPLレベル（データ和が該当）を示している。3段目は

A P L レベルから算出された対応 d u t y 比を示している。最下段は、W a i t 時間を考慮し補正して結果の d u t y 比（処理 d u t y 比）を示している。つまり、各フレームの A P L レベルにより対応 d u t y 比（3 段目）は $8/64 \rightarrow 9/64 \rightarrow 9/64 \rightarrow 10/64 \rightarrow 9/64 \rightarrow 10/64 \rightarrow 11/64 \rightarrow 11/64 \rightarrow 12/64 \rightarrow 14/64 \rightarrow \dots$ と変化する。

対応 d u t y 比に対して、処理 d u t y 比は W a i t 時間を考慮して、 $8/64 \rightarrow 8/64 \rightarrow 9/64 \rightarrow 9/64 \rightarrow 9/64 \rightarrow 10/64 \rightarrow 10/64 \rightarrow 11/64 \rightarrow 12/64 \rightarrow 12/64 \rightarrow \dots$ と変化する。

図 1 0 3 では、W a i t 時間により対応 d u t y 比を補正している。また、処理 d u t y 比は分子が整数にしている（図 1 0 7 は分子には小数点があることと比較のこと）。図 1 0 3 では、d u t y 比の変化が滑らかにし、フリッカが発生しにくいように駆動している。図 1 0 3 において、フレーム 3、4、5 で対応 d u t y 比が $9/64$ 、 $10/64$ 、 $9/64$ に変化しているが、W a i t 時間制御を実施し、処理 d u t y 比は、 $9/64$ 、 $9/64$ 、 $9/64$ に変化させている（フレーム 4 において点線で補正箇所を記載している）。また、図 1 0 3 において、フレーム 9、10、11 で対応 d u t y 比が $12/64$ 、 $14/64$ 、 $11/64$ に変化しているが、W a i t 時間制御を実施し、処理 d u t y 比は、 $12/64$ 、 $12/64$ 、 $11/64$ に変化させている（フレーム 10 において点線で補正箇所を記載している）。以上のように W a i t 時間制御を行うことにより、d u t y 比制御にヒステリシス（時間遅延あるいはローパスフィルタ）を持たせることにより、A P L レベルが急激に変化しても d u t y 比が変化しないようにしている。

以上のような、d u t y 比制御は、1 フレームあるいは 1 フィールド

で完結する必要はない。数フィールド（数フレーム）の期間で $duty$ 比制御を行っても良い。この場合の $duty$ 比は数フィールド（数フレーム）の平均値を $duty$ 比とする。なお、数フィールド（数フレーム）で $duty$ 比制御を行う場合であっても、数フィールド（数フレーム）期間は、6 フィールド（6 フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、2.5 フレーム（2.5 フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。

図104は数フィールド（数フレーム）で $duty$ 比制御を行う場合の実施例である。図104は数フィールド（数フレーム）を行う場合の概念を図示している。Mは $duty$ 比制御を行う長さである。1フィールド（1フレーム）が画素行数256であれば、 $M=1024$ は4フィールド（4フレーム）が該当する。つまり、図104は4フィールド（4フレーム）で $duty$ 比制御を行う実施例である。

Mは仮想的ゲートドライバ回路12bのシフトレジスタ61bの保持データ列をしめしている（図6を参照のこと）。保持データ列には、ゲート信号線17bに印加する電圧をオフ電圧にするかオン電圧にするかのデータ（オンオフ電圧）が保持されている。この保持データ列の平均値が $duty$ 比を示すことになる。なお、図104において、 $M=N$ であっても良いことは言うまでもない。また、場合によっては、 $M < N$ の関係で $duty$ 比制御を行っても良いことは言うまでもない。

たとえば、 $M=1024$ の保持データ列において、オン電圧データが256あり、オフ電圧が768であれば、 $duty$ 比は $256 / 1024 = 1 / 4$ となる。なお、オン電圧データの分布状態は表示画像が動画の場合は、固まって保持されており、表示画像が静止画の場合は、オン

電圧の分布状態は分散して保持されている。

つまり、仮想的にオンオフ電圧データ列がE L表示パネルのゲート信号線17bに順次印加される。オンオフ電圧が順次印加されることによりE L表示パネルがd u t y比制御され、所定の明るさで報じされる。

図105は図104のd u t y比制御を実現するための回路構成のブロック図である。まず、映像信号（画像データ）はY変換回路1051により、輝度信号に変換される。次に、A P L演算回路1052により、A P Lレベル（データ和あるいはデータ和／最大値）が求められる。このA P Lレベルによりd u t y比がフィールド（フレーム）単位で算出され、結果はスタック1053に蓄えられる。スタック回路1053はf i r s t i n f i r s t o u t構成である。なお、W a i t時間制御によりd u t y比は補正されてスタック回路1053に格納される。スタック1053に格納されたd u t y比データは、パラレル／シリアル変換（P／S）回路1054により、シフトレジスタ61bのS Tパルス（図6を参照のこと）として印加され、印加されたデータの順番に応じてゲートドライバ回路12bからゲート信号線17bのオンオフ電圧が出力される。

以上の実施例では、フィールドあるいはフレームでd u t y比制御を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、1フレーム＝4フィールドとし、複数のフィールドを単位としてd u t y比制御を行っても良い。複数のフィールドを用いてd u t y比制御を行うことにより、フリッカの発生しない滑らかな画像表示を実現できる。

図106において、1-1は1フレームの第1フィールドを意味し、1-2は1フレームの第2フィールドを意味し、1-3は1フレームの第3フィールドを意味し、1-4は1フレームの第4フィールドを意味

する。また、2-1は2フレームの第1フィールドを意味する。

duty比が128/1024→132/1024に変化させる場合は、1-1では128/1024、1-2では129/1024、1-3では130/1024、1-4では131/1024、2-1では132/1024と変化させる。以上の変化により128/1024から132/1024に緩やかに変化する。

duty比が128/1024→130/1024に変化させる場合は、1-1では128/1024、1-2では128/1024、1-3では129/1024、1-4では129/1024、2-1では130/1024と変化させる。以上の変化により128/1024から130/1024に緩やかに変化する。

duty比が128/1024→136/1024に変化させる場合は、1-1では128/1024、1-2では130/1024、1-3では132/1024、1-4では134/1024、2-1では136/1024と変化させる。以上の変化により128/1024から136/1024に緩やかに変化する。

フィールド（フレーム）のduty比制御におけるduty比の分子は整数である必要はない。たとえば、図107に図示するように、小数点以下となるように制御してもよい。分子が小数点以下とするのは、OE V2端子を制御することより、容易に実現できる。また、複数のフレーム（フィールド）での平均duty比を用いることによりduty比の分母を小数点以下が発生することができる。逆に、duty比の分母に小数点以下が発生するようにしてもよい。図107では、分子が30.8、31.2など小数点以下としている。なお、分母、分子を一定以上の大きな整数にすることにより小数点以下を必要ないようにすることができる。

動画と静止画とでは、*duty* 比パターンを変化させる。*duty* 比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画の *duty* 比と静止画の *duty* 比との差異によって発生する。動画では非表示領域 52 を一括して挿入する *duty* パターンを用いる。静止画では非表示領域 52 を分散して挿入する *duty* パターンを用いる。非表示領域 52 の面積／画面面積 50 の比率が *duty* 比となる。しかし、同一 *duty* 比であっても、非表示領域 52 の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

中間動画は、非表示領域 52 の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域 52 が 3 分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、画面 50 が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示の *duty* 状態から、中間動画表示 1 の *duty* 比状態に移行し、さらに中間動画表示 2 の *duty* 状態に移行してから静止画表示の *duty* 状態に移行させてもよい。

図 1 0 8 に図示するように動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間は *W a i t* 時間をおくことが好ましい。

図 1 1 0 は動画と静止画および中間動画を移行するときの、*d u t y* 比、非表示領域の分散数を示している。図 1 1 0 において、動画静止画レベルが 0 の時は、画像表示が動画レベルであること、1 の時は画像表示が準動画（中間動画）状態であることを示している。また、2 の時は、画像表示が静止画状態であることを示している。

分散数は、非表示領域 5 2 の分割数である。1 とは非表示領域 5 2 が一括して画面に挿入されていることを示している。3 0 とは非表示領域 5 2 が 3 0 に分割して挿入されていることを示している。同様に 5 0 とは非表示領域 5 2 が 5 0 に分割して挿入されていることを示している。*d u t y* 比は以前にも説明したが、白表示の輝度低減率をしめしている。つまり、*d u t y* 比 $1/2$ とは、最高の白輝度の $1/2$ の表示状態となっていることを示す。

図 1 1 0 で図示するように、動画静止画レベルは、動画から静止画に移行する時、静止画から動画に移行する時に中間動画（準動画）状態を経由して以降する。

動画から静止画に移行する時間は、図 1 1 1 に図示するように *W a i t* 時間を設けることが好ましい。*W a i t* 時間は、動画の割合によって決定するとよい。図 1 1 0 の横軸の異なるデータ数とは、あるフレームと次のフレーム間で動画検出をし、動画検出により検出された動画の割合を示している。つまり、フレーム間で演算し、画像データが異なっている画素の割合が横軸である。したがって、数値が大きいほど、動画表示に近いということになる。図 1 1 0 では動画表示に近いほど、*W a i*

t 時間を長く確保している。

さらに duty 比制御について説明するために、本発明の有機 EL 表示装置の電源回路について説明をする。図 112 は本発明の電源回路の構成図である。1122 は制御回路である。抵抗 1125a と 1125b の中点電位を制御し、トランジスタ 1126 のゲート信号を出力する。トランス 1121 の 1 次側には電源 V_{pc} が印加され、1 次側の電流がトランジスタ 1126 のオンオフ制御により 2 次側に伝達される。1123 は整流ダイオードであり、1124 は平滑化コンデンサである。

有機 EL 表示パネルは、アノード V_{dd} とカソード V_k 間に EL 素子 15 が形成（配置）されている。図 112 の電源回路からアノード V_{dd} 電圧およびカソード V_k 電圧の供給を受ける。EL 素子 15 が発光しない時は、アノードーカソード間に流れる電流は 0 である。本発明の duty 比制御では、画素行ごとにゲート信号線 17b のオンオフ電圧と印加し、EL 素子 15 の電流制御を行なう。また、オン電圧を印加したゲート信号線 17b の位置は走査される。たとえば、図 97 は非表示領域 52 を 4 分割した実施例である。図 97 の (a)、(b)、(c)、(d) は非表示領域 52 の大きさは異なる。しかし、非表示領域 52 は画面 50 の上部から下部に走査される（移動していく）。同様に表示領域 53 も画面 50 の上から下方向に走査される。非表示領域 52 に該当する画素 16 の EL 素子 15 には電流が流れない。一方、表示領域 53 に該当する画素 16 の EL 素子 15 には電流が流れる。

ここで課題を説明するために、1 画素行ごとに非表示領域 52 と表示領域 53 とが繰り返す表示パターンを例示する。この表示状態は白黒の横ストライプ表示である。つまり、奇数画素行が白表示であり、偶数画素行が黒表示である。なお、この表示パターンを 1 横ストライプと呼ぶ。

画素行数を 220 画素行数あるとし、duty 比を $110/220$ の

状態を例示する。d u t y 比 1 1 0 / 2 2 0 とは、ゲート信号線 1 7 b に対し、1 画素行ごとにオン電圧とオフ電圧が印加された状態である。また、オン電圧またはオフ電圧が印加されたゲート信号線 1 7 b 位置は、水平同期信号に同期して走査される。したがって、ある画素行のゲート信号線 1 7 b に着目すれば、このゲート信号線 1 7 b には水平同期信号に同期して、オン電圧印加状態とオフ電圧印加状態とが交互に繰り返される。画面 5 0 全体で考えれば偶数画素行にオン電圧が印加される。この期間には、奇数画素行にはオフ電圧が印加されている。1 水平走査期間後に奇数画素行にオン電圧が印加される。この期間には偶数画素行にはオフ電圧が印加される。

奇数画素行が白表示で、偶数画素行が黒表示の 1 横ストライプ表示では、奇数画素行にオン電圧が印加された時には、電源回路から表示領域に電流が流れる。しかし、偶数画素行にオン電圧が印加されたときは、偶数画素行が黒表示のため、電源回路から表示領域には電流が流れない。したがって、電源回路は 1 水平走査期間ごとに、電流を流す動作と、電流を全く流さない動作とを繰り返すことになる。この動作は電源回路にとって、好ましいことではない。電源回路に過渡現象が発生し、また電源効率が悪化するからである。

この課題を解決する駆動方式を図 1 0 0 に図示する。図 1 0 0 では、d u t y 比を 1 / 2 とせず、複数の d u t y 比の状態が画面 5 0 内で発生するようにし、1 横ストライプ表示であっても常時電流が流れるように制御している。

図 1 0 0 の (a) (b) は d u t y 比 1 / 2 と d u t y 比 1 / 1 と d u t y 比 1 / 3 とを発生させ、全体として (1 フレーム期間の平均で) d u t y 比 1 / 2 を実現している。以上のように、複数の d u t y 比を 1 フレーム期間に組み合わせることにより 1 横ストライプ表示であっても、

電源回路からの出力電流がオンオフ状態となることはなくなる。つまり、比較的1横ストライプなどの規則正しい表示パターンは多く表示されることが多い。これに対して、非表示領域52幅が等間隔になるduty比パターンによるduty比制御を行うと電源回路に負担が発生しやすい。したがって、duty比パターンは画面50に同時に複数発生するように駆動することが好ましい。また、duty比パターンは、単一duty比パターンとせず、1フレームまたは複数フレーム(フィールド)の平均として所定duty比になるようにすることが好ましい。

なお、図100において、duty比パターンは図97に図示するように画面50の上から下方向に走査されることはいうまでもない。また、本発明のduty比制御方法において、水平同期信号に同期して1画素行ごとに走査位置を移動させるとしたが、これに限定するものではない。たとえば、水平同期信号に同期して複数画素行ずつ走査位置を移動させてもよい。また、走査方向は、画面50の上から下方向に限定するものではない。たとえば、1フィールド目は画面50の上から下方向に走査し、2フィールド目は画面50の下から上方向に走査してもよい。

図100は離散した1画素行のゲート信号線17bごとにオン電圧印加とオフ電圧印加する駆動方法であった。しかし、本発明はこれに限定するものではない。図101a)は図100の駆動状態である。同様の画面50輝度を実現する駆動は、図101の(b)のduty比パターンでの実現できる。図101の(b)ではオン電圧またはオフ電圧が印加される画素行連続させている。

同一の画面50輝度を実現するduty比パターンは多種多様なパターンがある。図102の(a)に図示するように、非表示領域52を極めて多く分散させるパターンもあれば、図102の(b)のように比較的表示領域52の分散状態を少なくしたパターンもある。図102の(a)

のパターンも図102の(b)のパターンのduty比を約分すれば同一になる。したがって、画面50輝度は同一にすることができる。

EL表示パネルでは、EL素子15の劣化により画像が焼きつくという問題がある。特に画像は固定パターンで焼きつきやすい。この課題に対応するため、本発明は、固定パターンを表示するサブ画像表示領域50b(サブ画面)を具備している。表示領域50a(メイン画面)はテレビ画像などの動画表示領域である。

図147の本発明のEL表示パネルでは、サブ画面50bとメイン画面50aとのゲートドライバ回路12は共通である。サブ画面50aは20画素行以上とする。したがって、一例として画面50はメイン画面50aの220画素行と、サブ画面50bの24画素行から構成される。なお、画素列数は176×RGBである。

メイン画面50aとサブ画面50bとは図149に図示するように、明確に分離してもよい。図149では、メイン画面50aとサブ画面50b間にスペースBLを設けている。スペースBLは画素16が形成されていない領域である。

なお、メイン画面(メインパネル)とサブ画面(サブパネル)の画素の駆動用トランジスタ17aのW/L(Wは駆動用トランジスタのチャンネル幅、Lは駆動用トランジスタのチャンネル長)を変化させてもよい。基本的にはサブ画面(サブパネル)のW/Lを大きくする。また、メイン画面(メインパネル)50aの画素16aサイズとサブ画面(サブパネル)50bの画素サイズ16bの大きさを変化させてもよい。また、メイン画面(メインパネル)50aのアノード電源あるいはカソード電源と、サブ画面(サブパネル)50bのアノード電圧Vddあるいはカソード電圧Vkを別電圧とし、印加する電圧を変化させてもよい。

また、サブパネル71aとメインパネル71aを図150の(b)に

図示するように重ねて使用する場合は、封止基板（封止薄膜層）85aと封止基板（封止薄膜層）85b間に緩衝シート1504を配置もしくは形成する。緩衝シート1504としては、マグネシウム合金などの金属からなる板あるいはシート、ポリエステルなどの樹脂からなる板あるいはシートが例示される。

図150も図示するように、サブ画面50bを表示するサブパネル71bを別途設けてもよい。メインパネル71aとサブパネル71bとはフレキシ基板84でソース信号線18aと18b接続する。フレキシ基板84には、接続配線1503を形成しておく。ソース信号線18aの終端には、アナログスイッチ1501から構成されるアナログスイッチ群を配置する。アナログスイッチ1501はソースドライバ回路14からの電流信号をサブパネル71bに供給するか否かの制御を行うものである。

アナログスイッチ1501のオンオフ制御を行うため、スイッチ制御線1502が形成される。スイッチ制御線1502へのロジック信号によりサブパネルへの信号供給が制御され画像が表示される。

なお、サブパネル71bにゲートドライバ回路を形成せず、もしくはゲートドライバICチップを実装せず、図9で説明したようにWR側にゲート信号線17を形成し、図40で説明した点灯制御線401を形成または配置してもよい。

アナログスイッチ1501は図152に図示するようにPチャンネルとNチャンネルとを組み合わせたCMOSタイプが好ましい。スイッチ制御線1502の途中にインバータ1521を配置してスイッチ1501をオンオフ制御する。また、図153に図示するように、アナログスイッチ1501bはPチャンネルのみで形成してもよい。

また、サブパネル71bとメインパネル71aでソース信号線18数が異なる場合は、図154のように構成してもよい。アナログスイッチ

1501aと1501bの出力をショートし、同一の端子1322aに接続する。また、図155に図示するように、アナログスイッチ1501bの出力をV_dd電圧に接続し、オンしないように構成してもよい。また、図156に図示するように、サブパネル71bと接続することが不要なソース信号線18の終端にはアナログスイッチ1501a（1501a1, 1501a2）を配置または形成してもよい。アナログスイッチ1501aはオフ電圧を印加し、オンしないように構成する。

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図157は情報端末装置の一例としての携帯電話の平面図である。筐体1573にアンテナ1571、テンキー1572などが取り付けられている。1572などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

キー1572を1度押さえると表示色は8色モードに、つづいて同一キー1572を押さえると表示色は4096色モード、さらにキー1572を押さえると表示色は26万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー1572は3つ（以上）となる。

キー1572はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「4096色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パ

ネルの表示部 50 に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

1572 は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサ C、抵抗 R のうち、抵抗 R を可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1 つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

さらに、本発明の EL 表示パネルあるいは EL 表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

図 158 は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図 158 において、接眼カバーを省略している。以上のことは他の図面においても該当する。

ボデー 1573 の裏面は暗色あるいは黒色にされている。これは、EL 表示パネル（表示装置）1574 から出射した迷光がボデー 1573 の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）108、偏光板 109 などが配置されている。このことは図 10、図 11 でも説明している。

接眼リング 1 5 8 1 には拡大レンズ 1 5 8 2 が取り付けられている。観察者は接眼リング 1 5 8 1 をボデー 1 5 7 3 内での挿入位置を可変して、表示パネル 1 5 7 4 の表示画像 5 0 にピントがあうように調整する。

また、必要に応じて表示パネル 1 5 7 4 の光出射側に正レンズ 1 5 8 3 を配置すれば、拡大レンズ 1 5 8 2 に入射する主光線を収束させることができる。そのため、拡大レンズ 1 5 8 2 のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

図 1 5 9 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 1 5 9 2 とビデオカメラ本体 1 5 7 3 と具備し、撮影レンズ部 1 5 9 2 とビューファインダ部 1 5 7 3 とは背中合わせとなっている。また、ビューファインダ（図 1 5 8 も参照） 1 5 7 3 には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 1 5 7 4 の画像 5 0 を観察する。

一方、本発明の E L 表示パネルは表示モニターとしても使用されている。表示画面 5 0 は支点 1 5 9 1 で角度を自由に調整できる。表示画面 5 0 を使用しない時は、格納部 1 5 9 3 に格納される。

スイッチ 1 5 9 4 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 1 5 9 4 は表示モード切り替えスイッチである。スイッチ 1 5 9 4 は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ 1 5 9 4 について説明をする。

本発明の駆動方法の 1 つに N 倍の電流を E L 素子 1 5 に流し、1 F の $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、E L 素子 1 5 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5,$

6 などと変更できるように構成してもよい。

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面 50 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると EL 素子 15 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるような構成しておく。

したがって、ユーザーがボタンスイッチ 1594 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 50%、60%、80% とユーザーなどが設定できるように構成しておくことが好ましい。

なお、表示画面 50 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して 70% の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50% 輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明した N 倍パルス駆動 (N 倍の電流を EL 素子 15 に流し、1 F の 1/M の期間だけ点灯させる方法) を用いて画面の上から下方向に、ガウス分布を発生させている。

具体的には、画面の上部と下部では M の値と大きくし、中央部で M の

値を小さくする。これは、ゲートドライバ回路 12 のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角 0.9）を 50% にした時、100% 輝度の場合に比較して約 20% の低消費電力化が可能である。周辺輝度（画角 0.9）を 70% にした時、100% 輝度の場合に比較して約 15% の低消費電力化が可能である。

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を 50%、60%、80% とユーザーなどが設定できるように構成しておくことがこのましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が 60 Hz の交流で点灯しているとき、EL 表示素子 15 がフレームレート 60 Hz で動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N 倍パルス駆動（N 倍の電流を EL 素子 15 に流し、1 F の $1/M$ の期間だけ点灯させる方法）において、N または M の値を変更できるように構成している。

以上の機能をスイッチ 1 5 9 4 で実現できるようにする。スイッチ 1 5 9 4 は表示画面 5 0 のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態の E L 表示装置などはビデオカメラだけでなく、図 1 6 0 に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体 1 6 0 1 に付属されたモニター 5 0 として用いる。カメラ本体 1 6 0 1 にはシャッタ 1 6 0 3 の他、スイッチ 1 5 9 4 が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面 5 0 がたわみやすい。その対策のため、本発明では図 1 6 1 に示すように表示パネルに外枠 1 6 1 1 をつけ、外枠 1 6 1 1 をつり下げられるように固定部材 1 6 1 4 で取り付けられている。この固定部材 1 6 1 4 を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部 1 6 1 3 を配置し、複数の脚 1 6 1 2 で表示パネルの重量を保持できるようにしている。

脚 1 6 1 2 は A に示すように左右に移動でき、また、脚 1 6 1 2 は B に示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

図 1 6 1 のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損する

ことを防止することが1つの目的である。保護フィルムの表面にはA I Rコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、P V Aフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（A B Sなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタ11などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。つまり、本発明の表示パネルにおいて画素16を構成するトランジスタ11はアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路12、ソースドライバ回路14もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。

なお、本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図22、図24、図30のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

duty比制御駆動、基準電流制御、N倍パルス駆動など本明細書に記載した本発明の駆動方法および駆動回路などは、有機EL表示パネルの駆動方法および駆動回路などに限定されるものではない。図173に図示するようにフィールドエミッションディスプレイ（FED）などの

他のディスプレイにも適用できることは言うまでもない。

図 1 7 3 の F E D ではアレイ基板 7 1 上にマトリックス状に電子を放出する電子放出突起 1 7 3 3 (図 1 0 では画素電極 1 0 5 が該当する) が形成されている。画素には映像信号回路 1 7 3 2 (図 1 ではソースドライバ回路 1 4 が該当する) からの画像データを保持する保持回路 1 7 3 4 が形成されている (図 1 ではコンデンサが該当する)。また、電子放出突起 1 7 3 3 の前面には制御電極 1 7 3 1 が配置されている。制御電極 1 7 3 1 にはオンオフ制御回路 1 7 3 5 (図 1 ではゲートドライバ回路 1 2 が該当する) により電圧信号が印加される。

図 1 7 3 の画素構成で、図 1 7 4 に図示するように周辺回路を構成すれば、*d u t y* 比制御駆動あるいは *N* 倍パルス駆動などを実施できる。映像信号回路 1 7 3 2 からソース信号線 1 8 に画像データ信号が印加される。オンオフ制御回路 1 7 3 5 a から選択信号線 2 1 7 3 に画素 1 6 選択信号が印加され順次画素 1 6 が選択され、画像データが書き込まれる。また、オンオフ制御回路 1 7 3 5 b からオンオフ信号線 1 7 4 2 にオンオフ信号が印加され、画素の F E D がオンオフ制御 (*d u t y* 比制御) される。

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、P H S、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、R G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、R G Bの信号器、警報表示灯などにも応用できる。

また、スクヤナの光源としても有機E L表示パネルは有効である。R G Bのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

また、液晶表示装置のバックライトにも有機E L表示装置は有効である。E L表示装置（バックライト）のR G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

産業上の利用可能性

本発明のソースドライバ回路は、カントミラー回路を構成するトランジスタが隣接するように形成しているので、しきい値のずれによる出力

電流のばらつきが小さく。したがって、E L表示パネルの輝度むらの発生を抑制することが可能となり、その実用的効果は大きい。

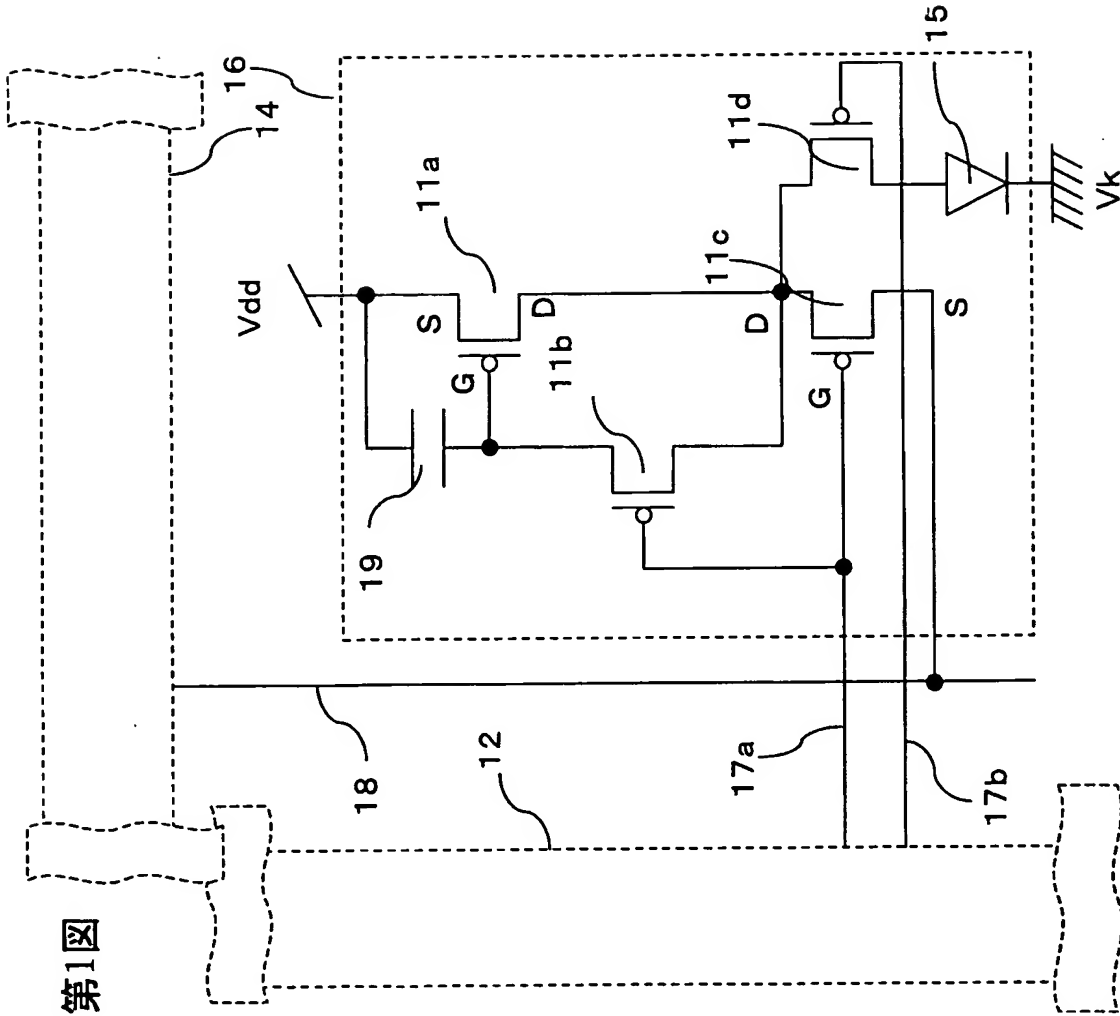
また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

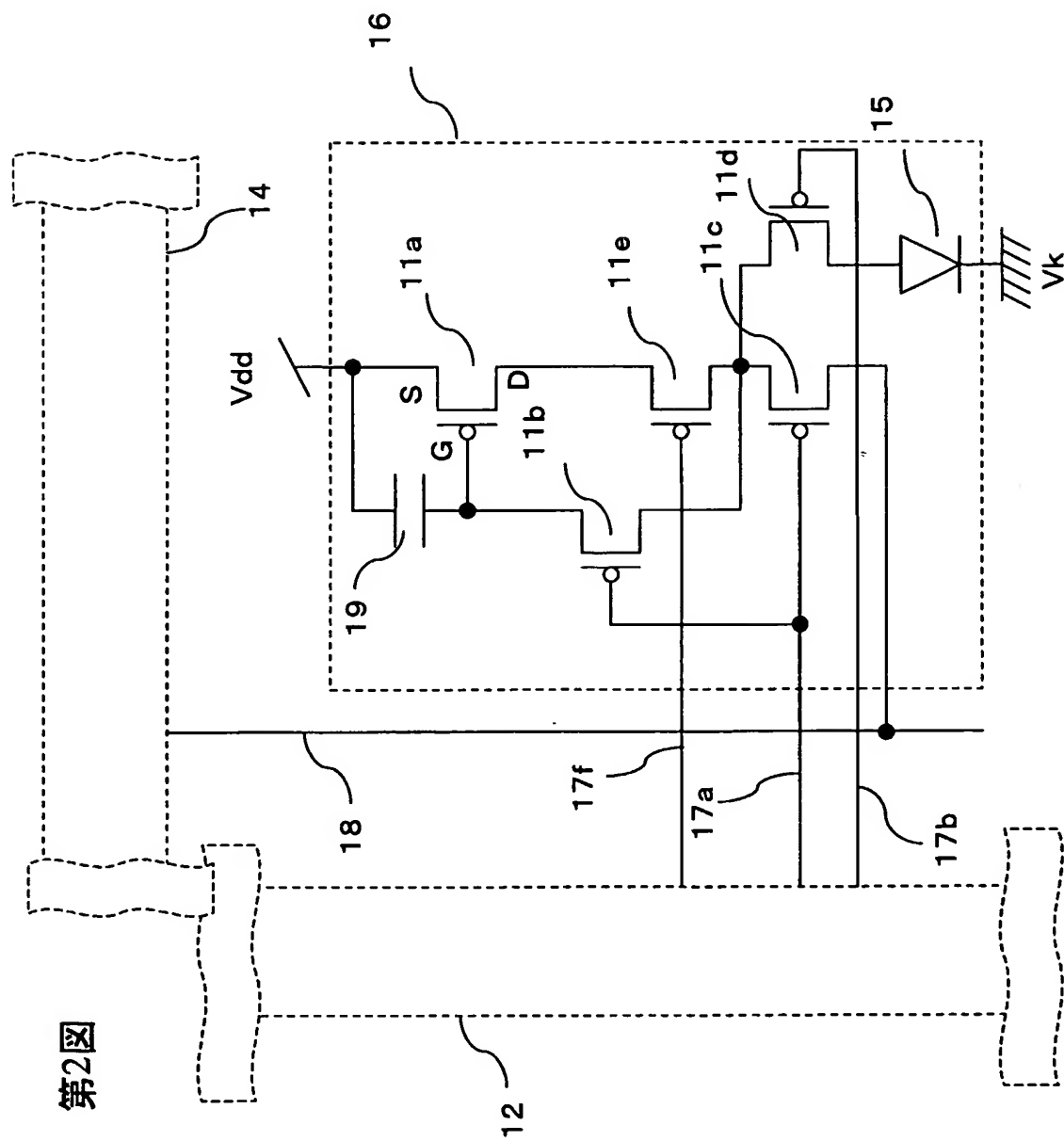
なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

請 求 の 範 囲

1. 各画素に駆動用トランジスタとE L素子間の電流経路をオンオフ制御するスイッチ素子を有するE L表示装置の駆動方法であって、
画像データまたは画像データに順ずるデータを集計し、
前記集計したデータが少ない時よりも、大きい時の方が前記スイッチ素子をオフする期間を長くするE L表示装置の駆動方法。

1/176





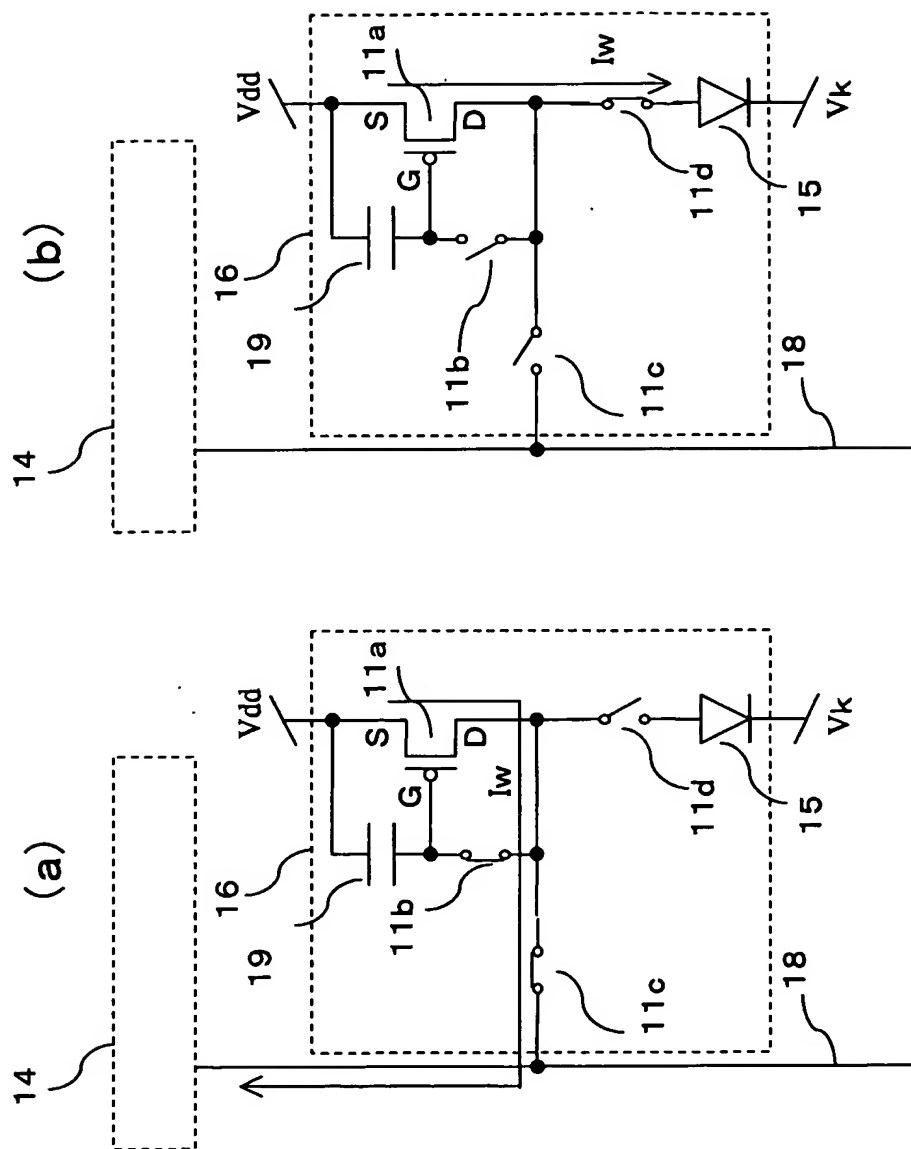
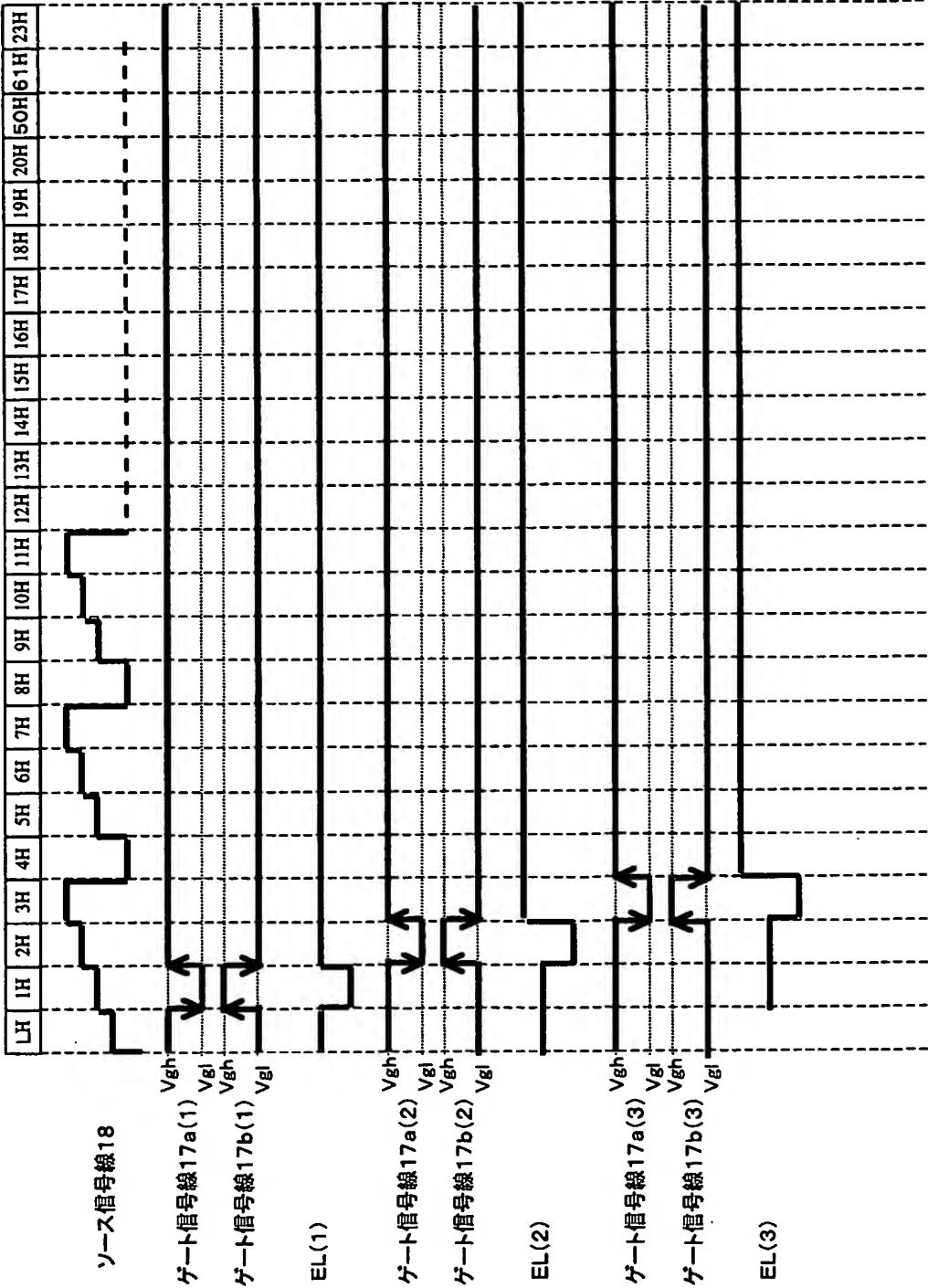
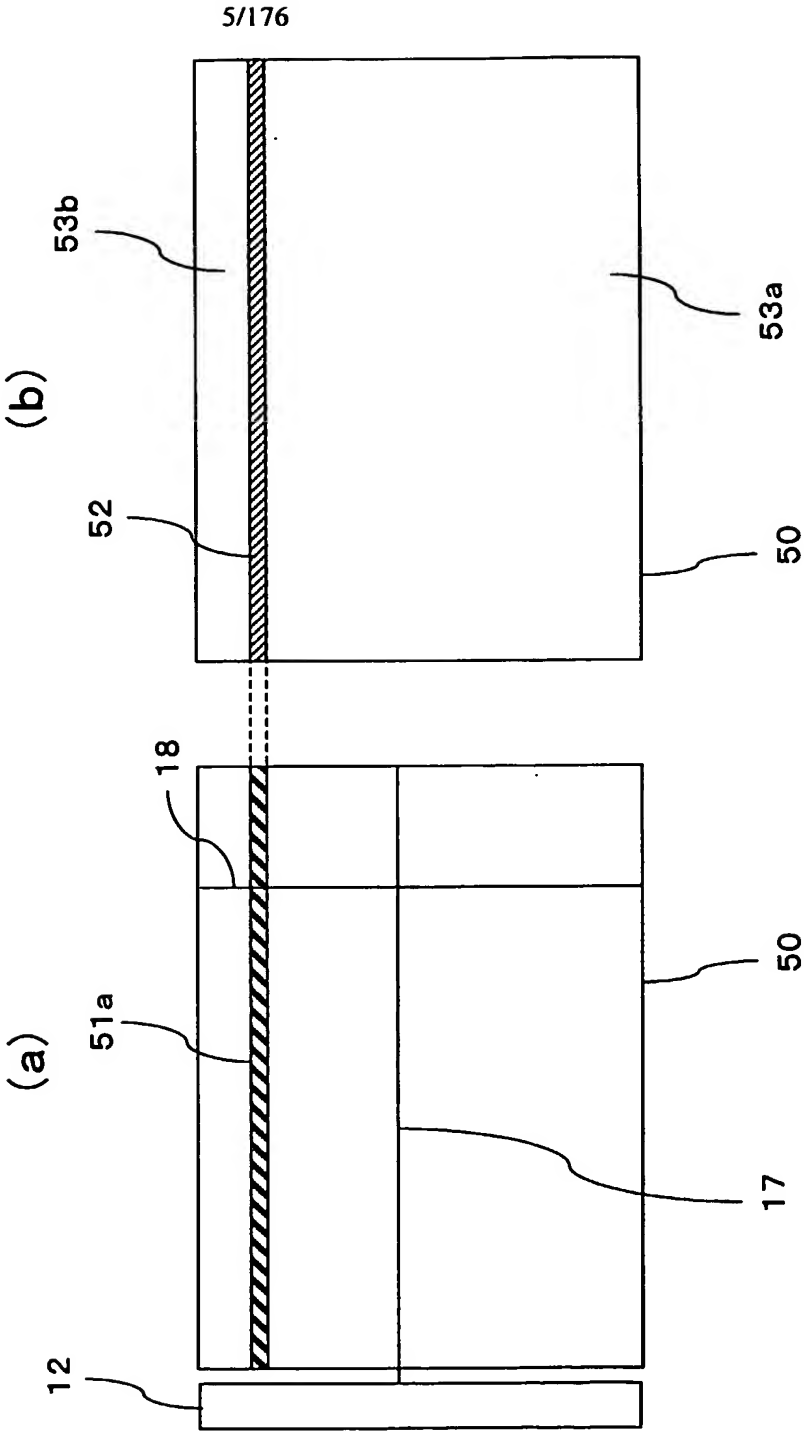


図 3 概観

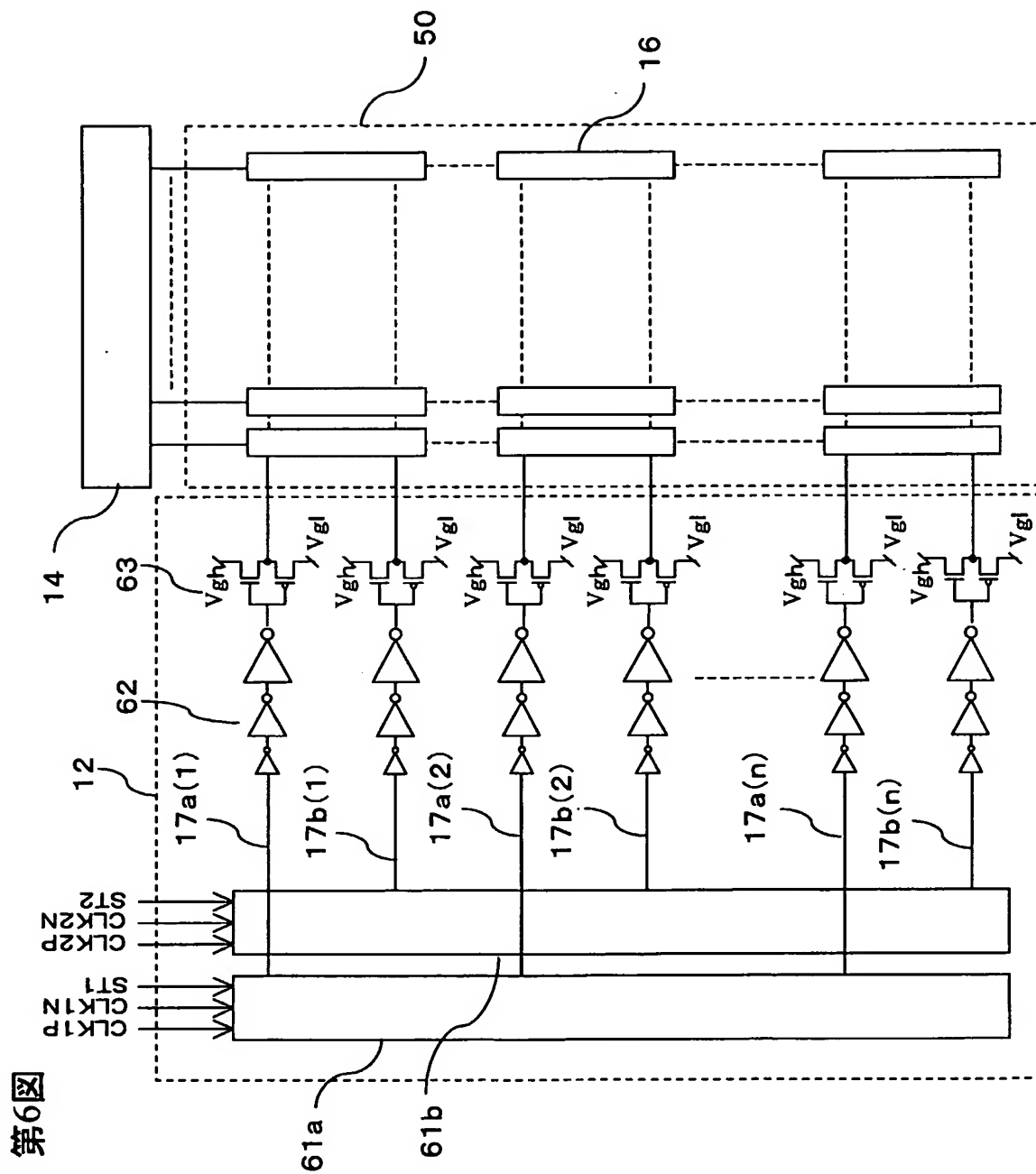
第4図



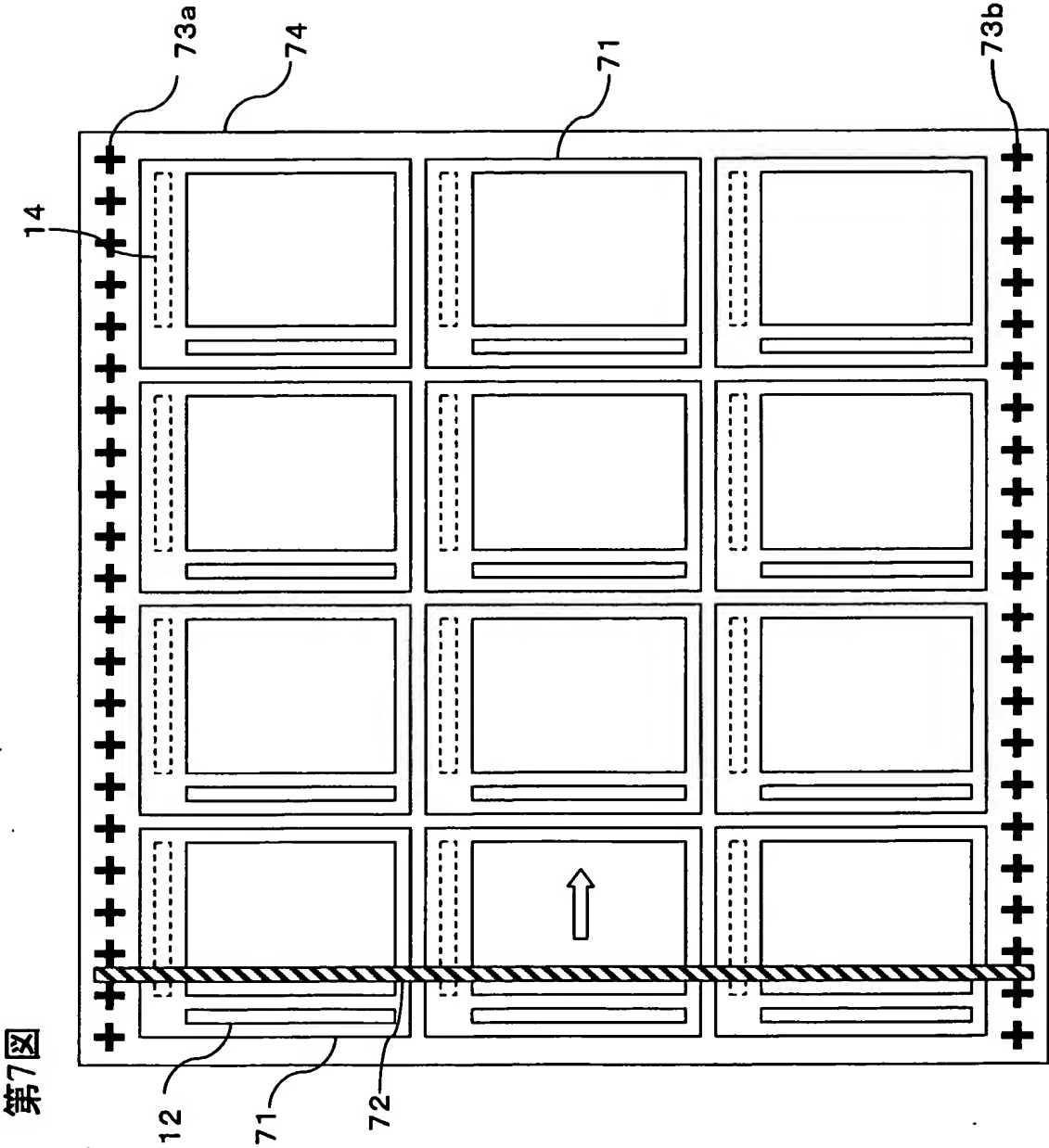
第5図

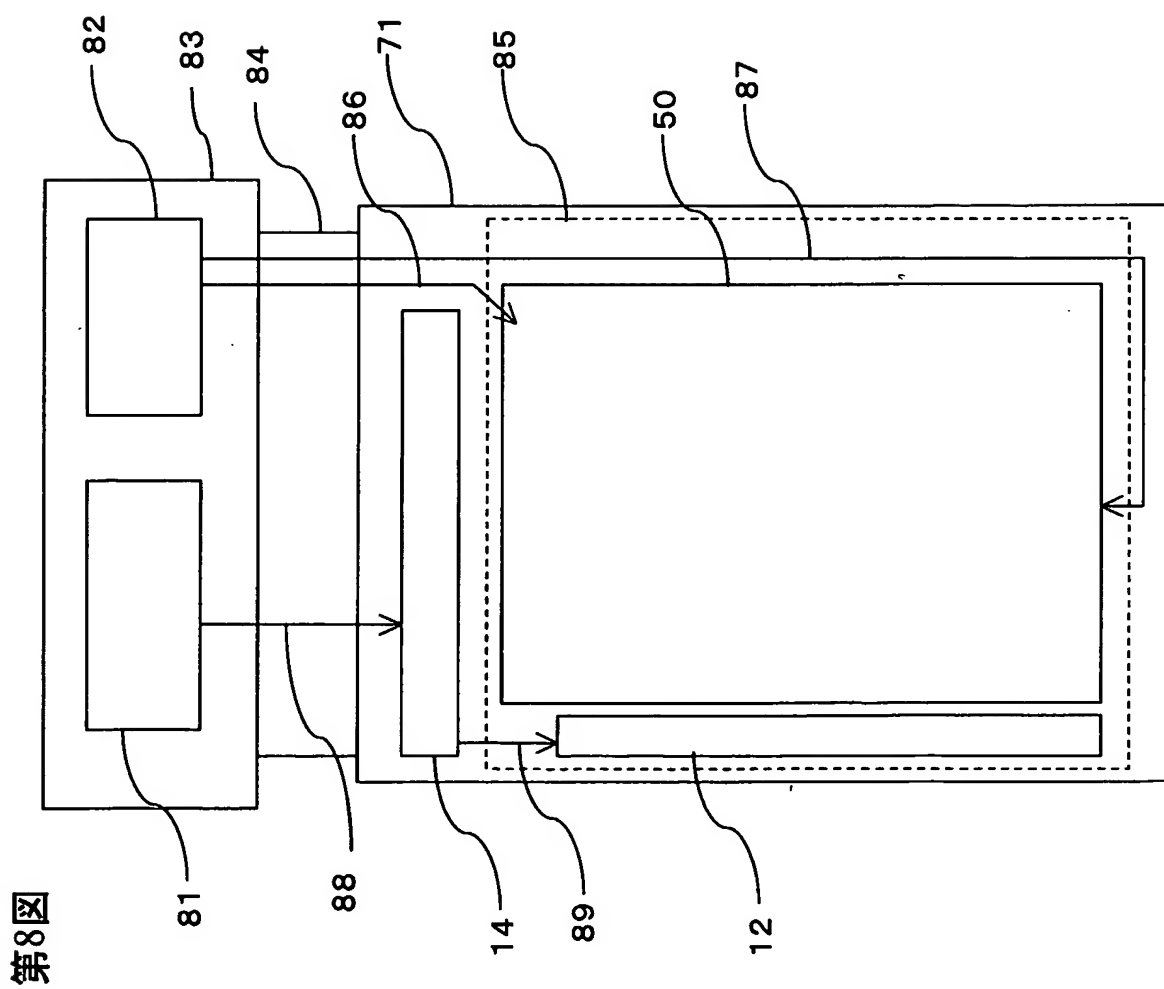


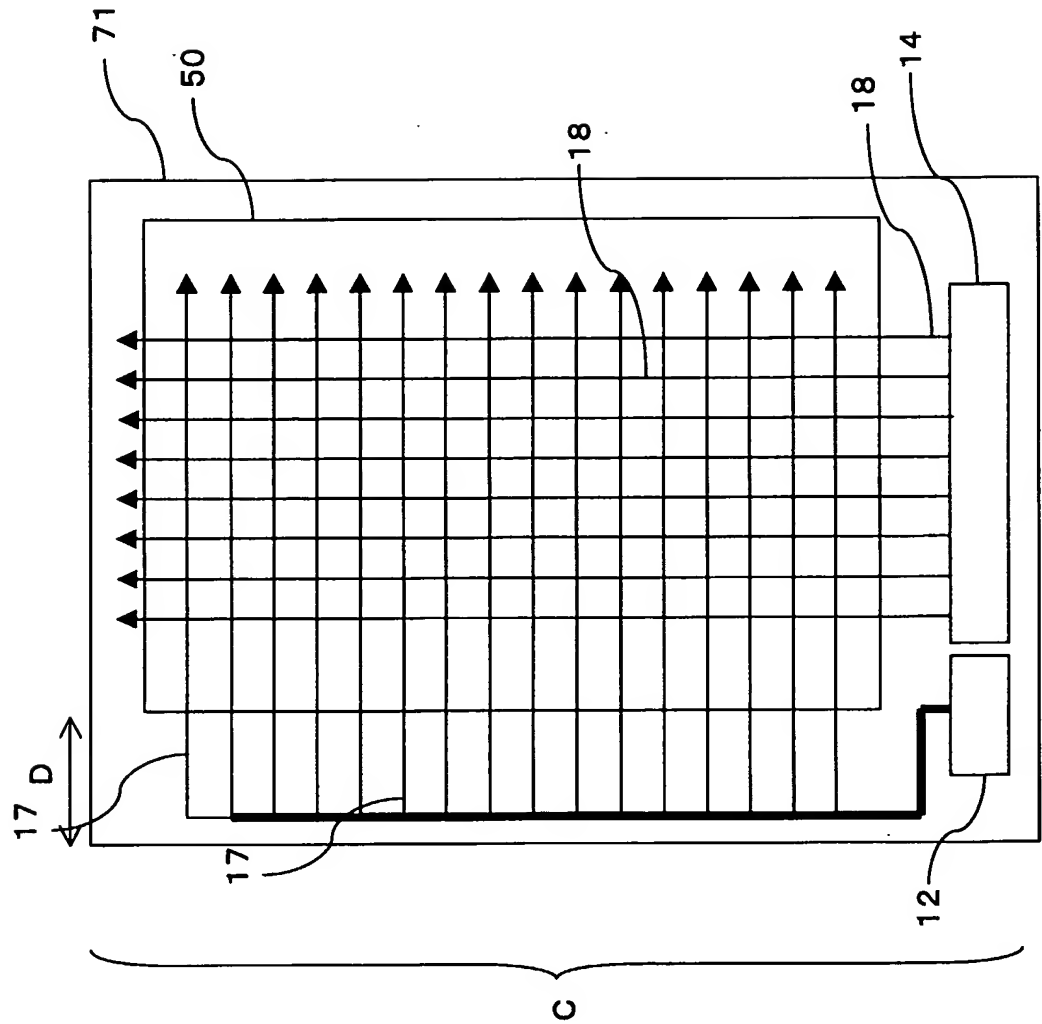
6/176



7/176

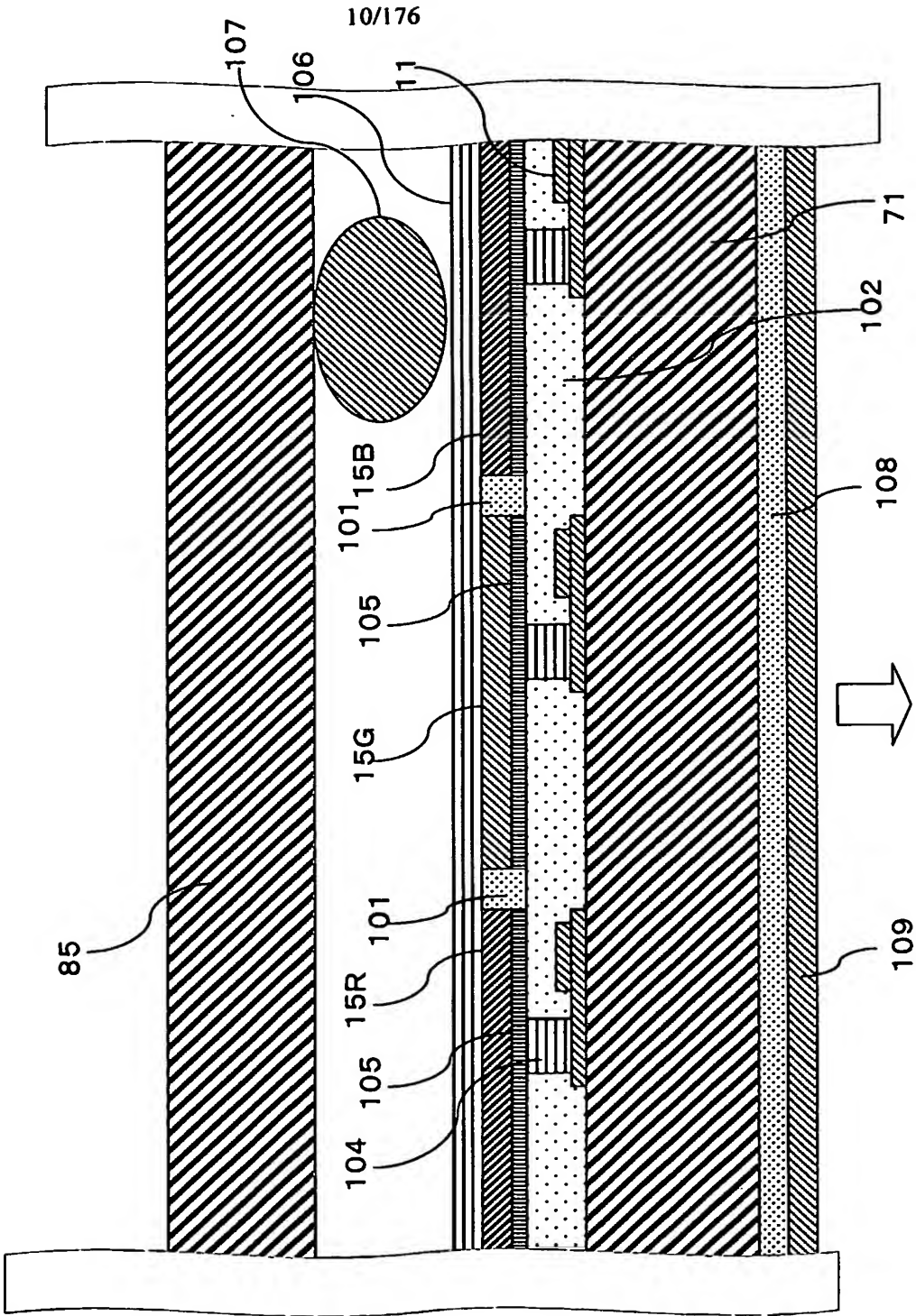




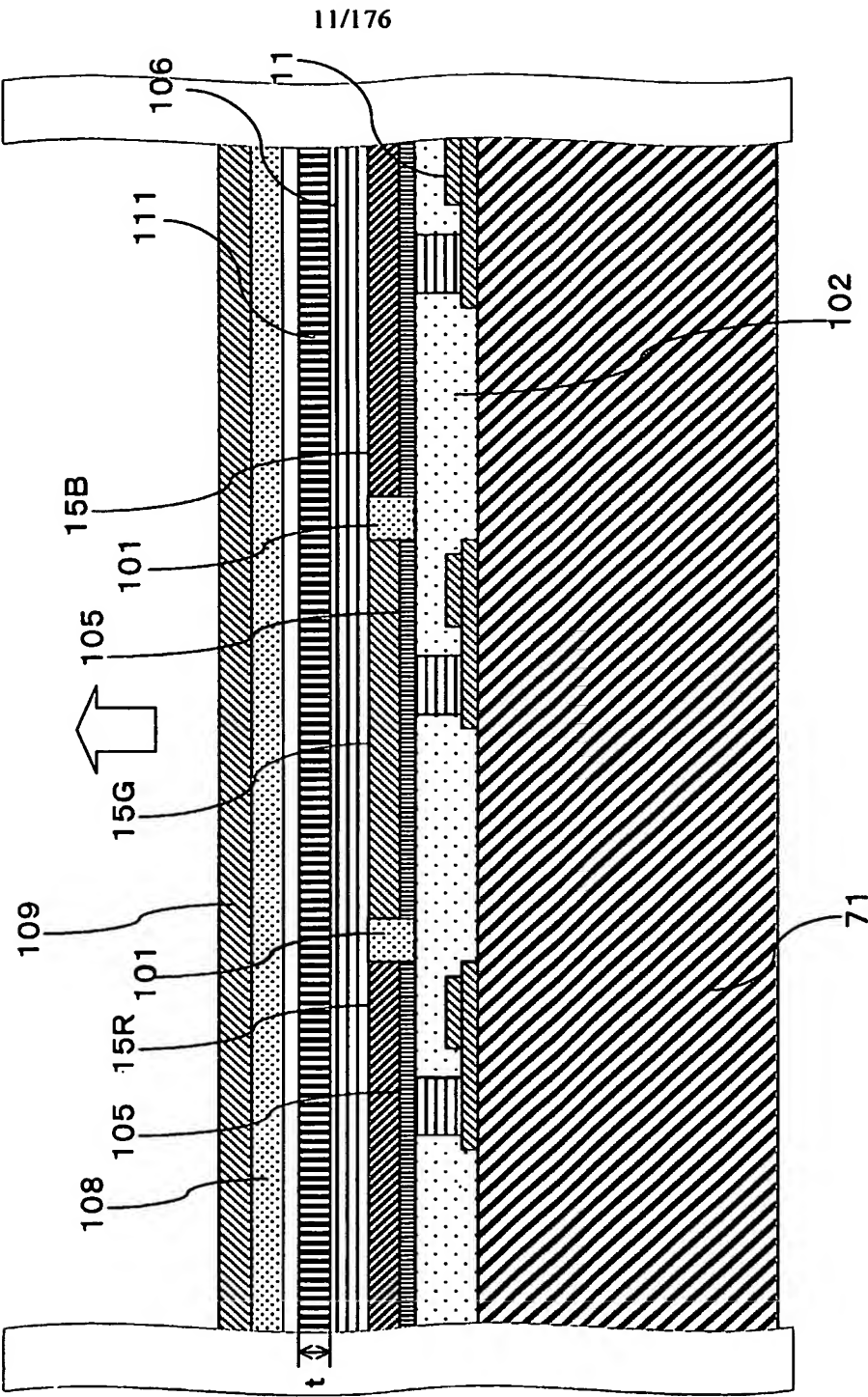


第9図

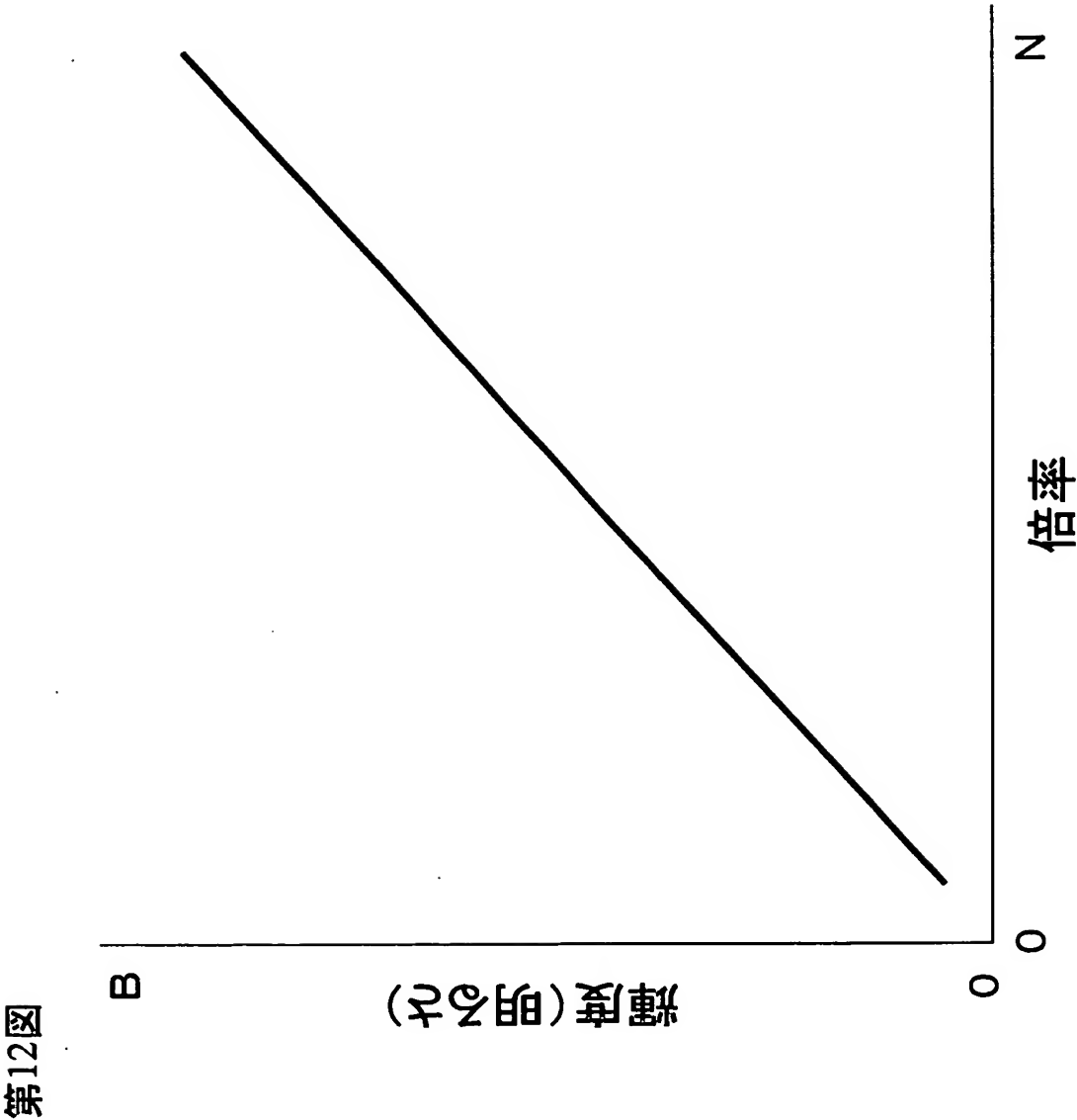
第10図



第11図



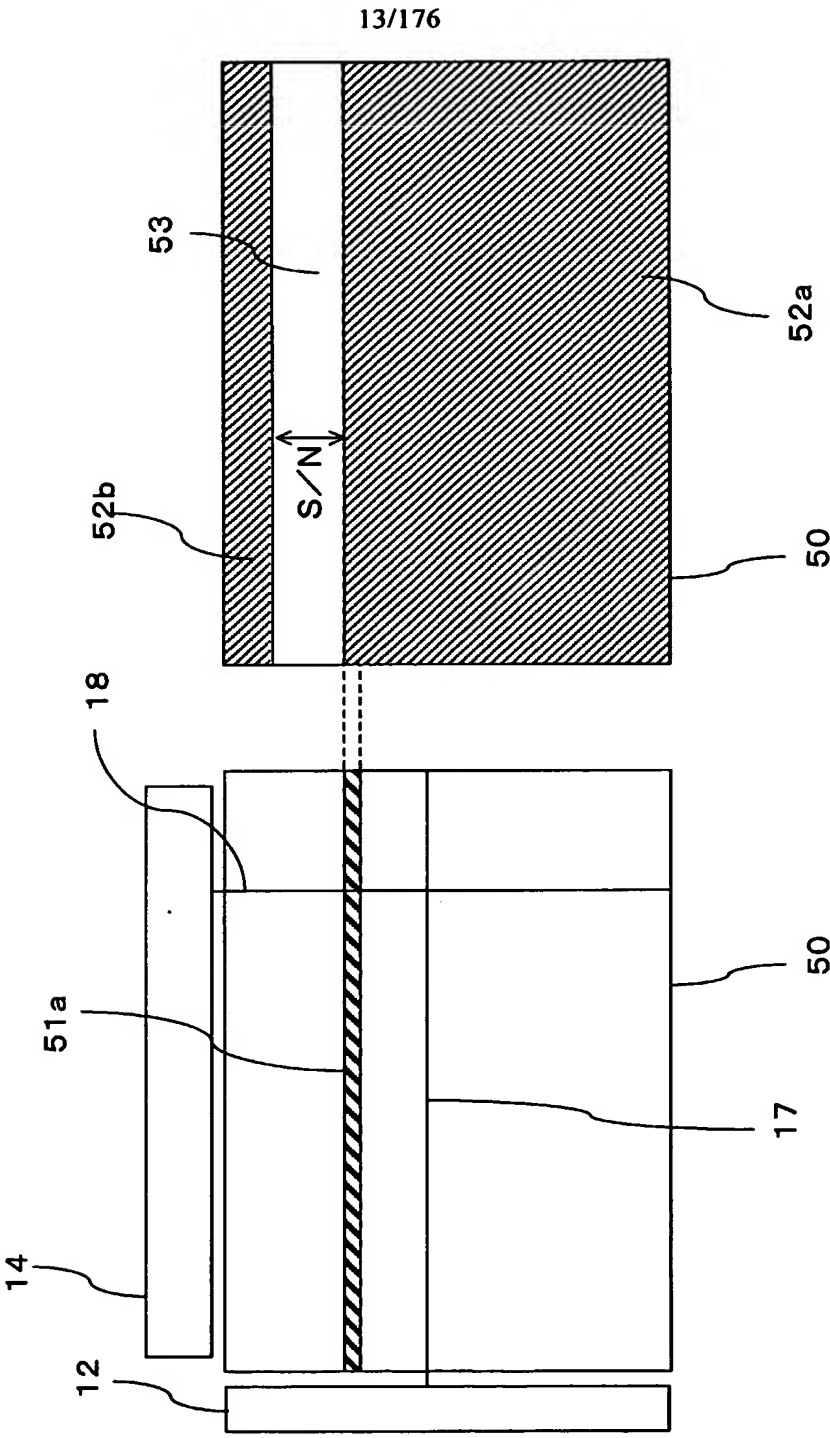
12/176



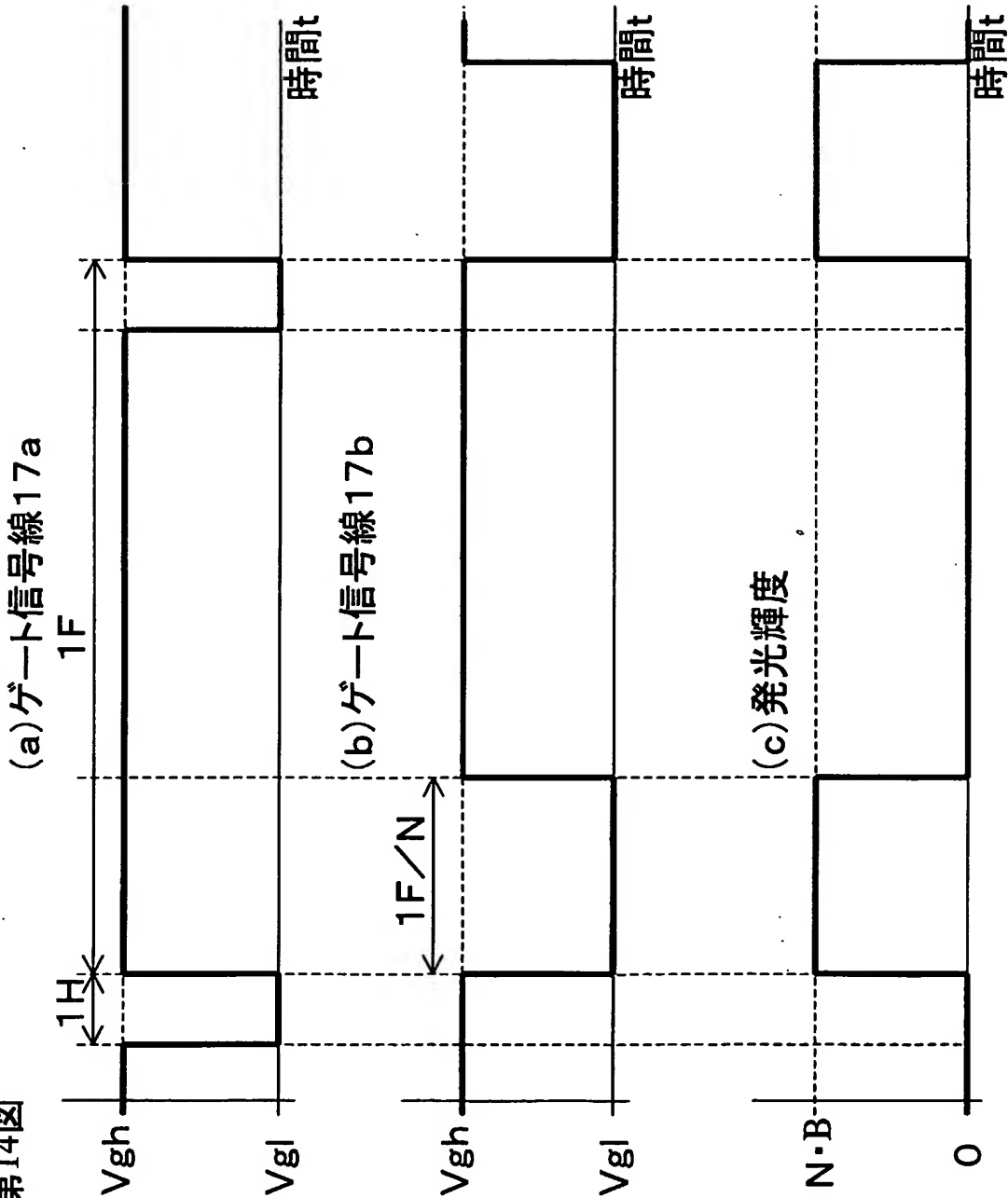
第13図

(a)

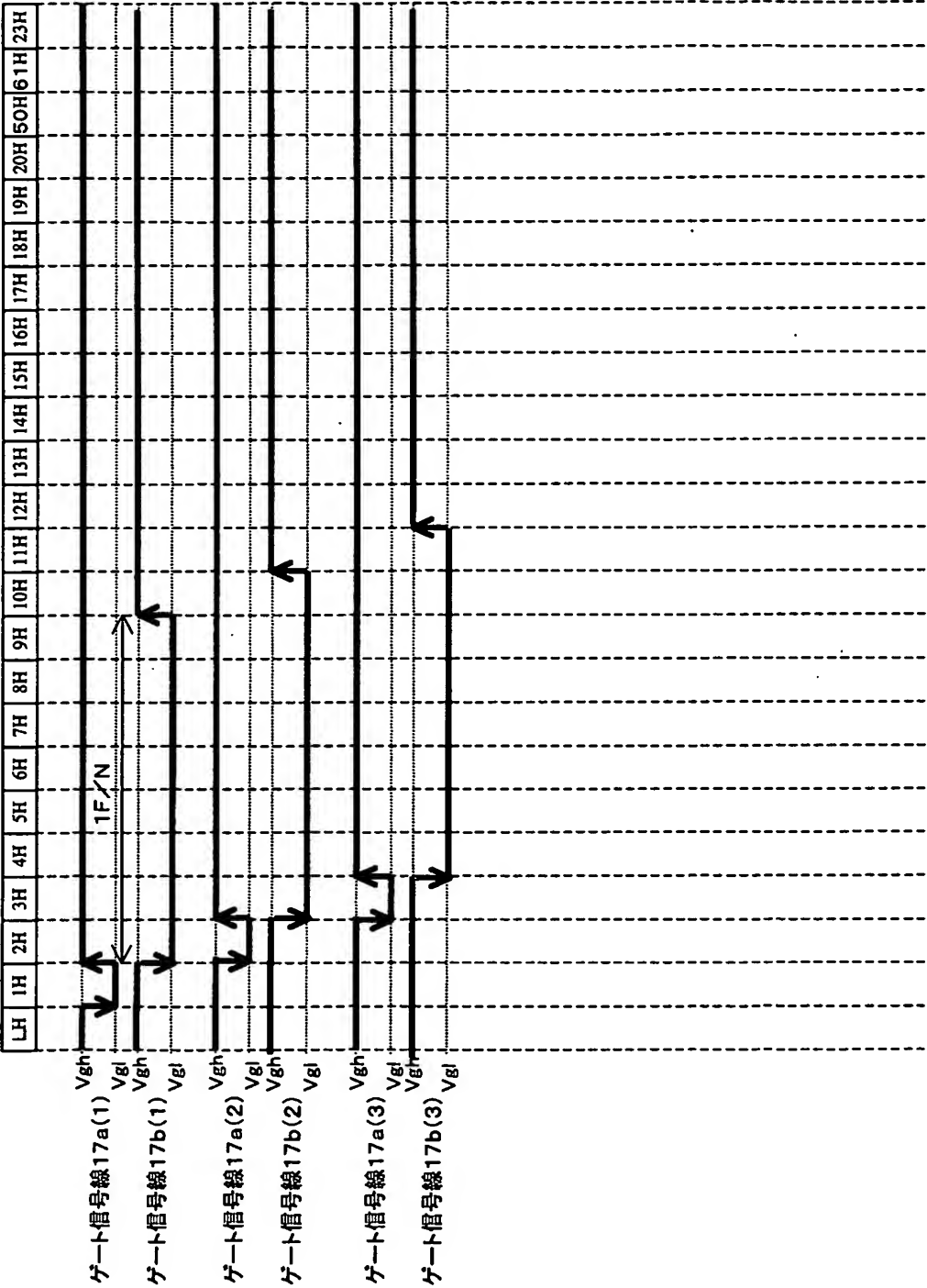
(b)



第14図



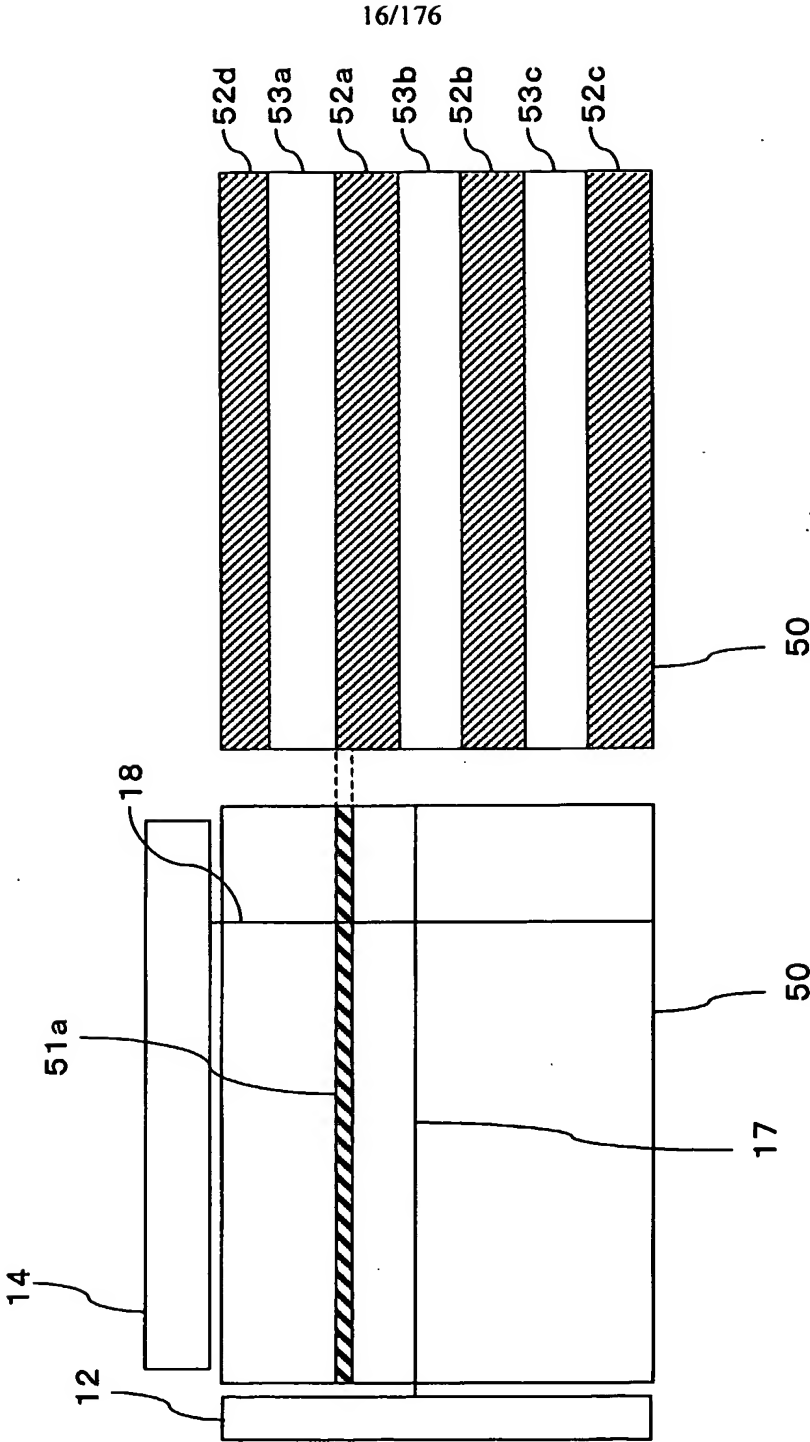
第15図



第16図

(a)

(b)



第17図

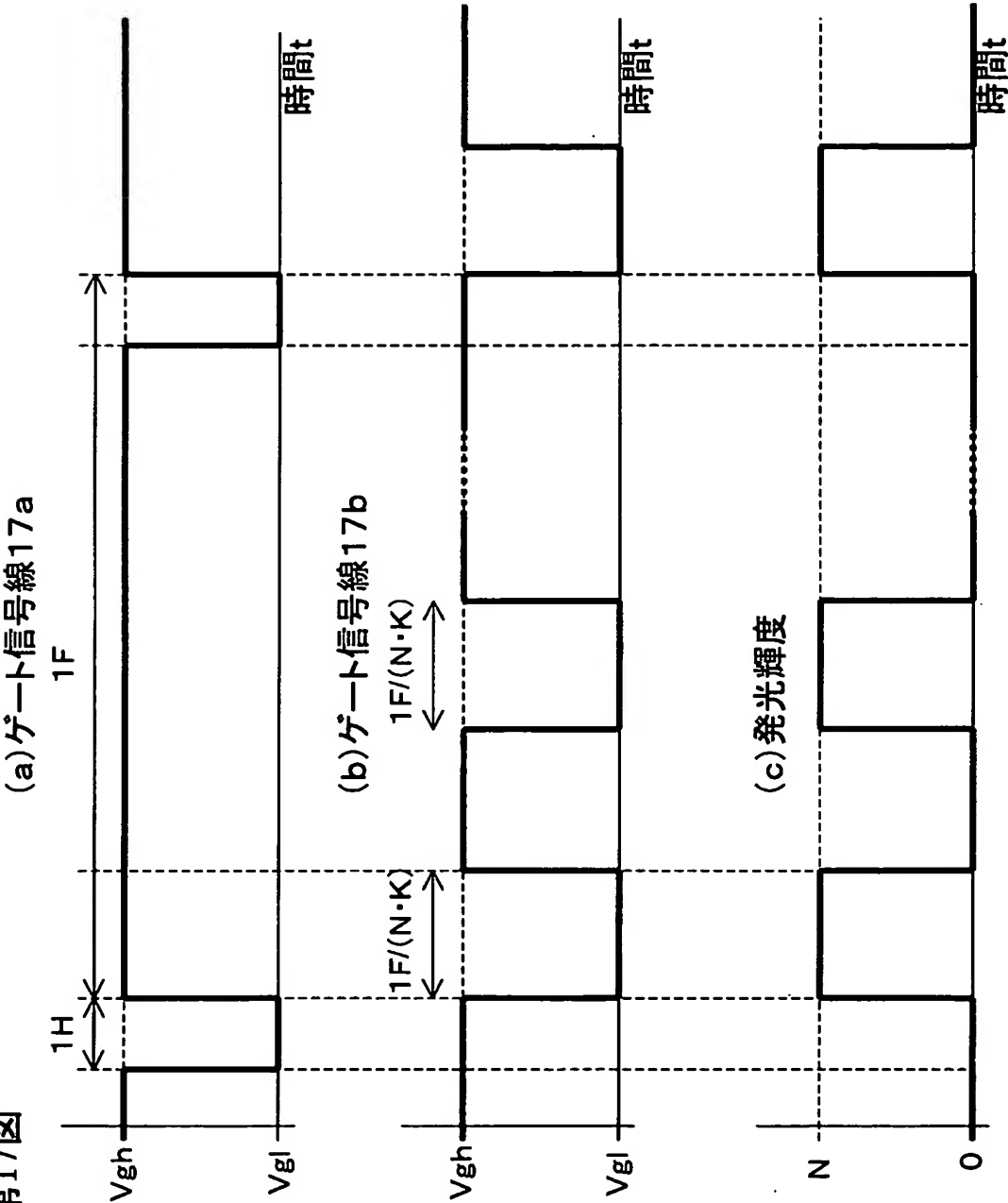
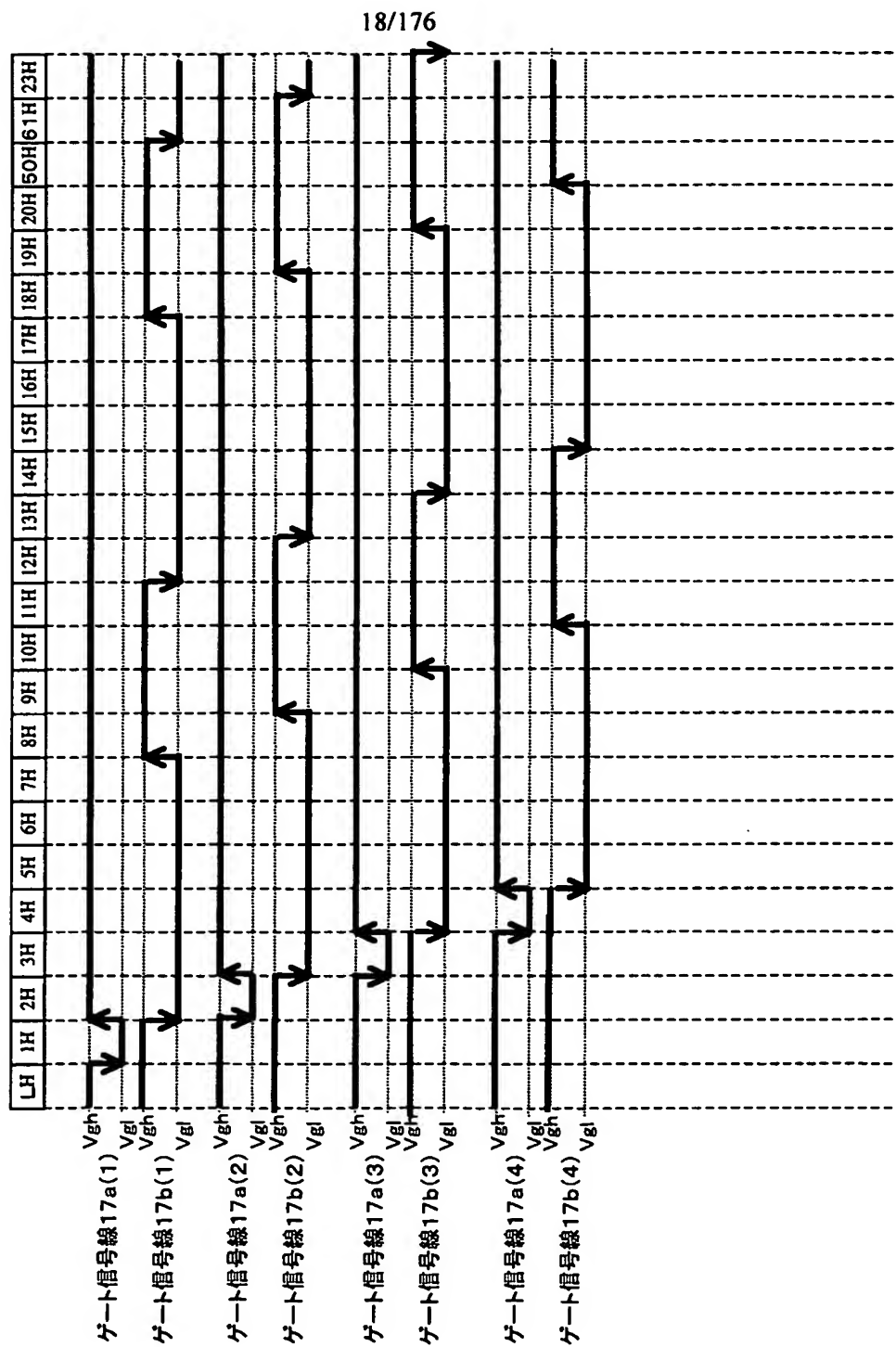
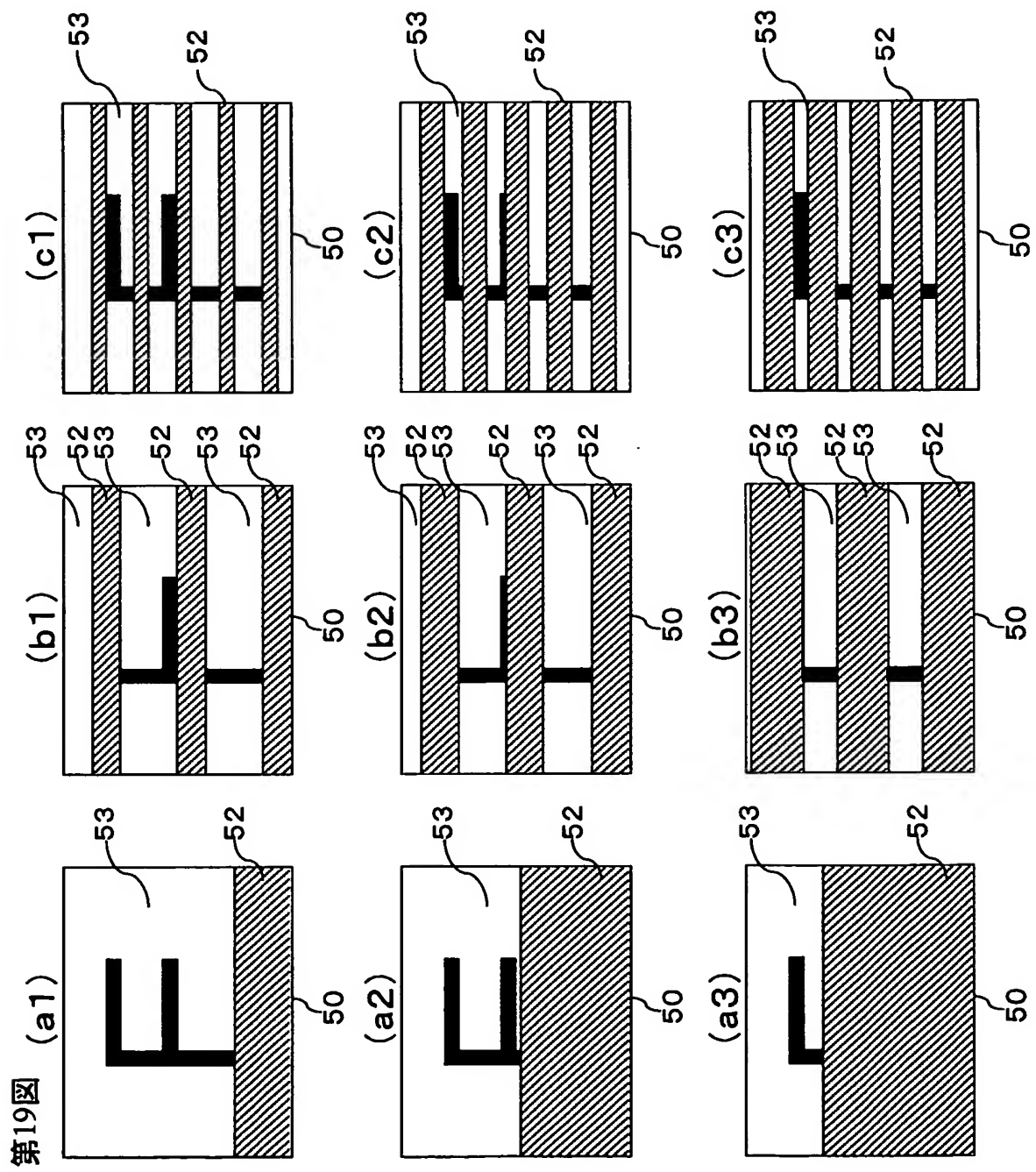


図 18 振



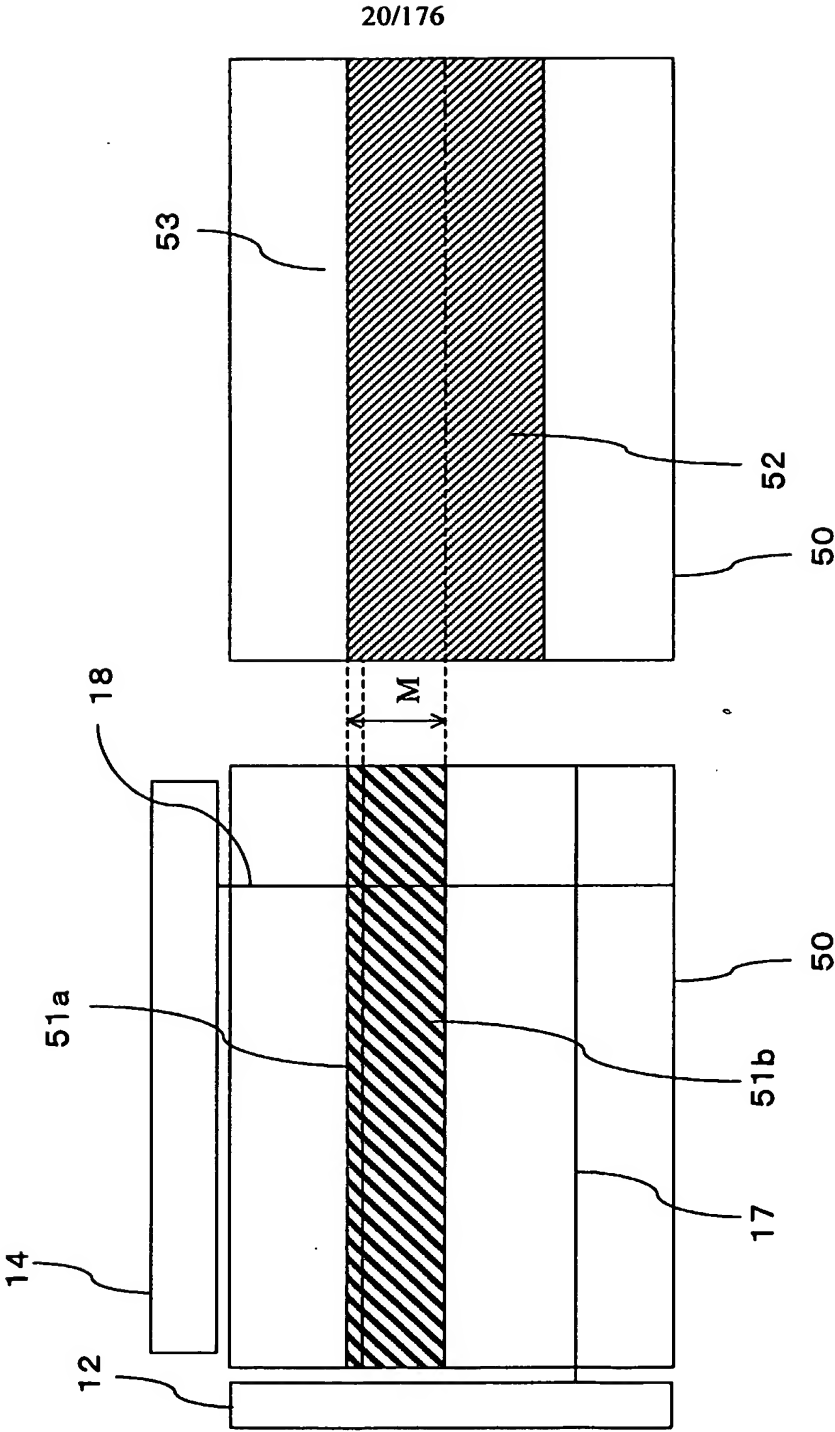
19/176



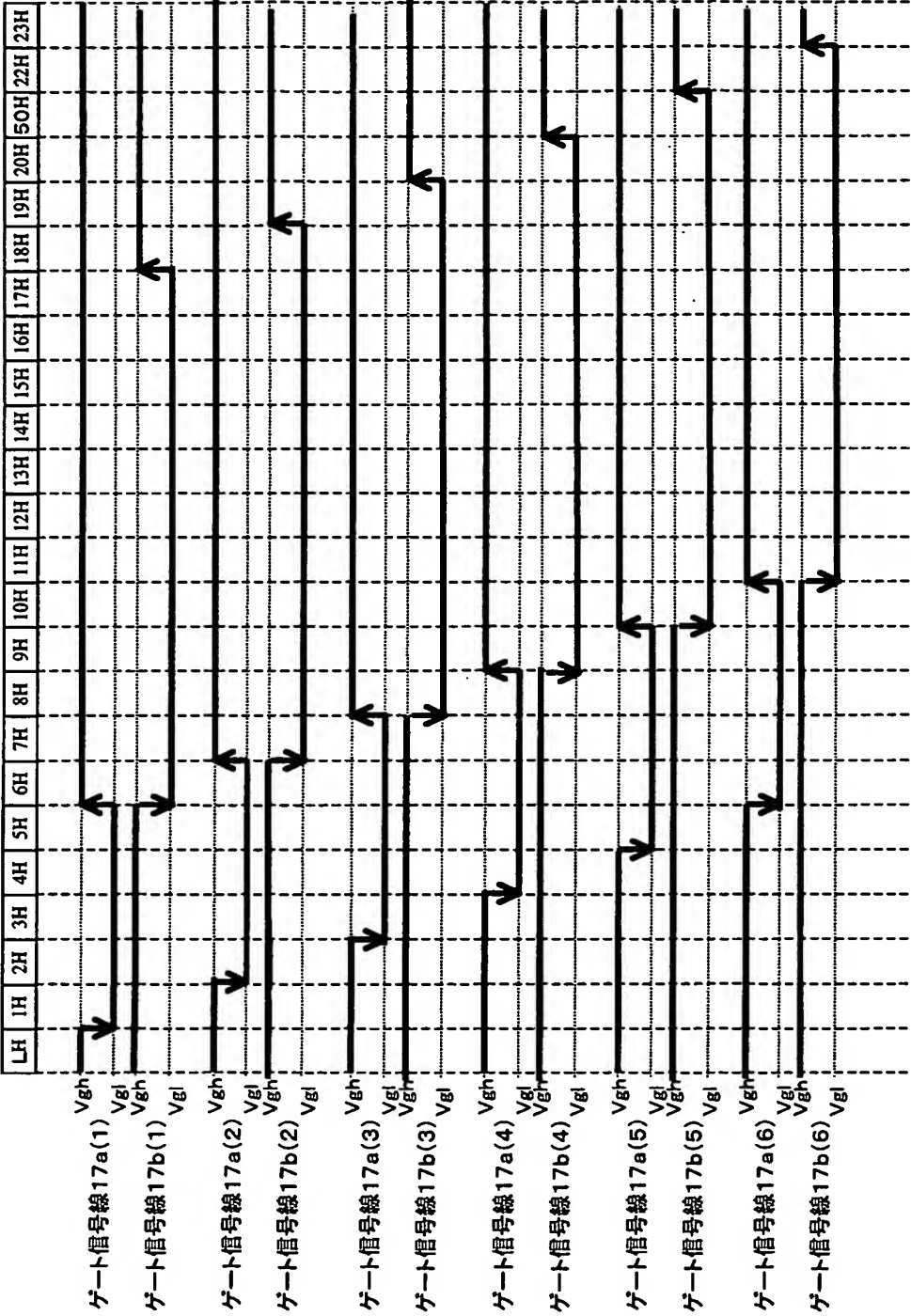
第20図

(a)

(b)

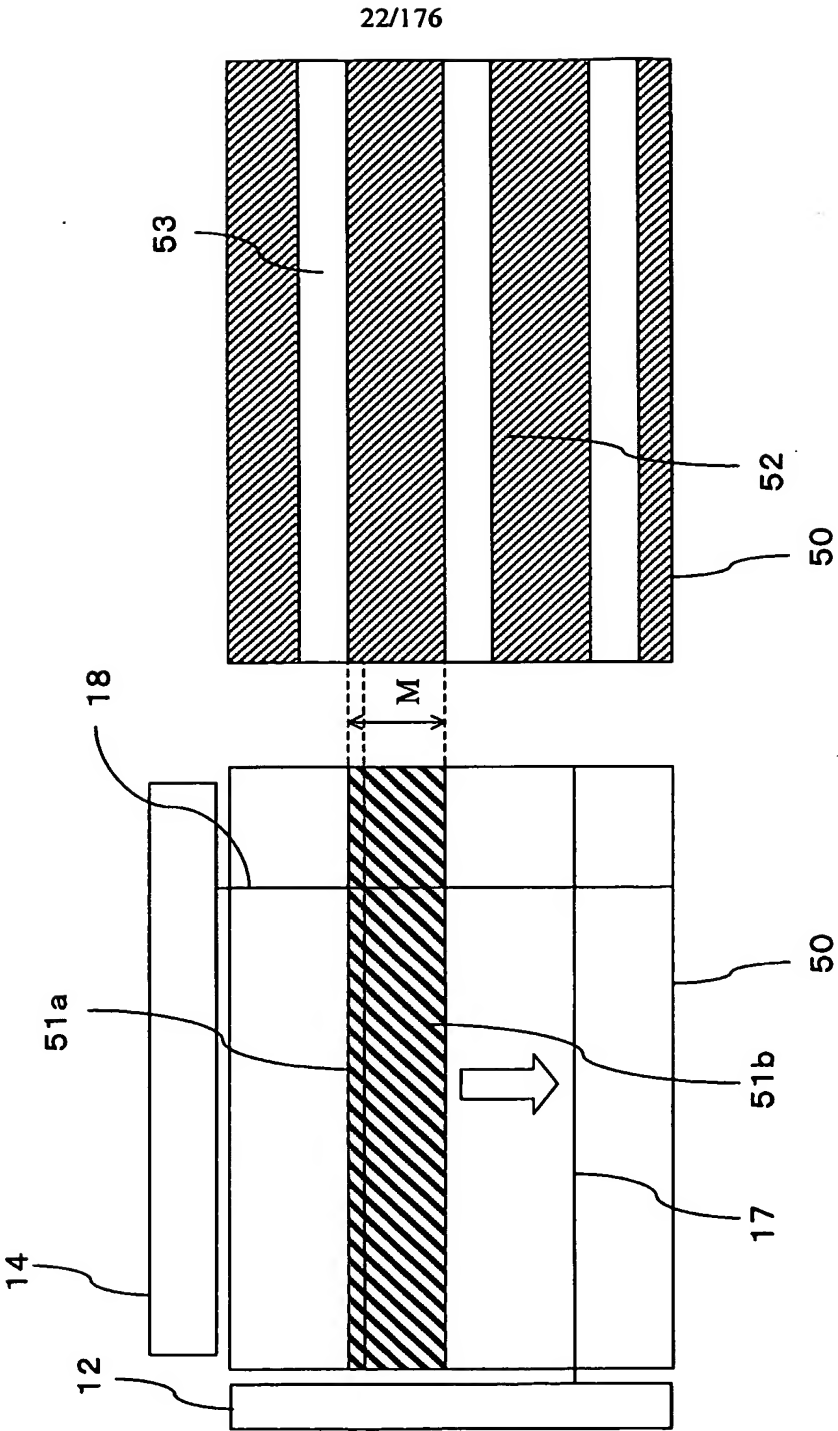


第21図

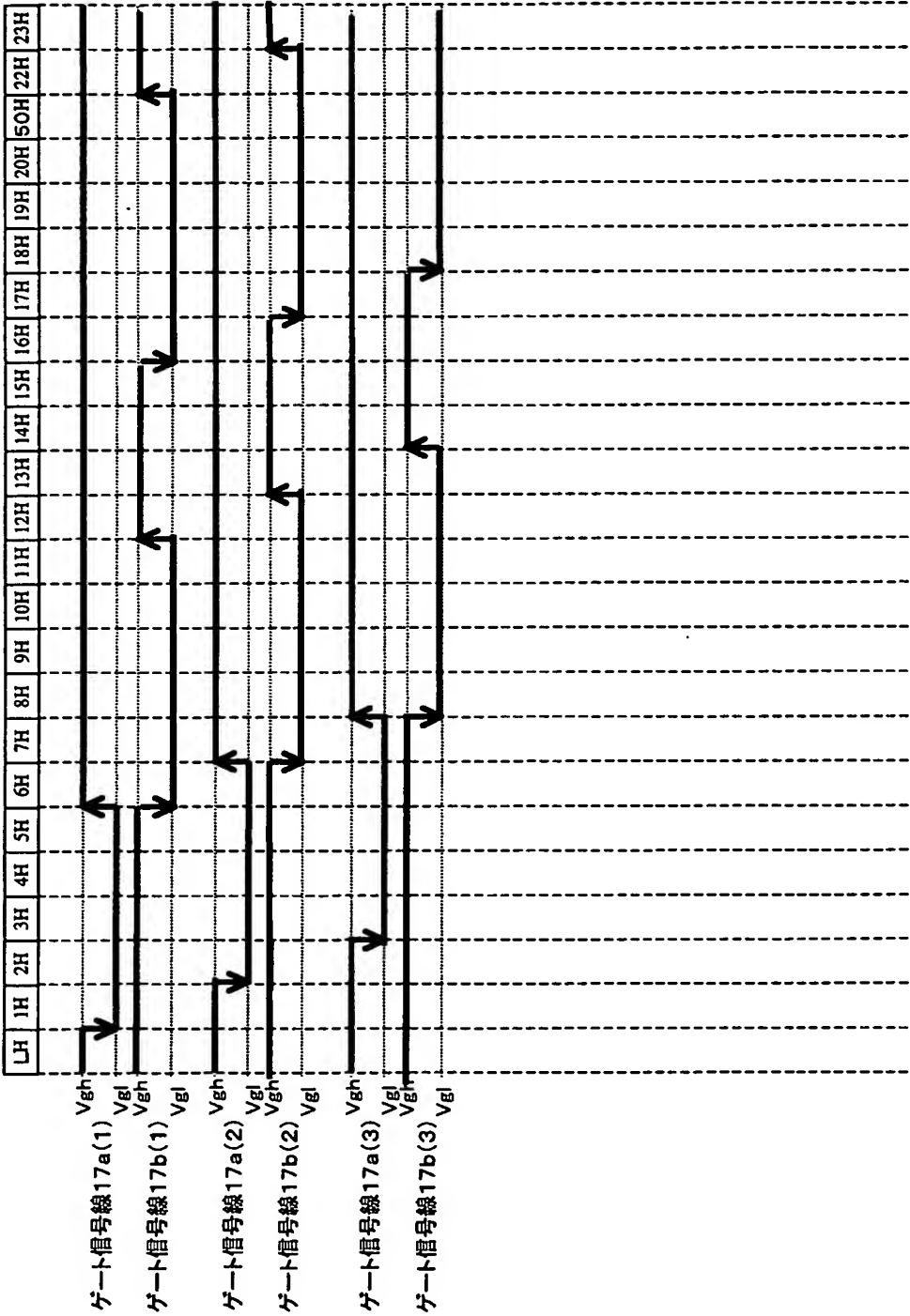


第22図

(a) (b)

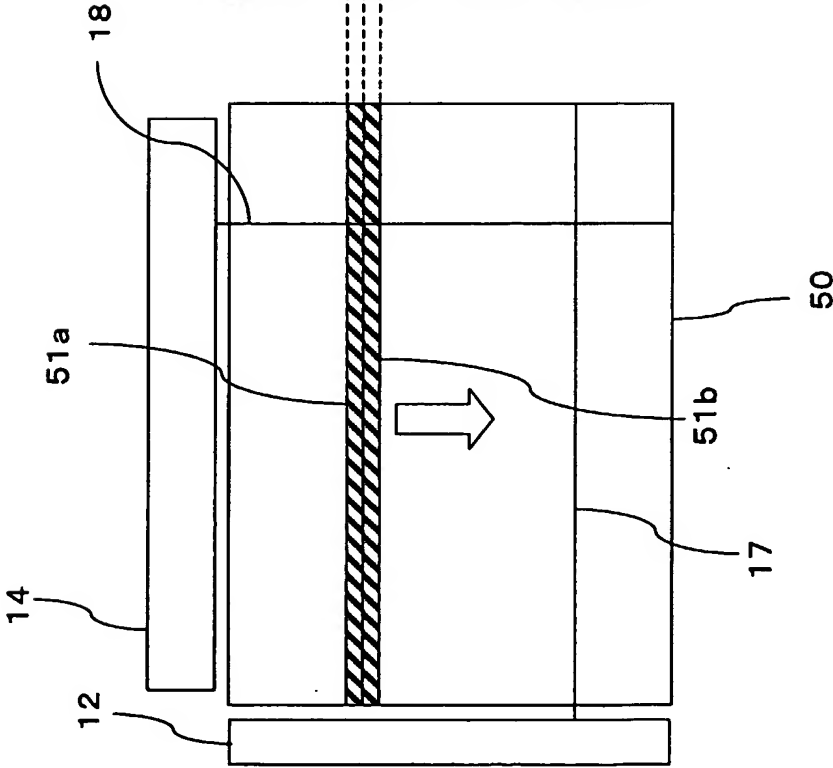


第23図

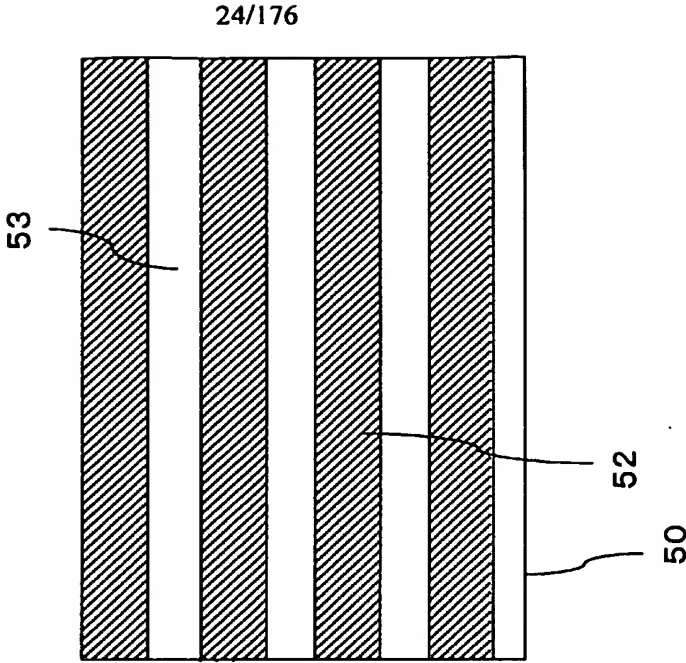


第24図

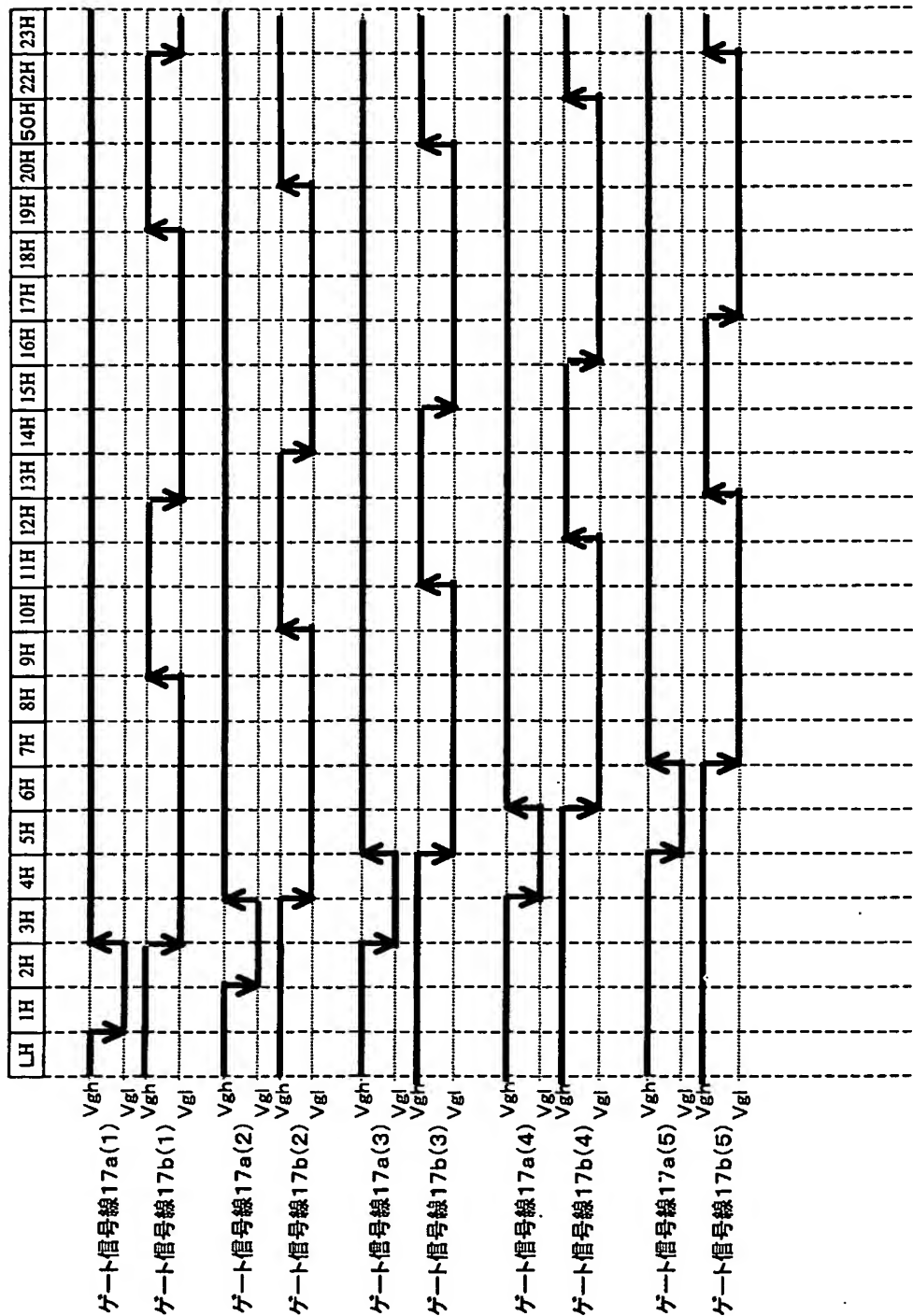
(a)



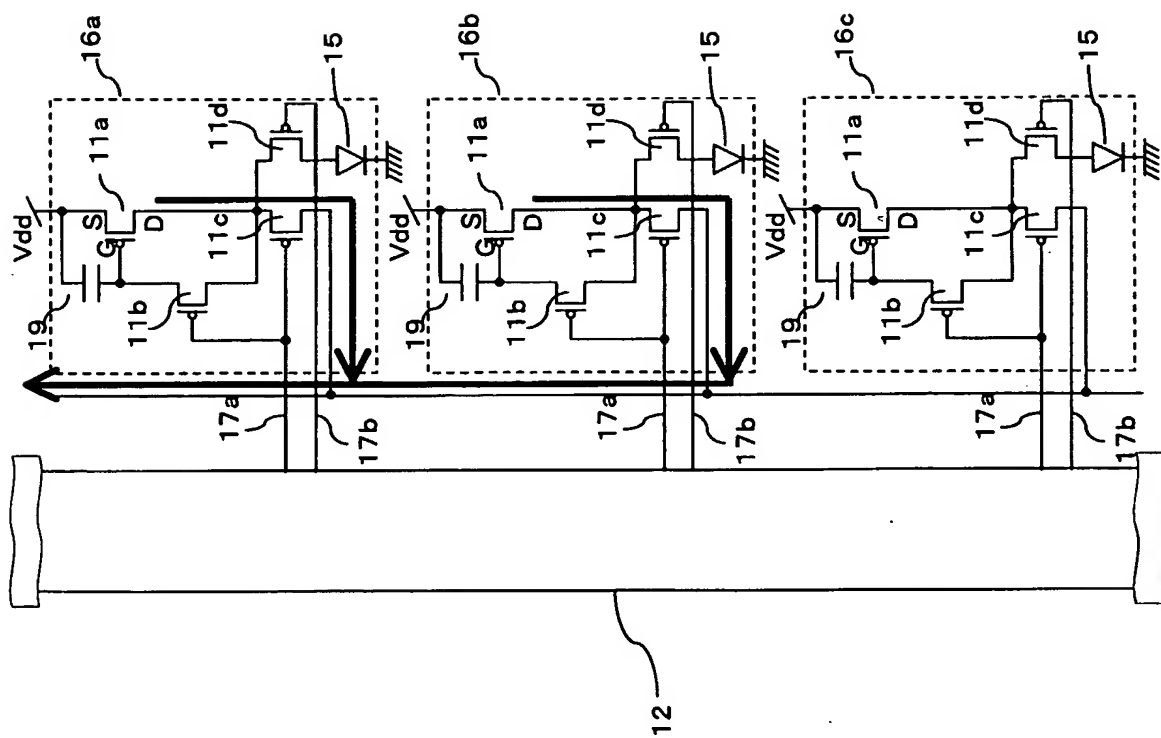
(b)



第25図

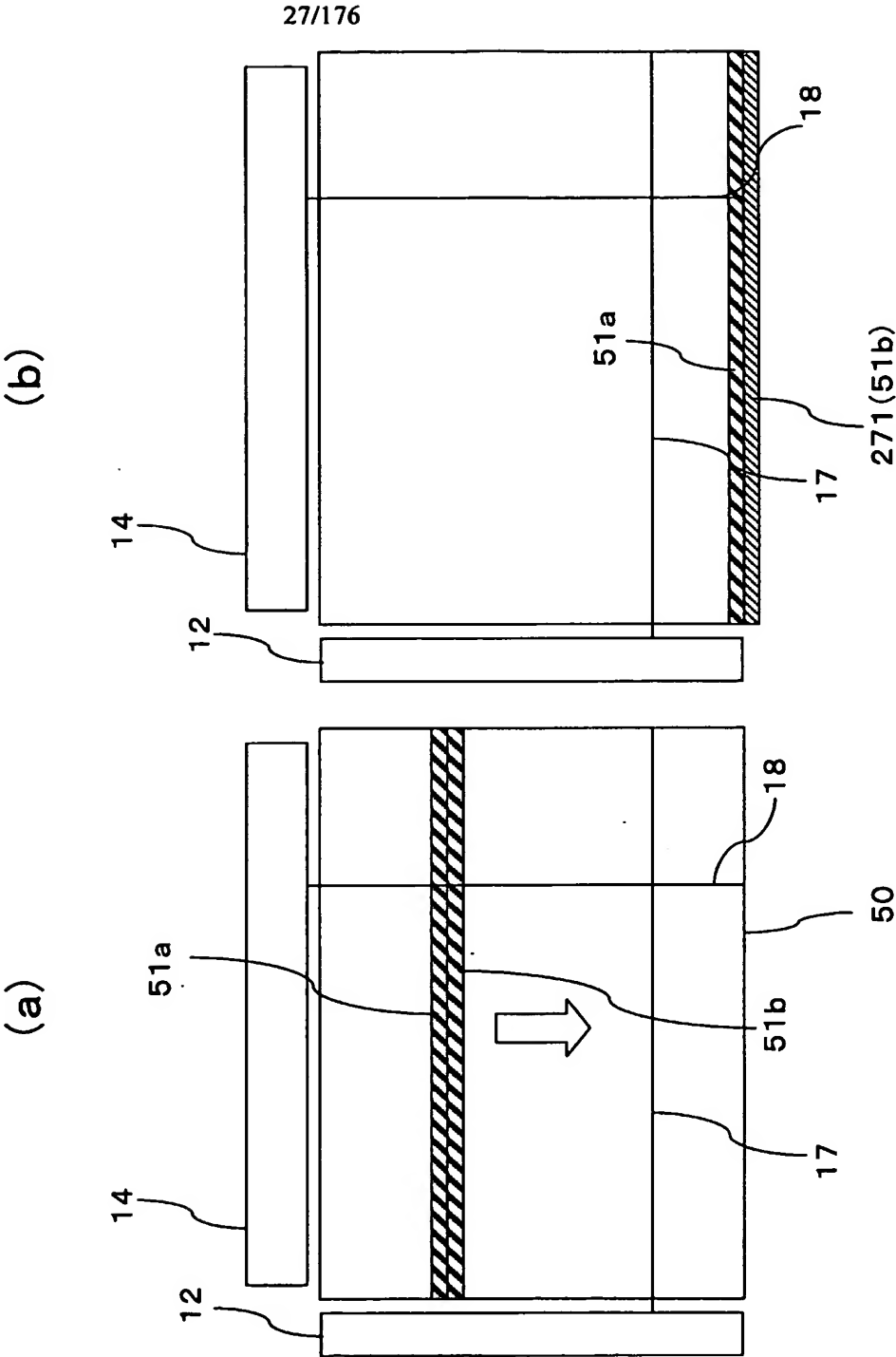


26/176

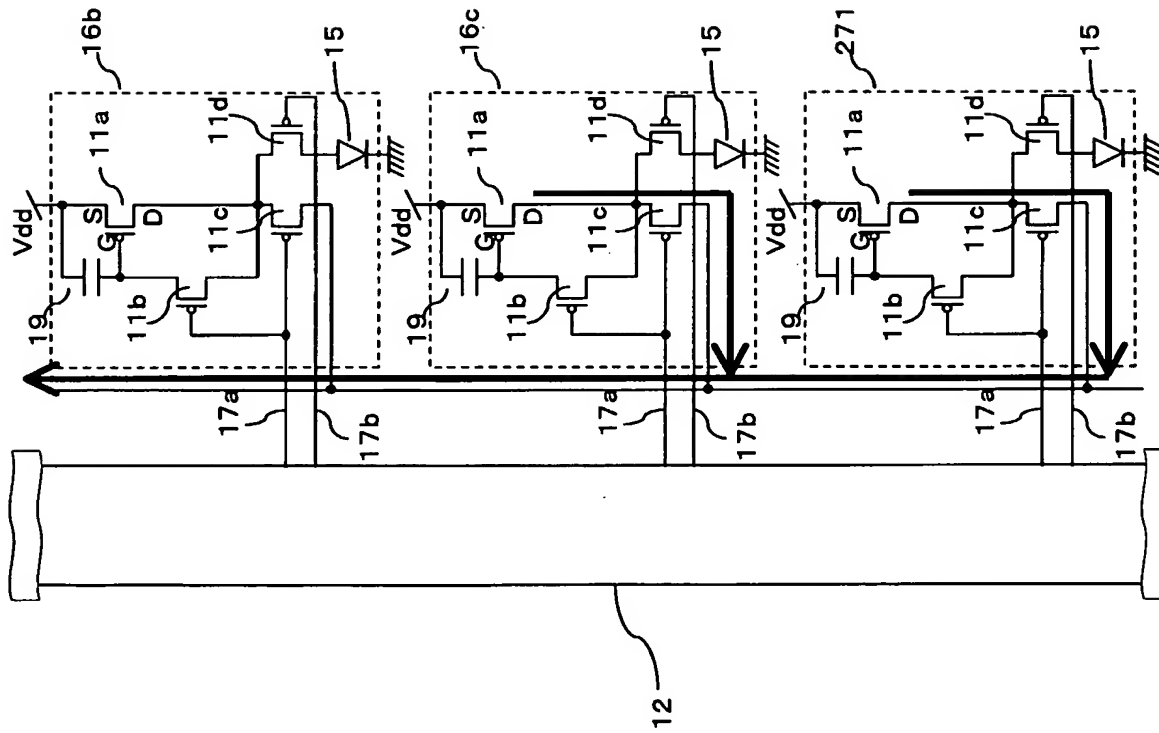


第26図

第27図



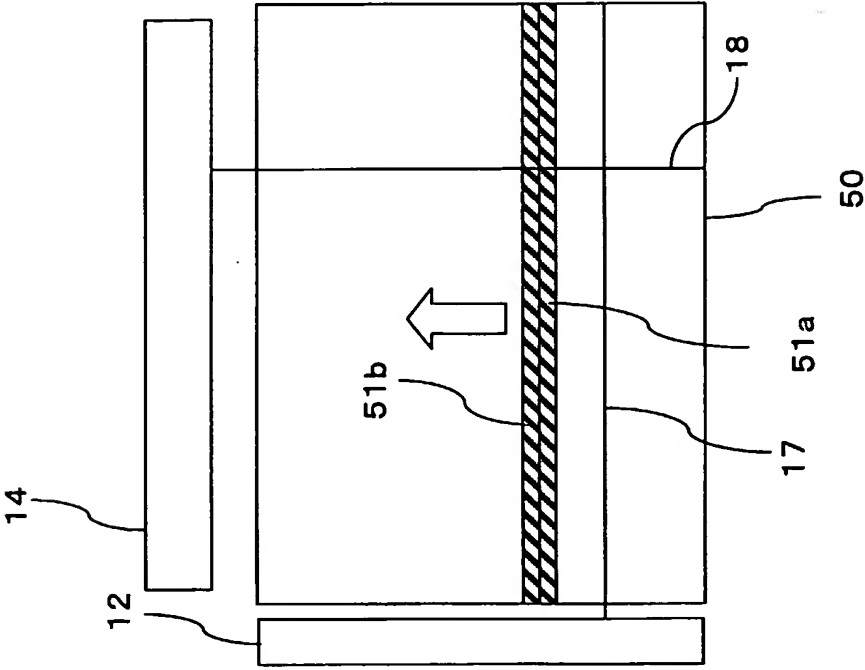
28/176



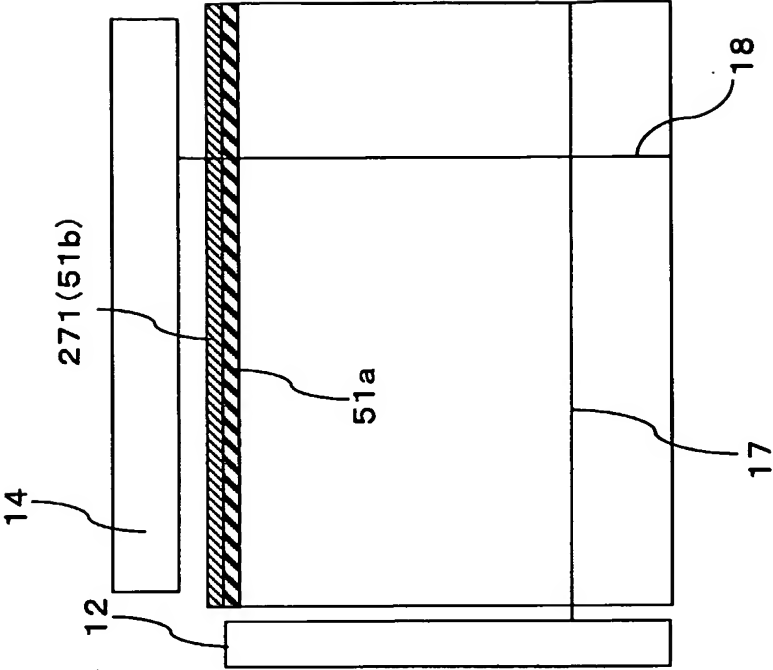
第28図

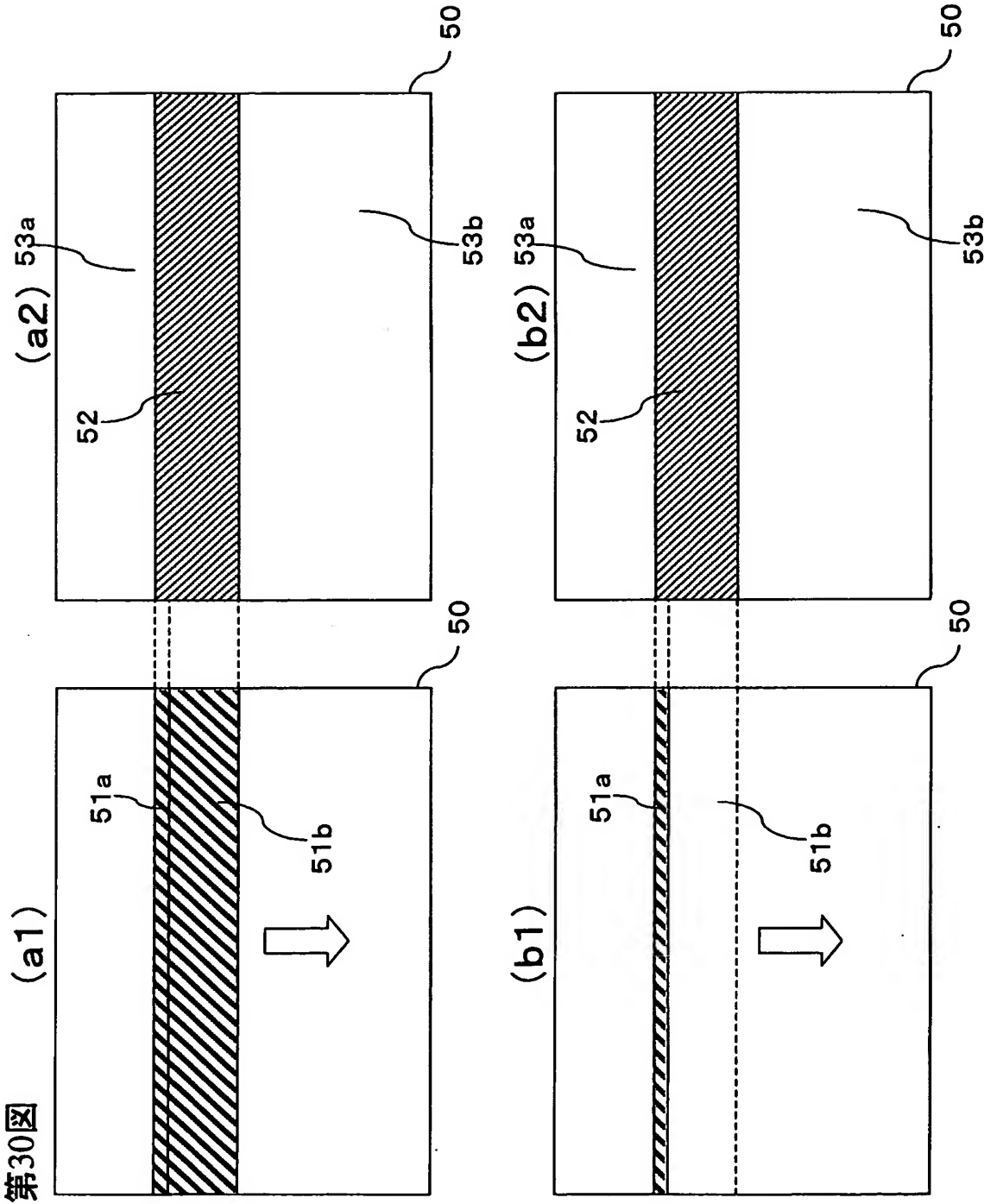
第29図

(a)

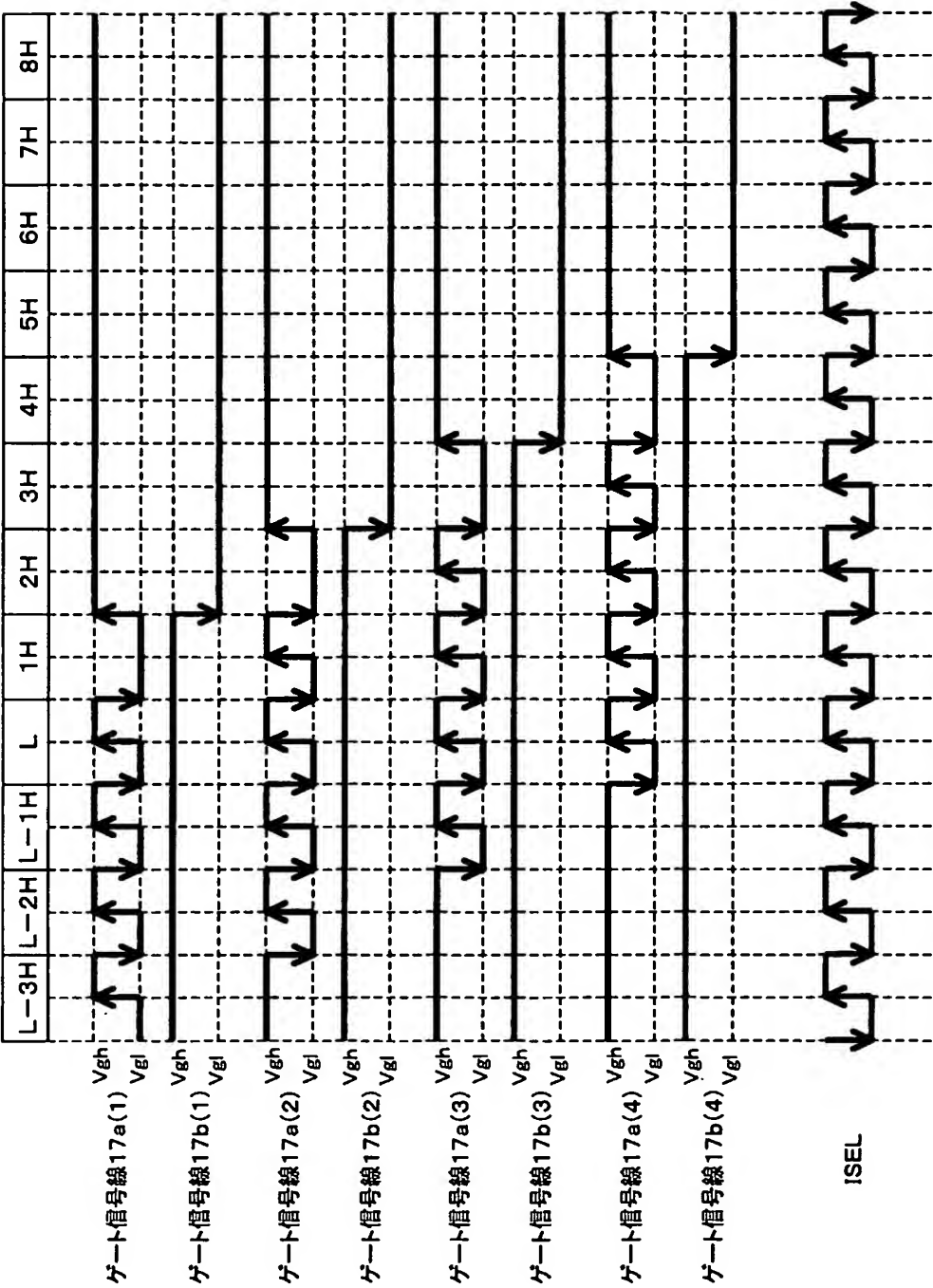


(b)





第31図



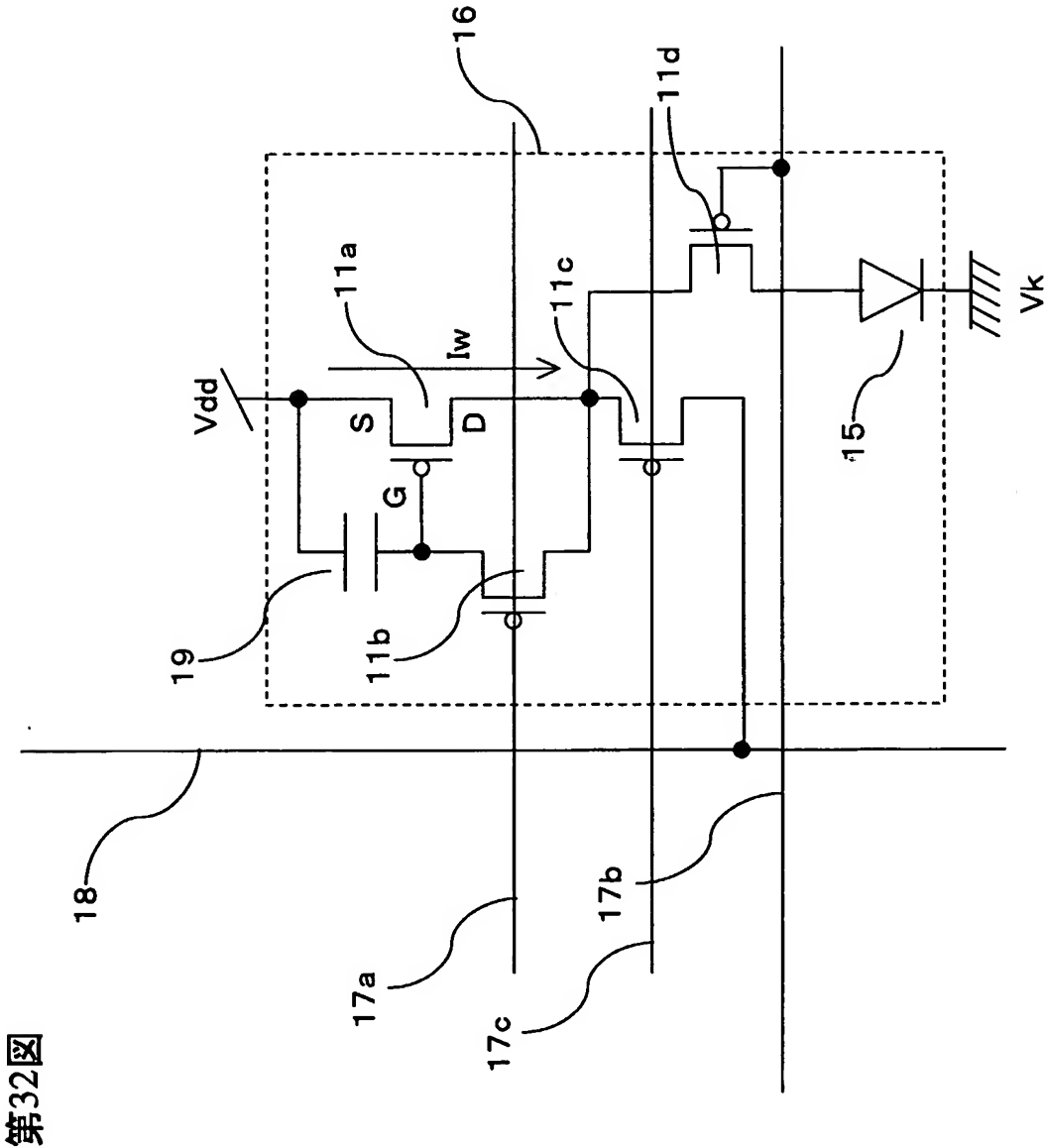
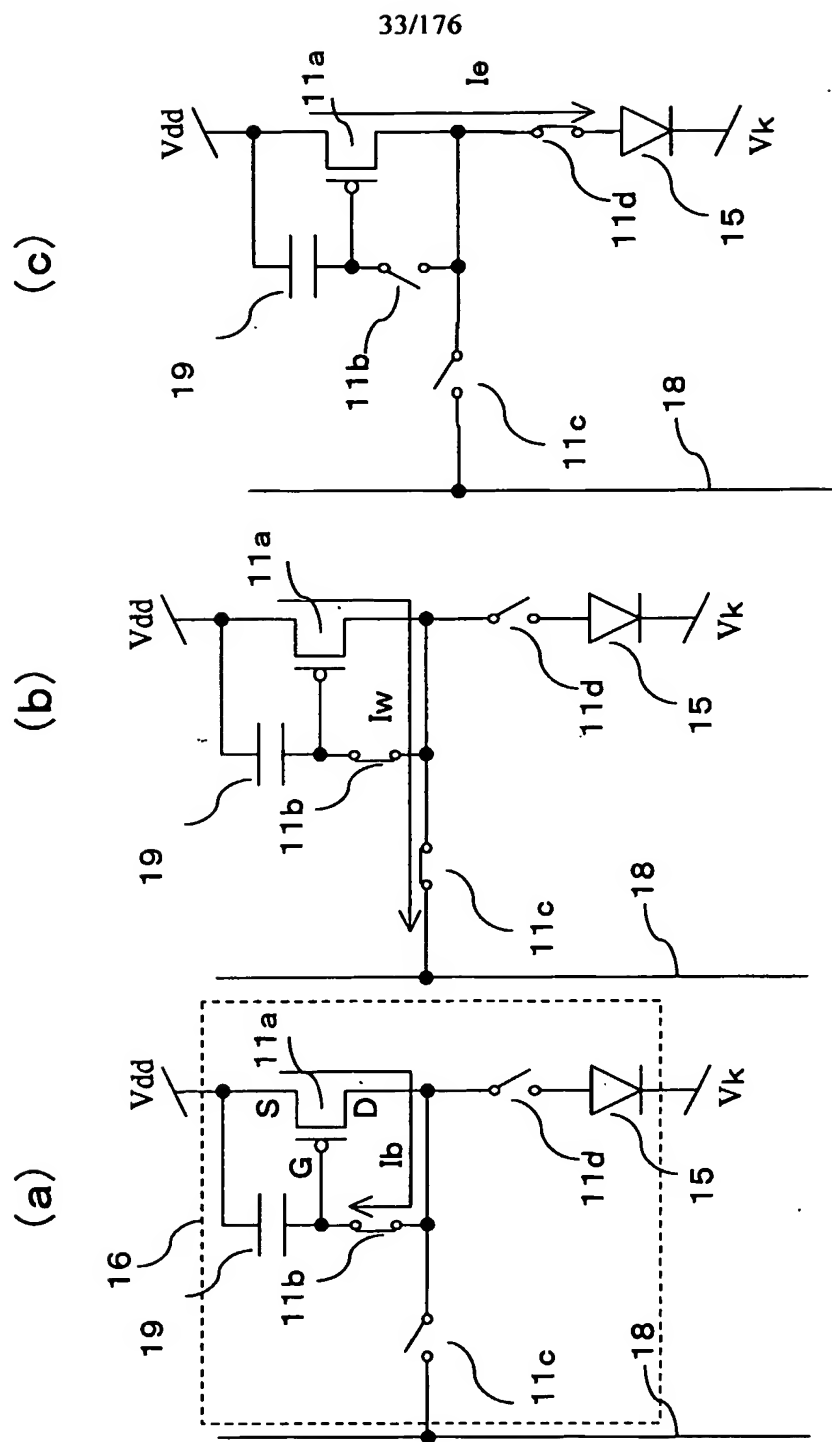
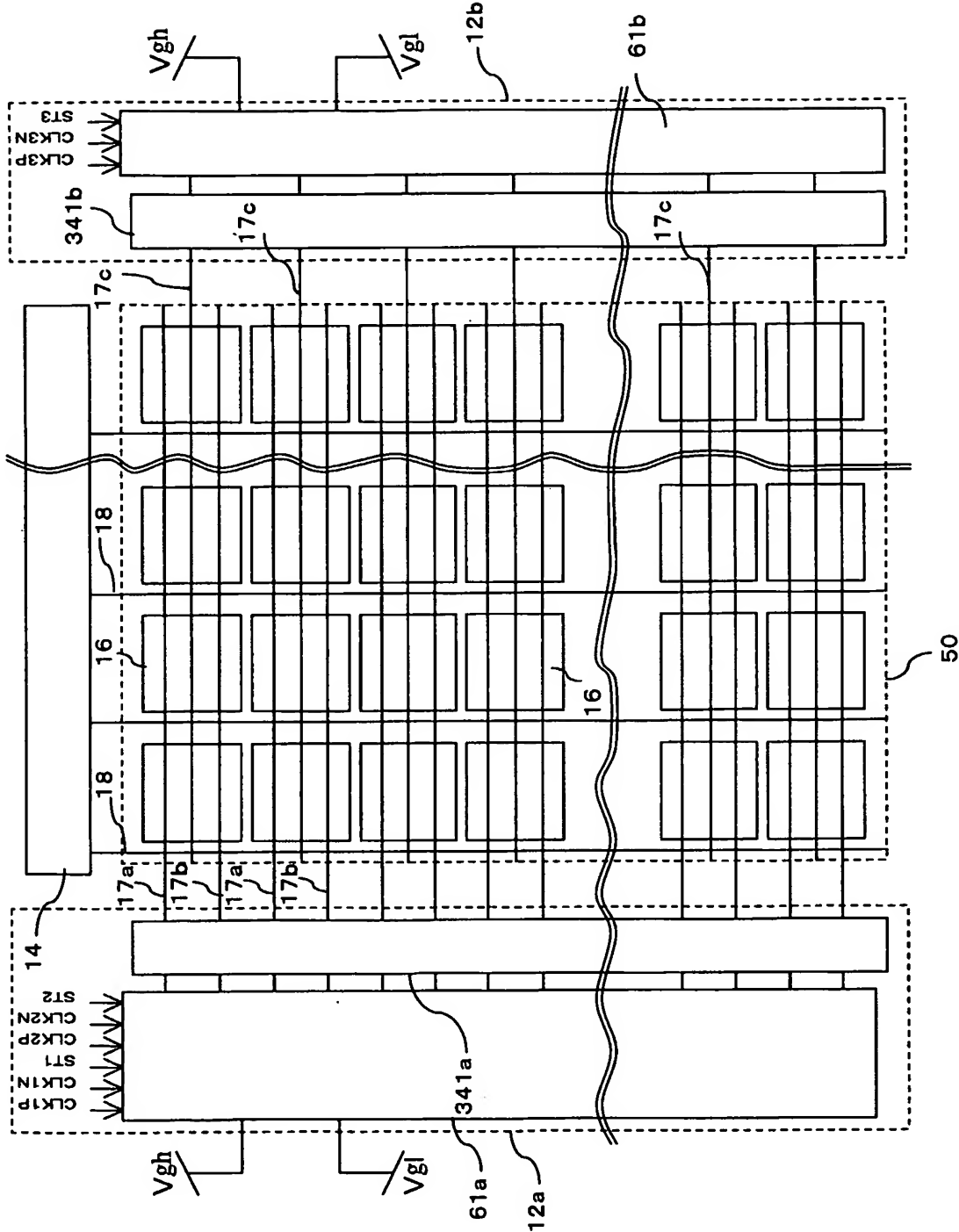


圖 33 無

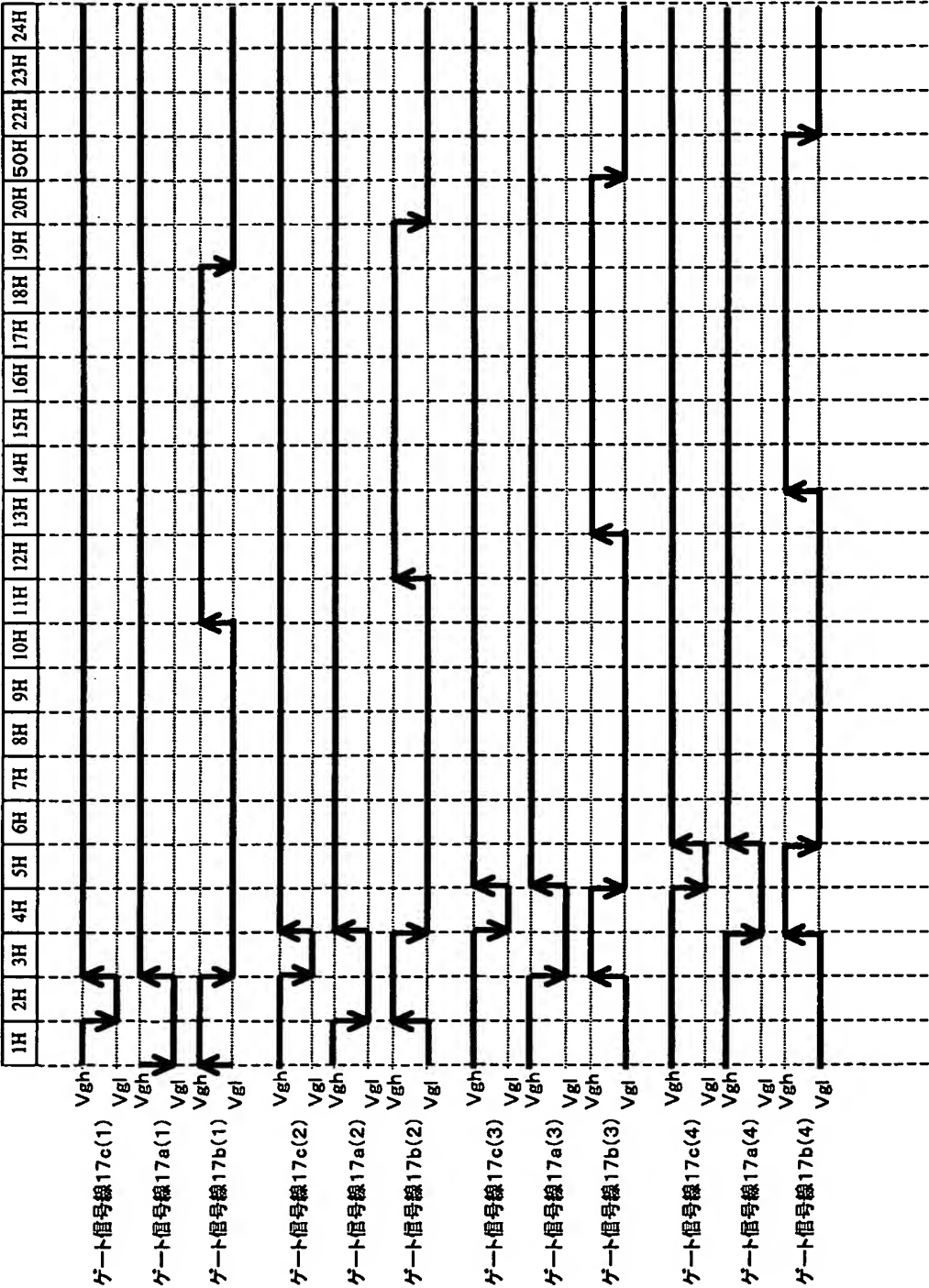


34/176

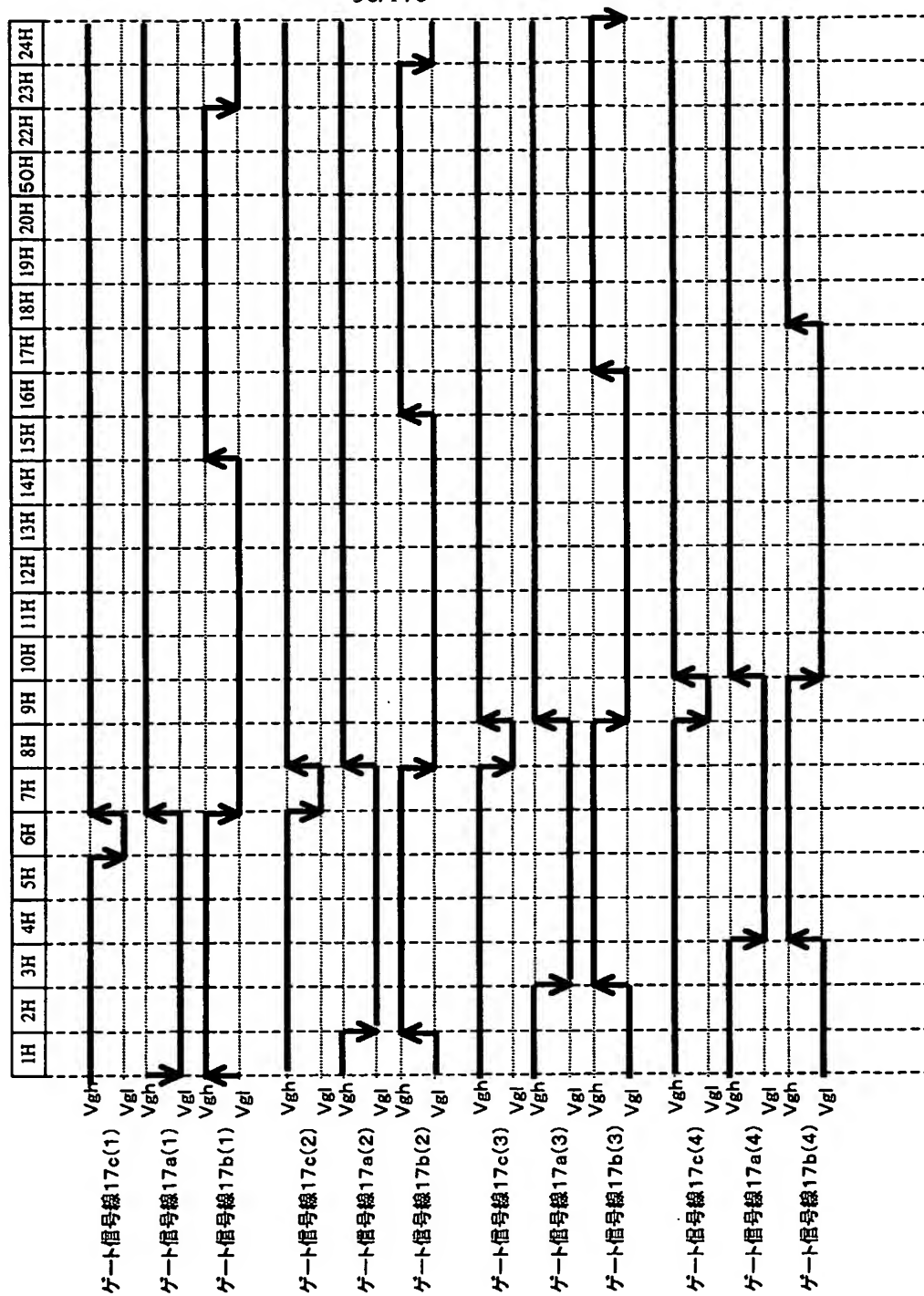
第34図

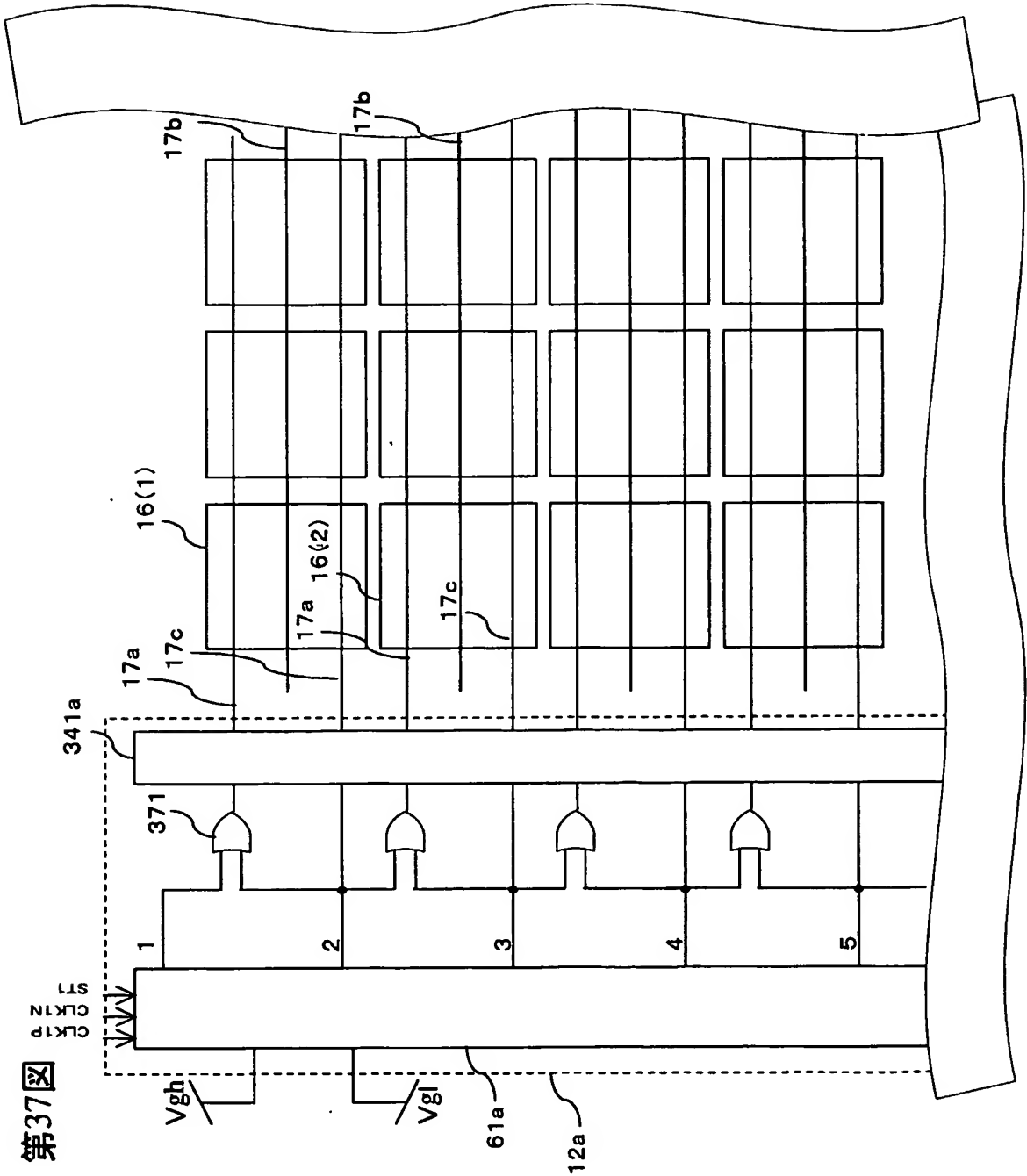


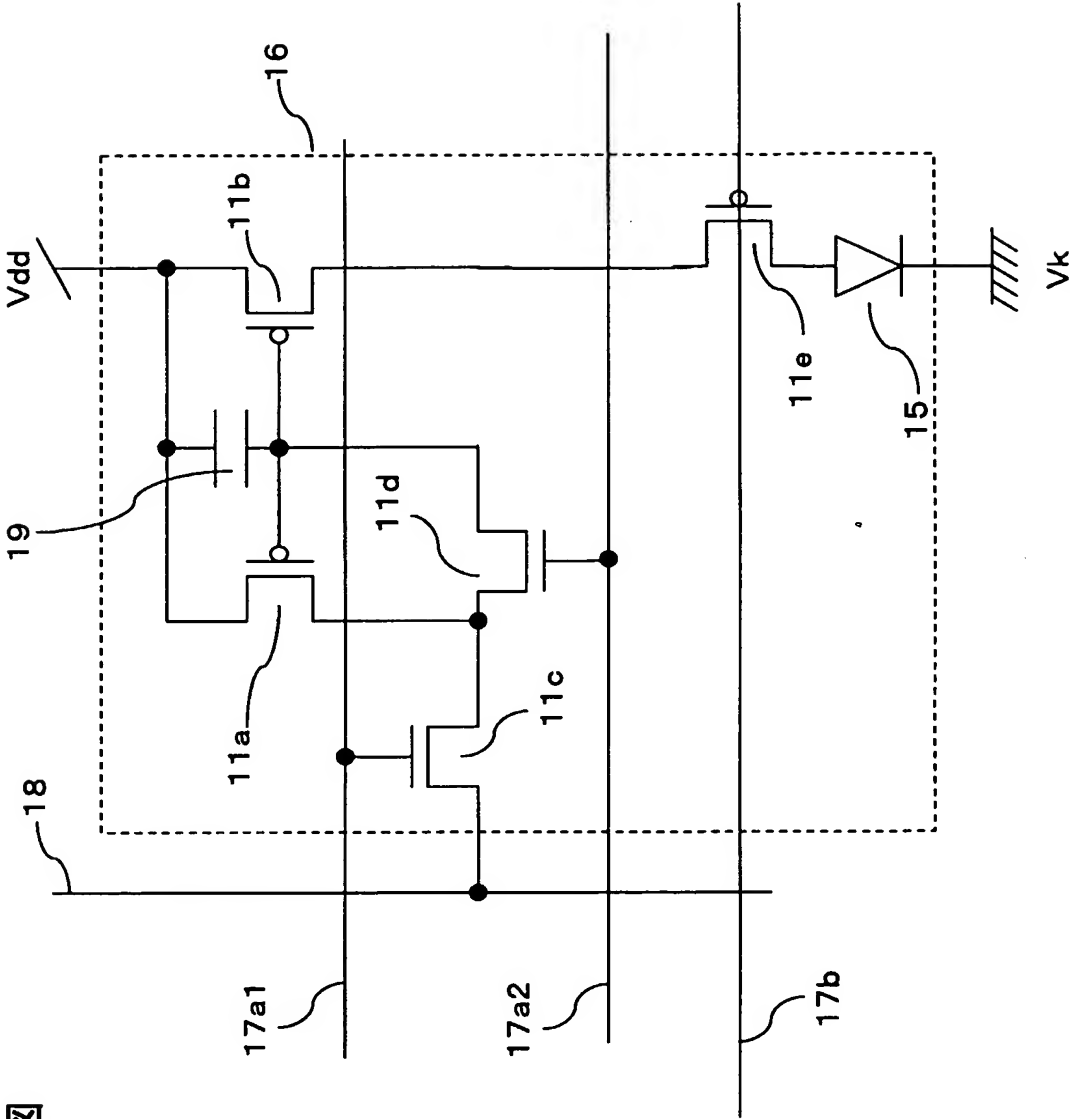
第35図



第36圖

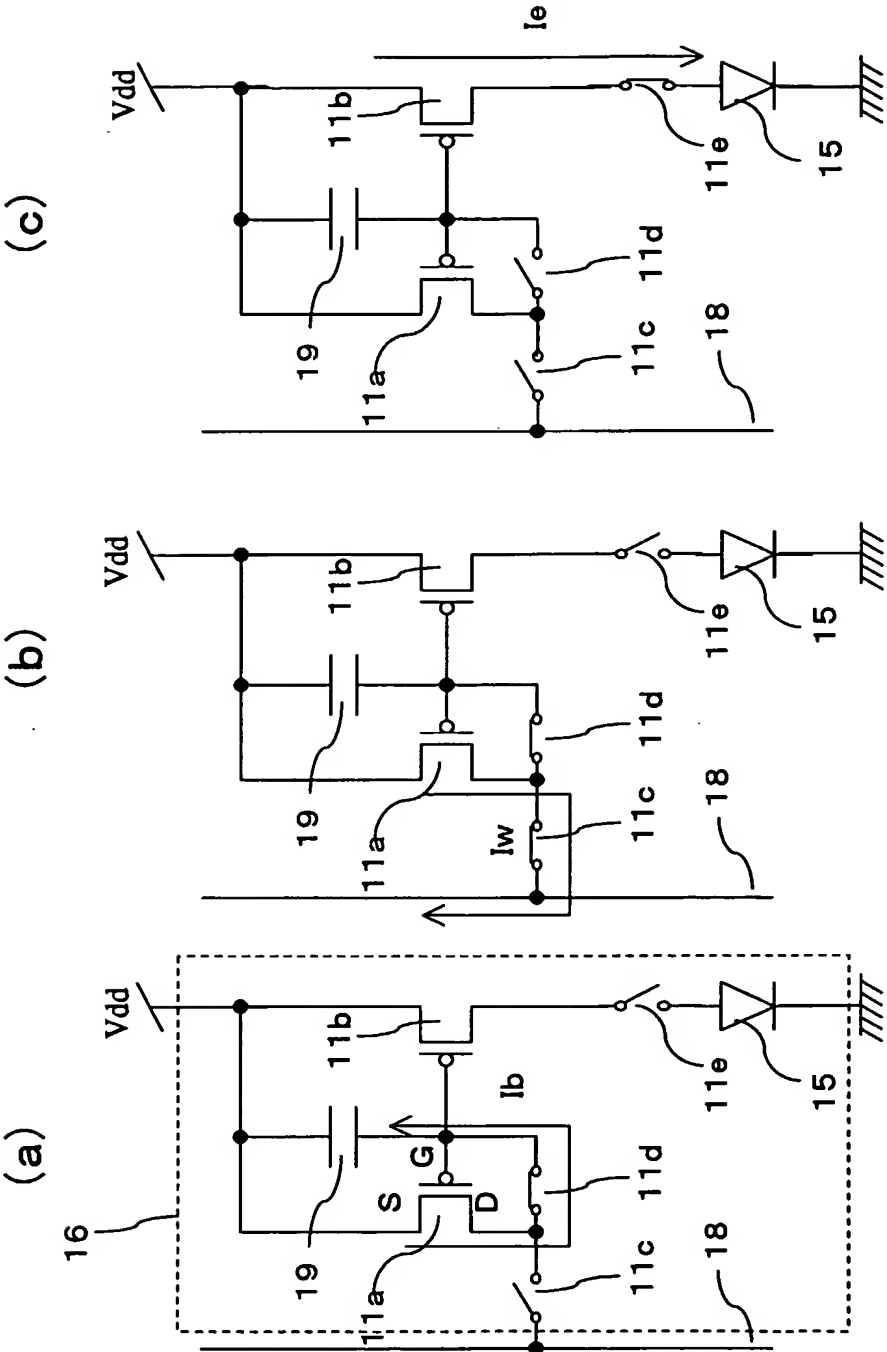




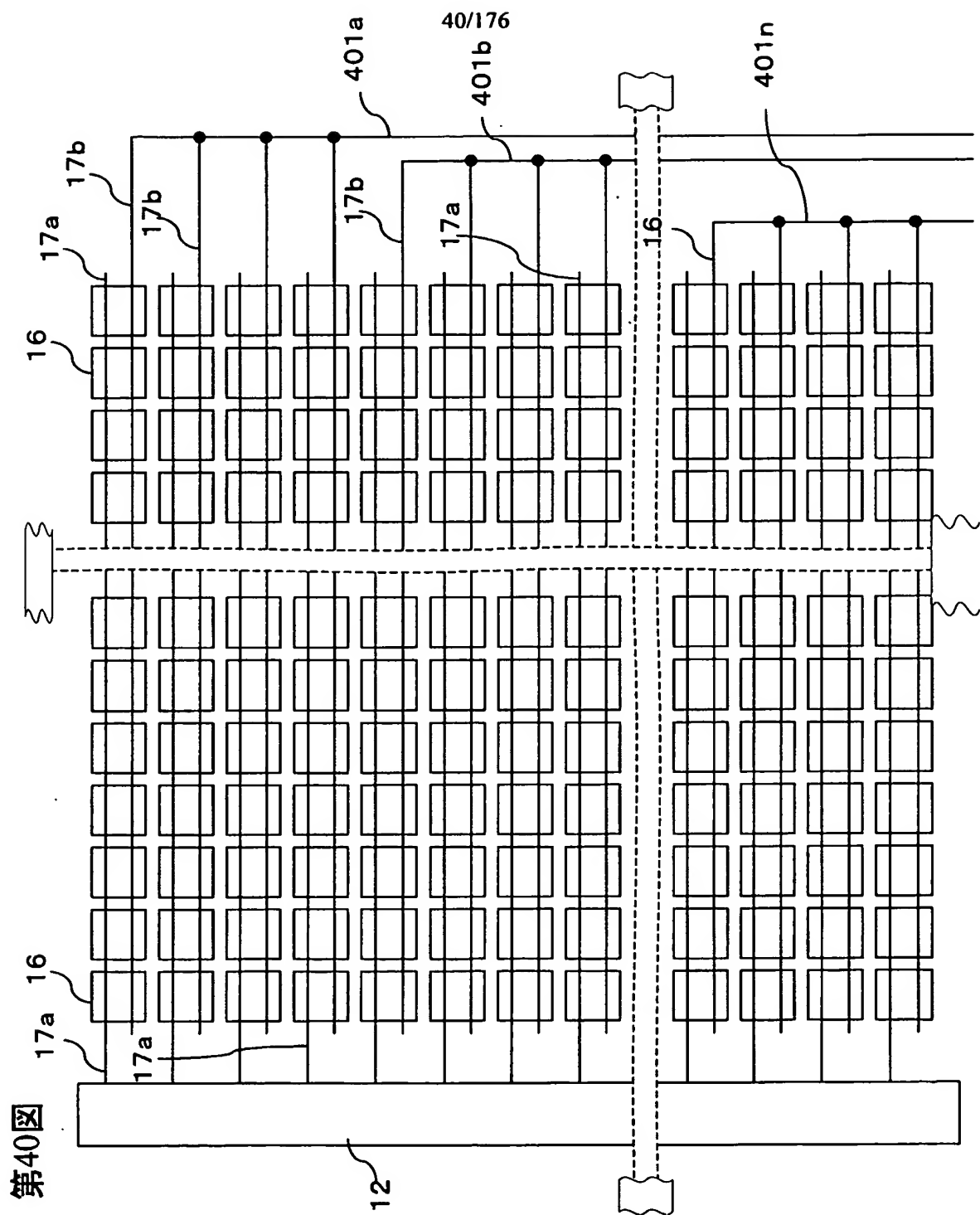


第38図

39/176

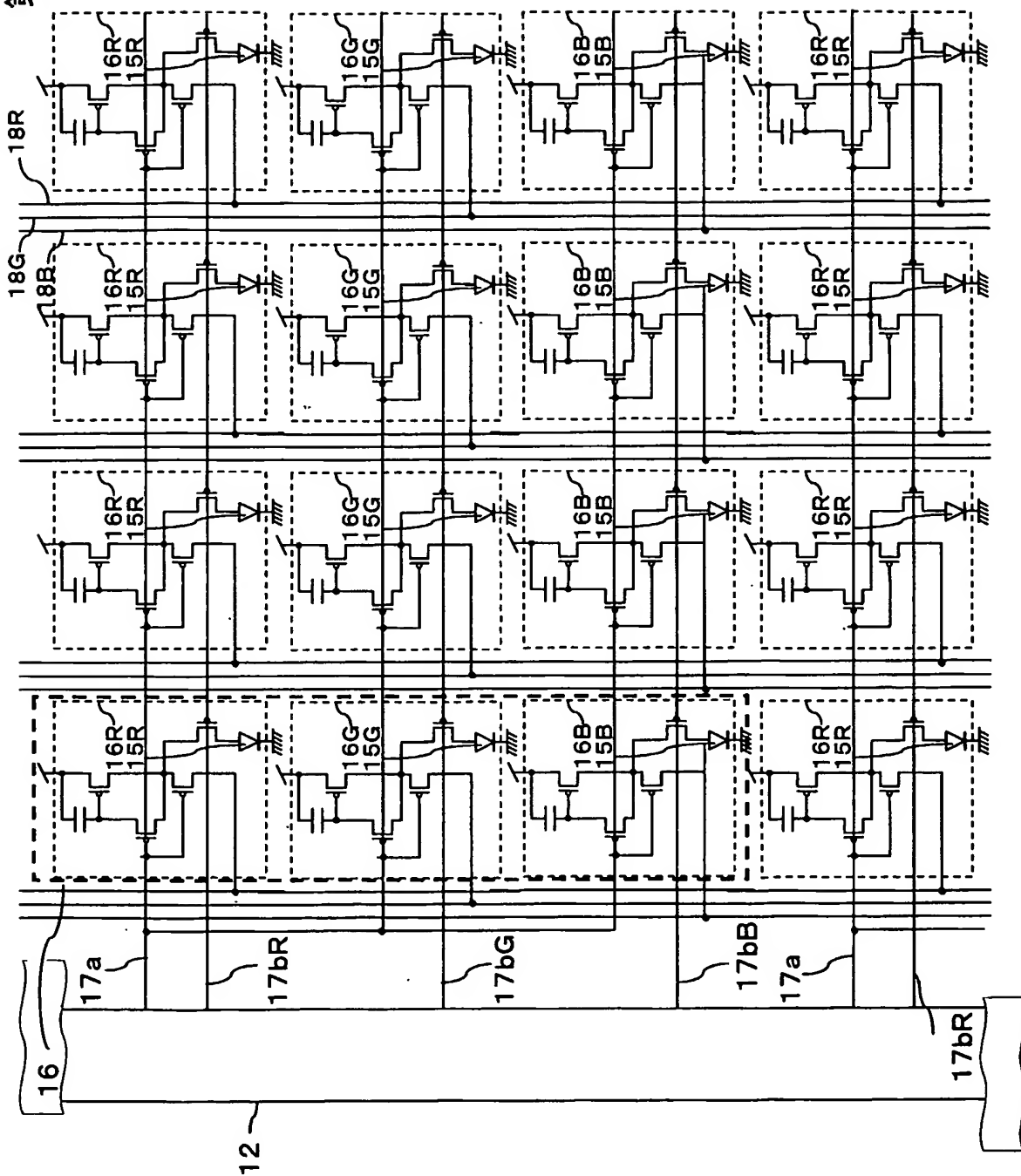


第39図

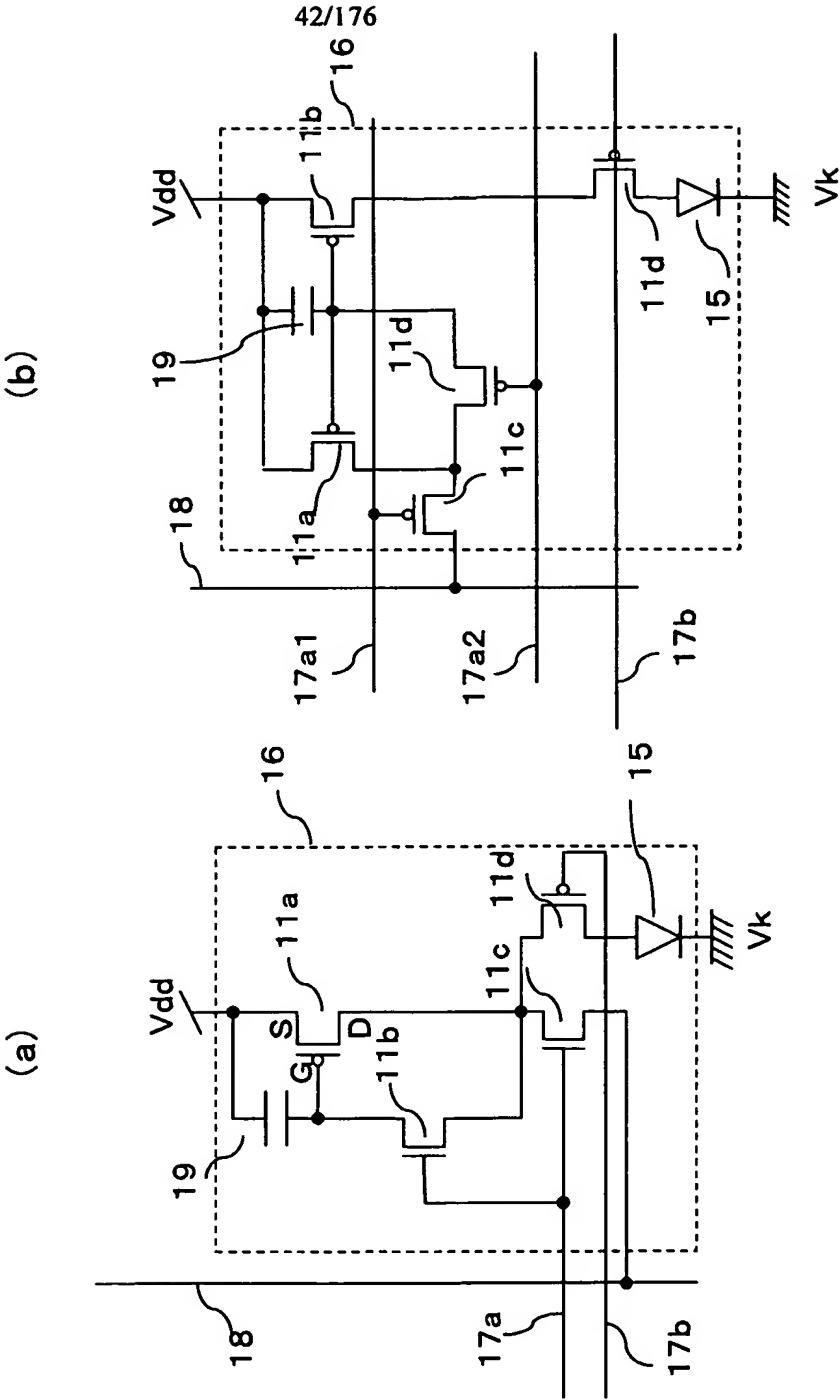


41/176

第41図



第42図



第43図

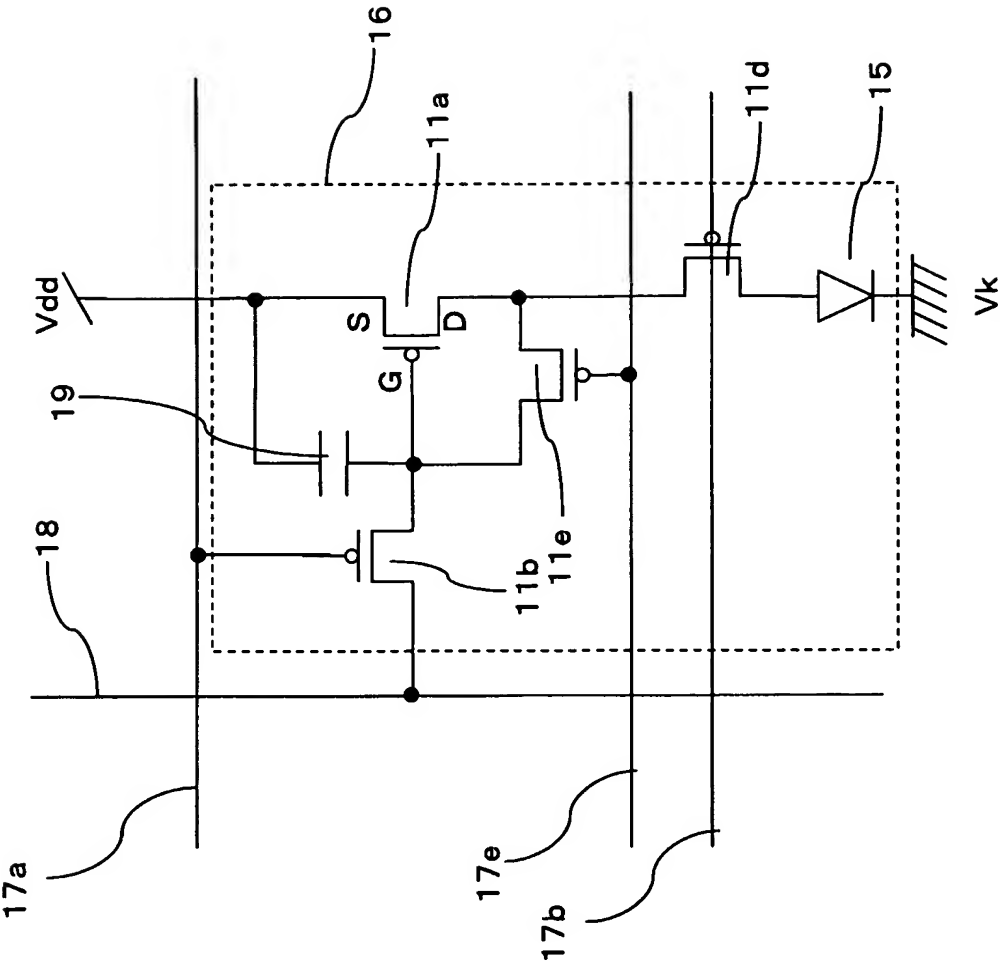
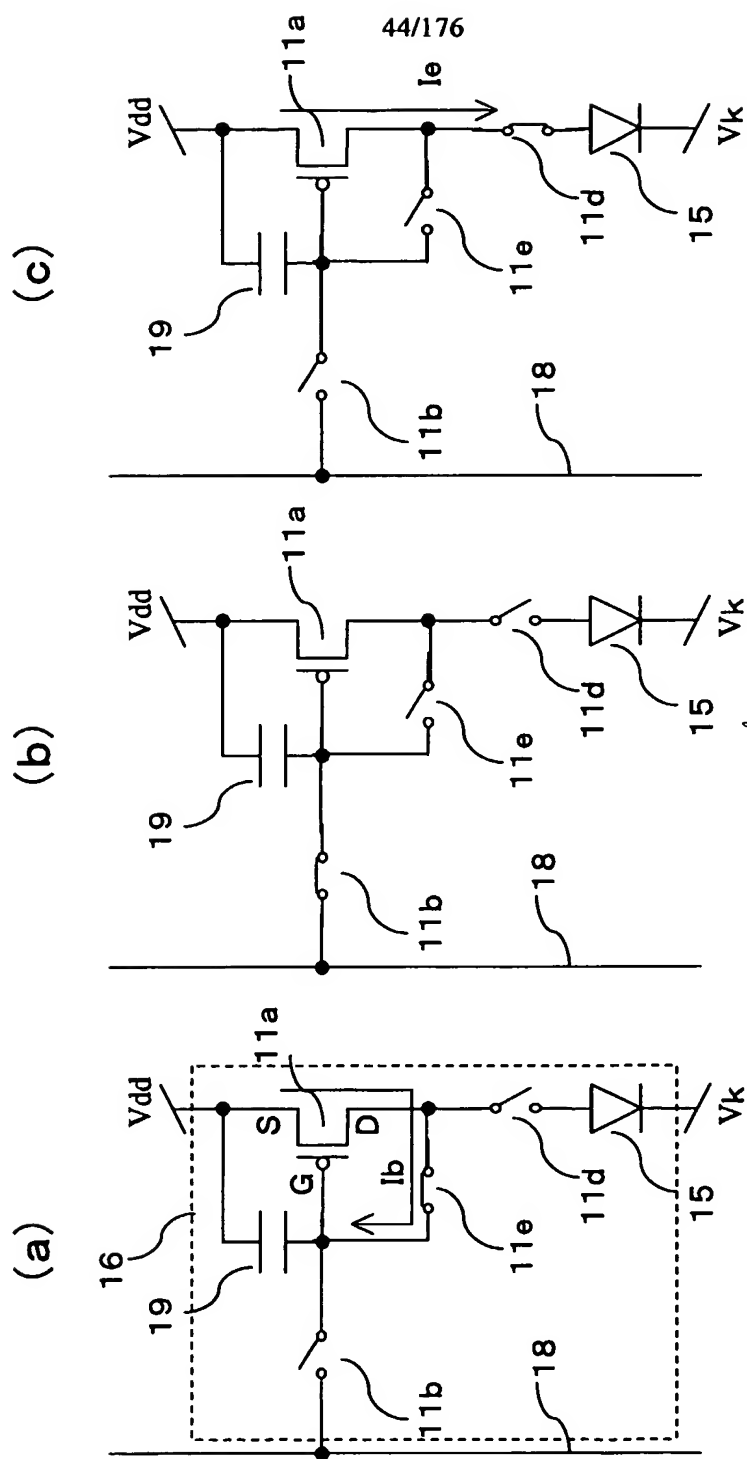
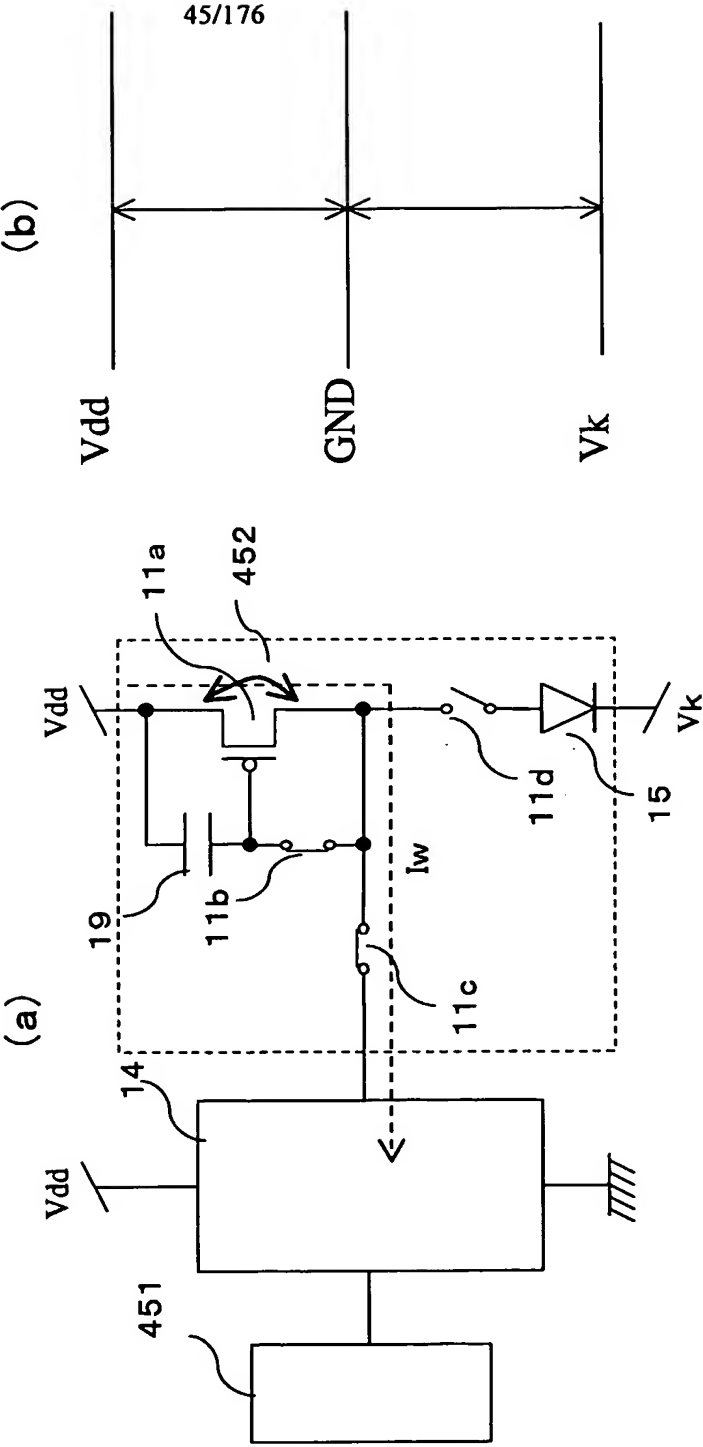


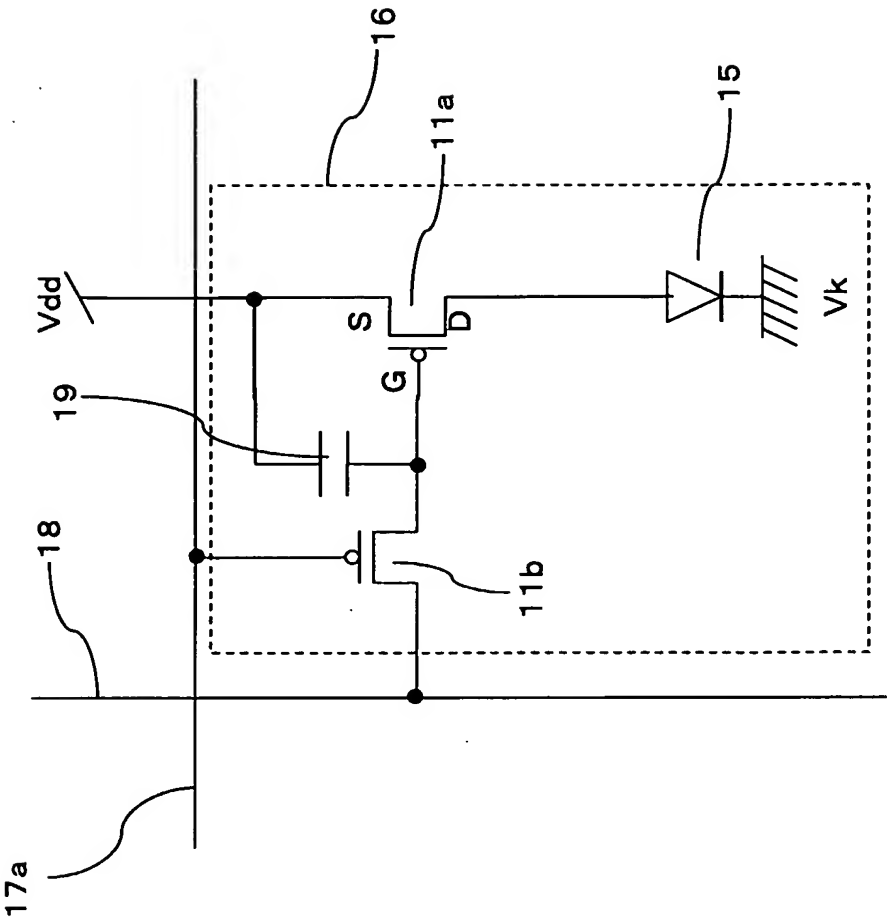
圖 4-4 採



第45図

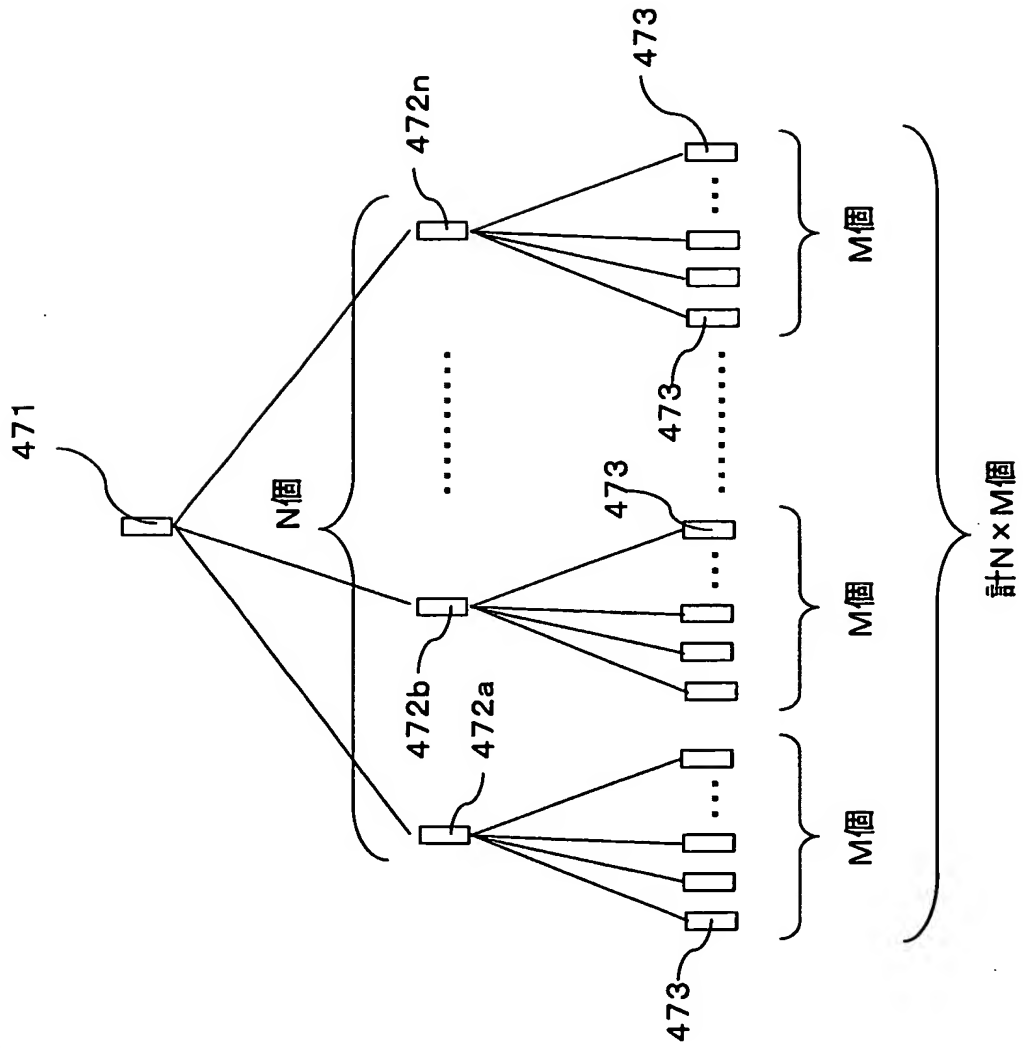


第46図

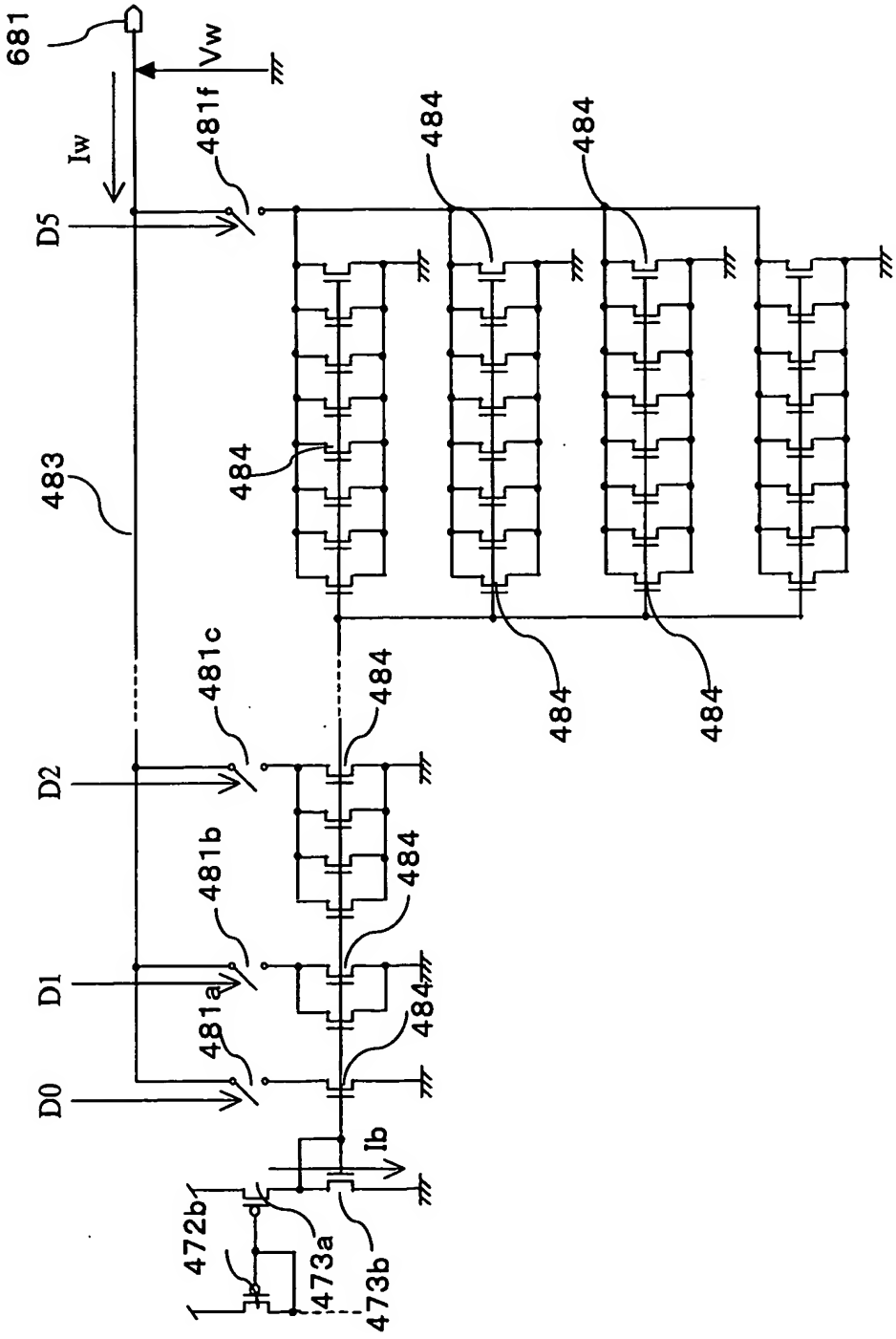


47/176

第47図

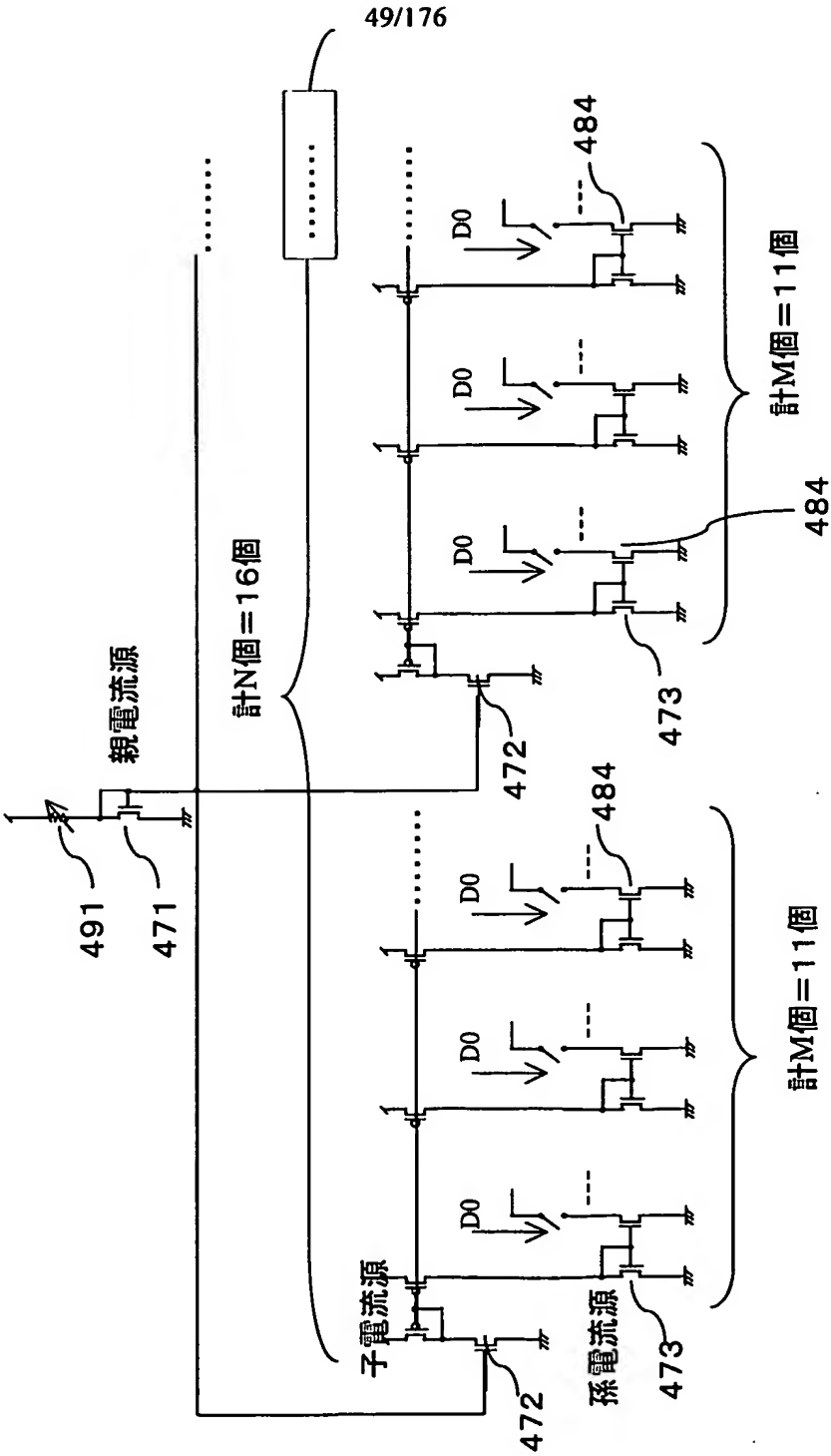


48/176

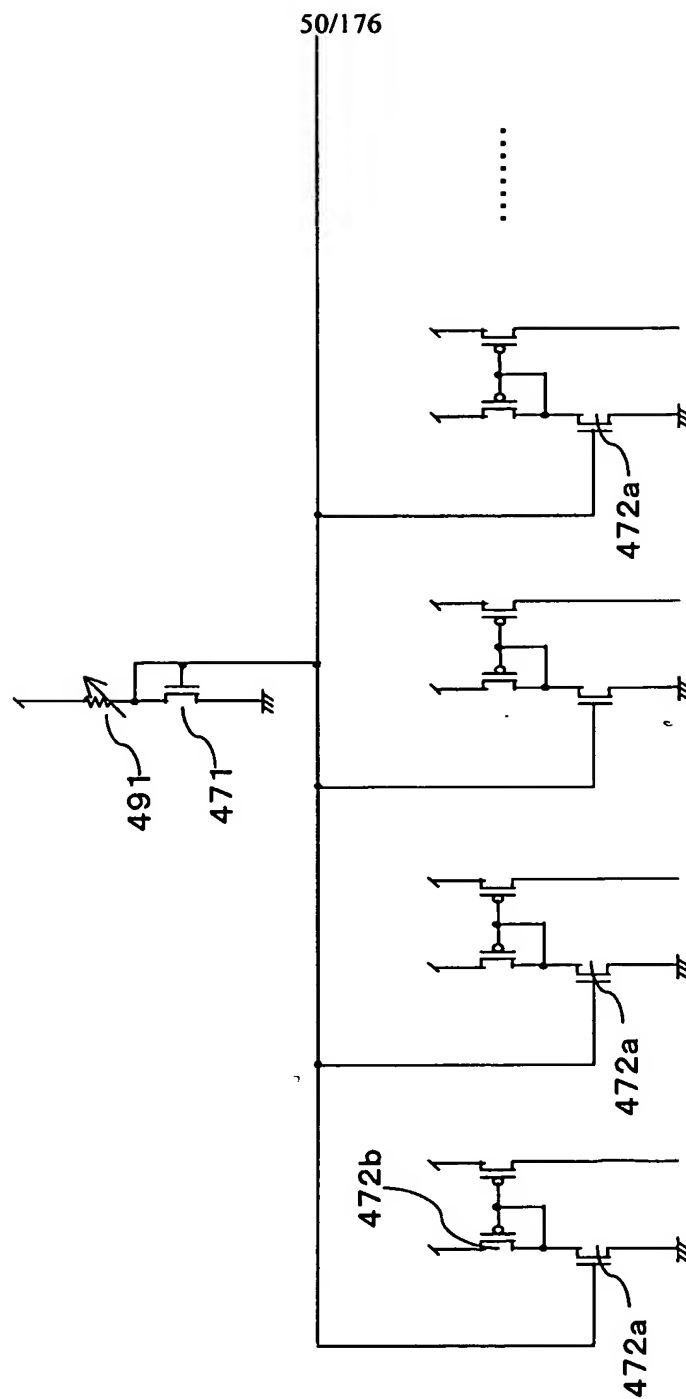


第48図

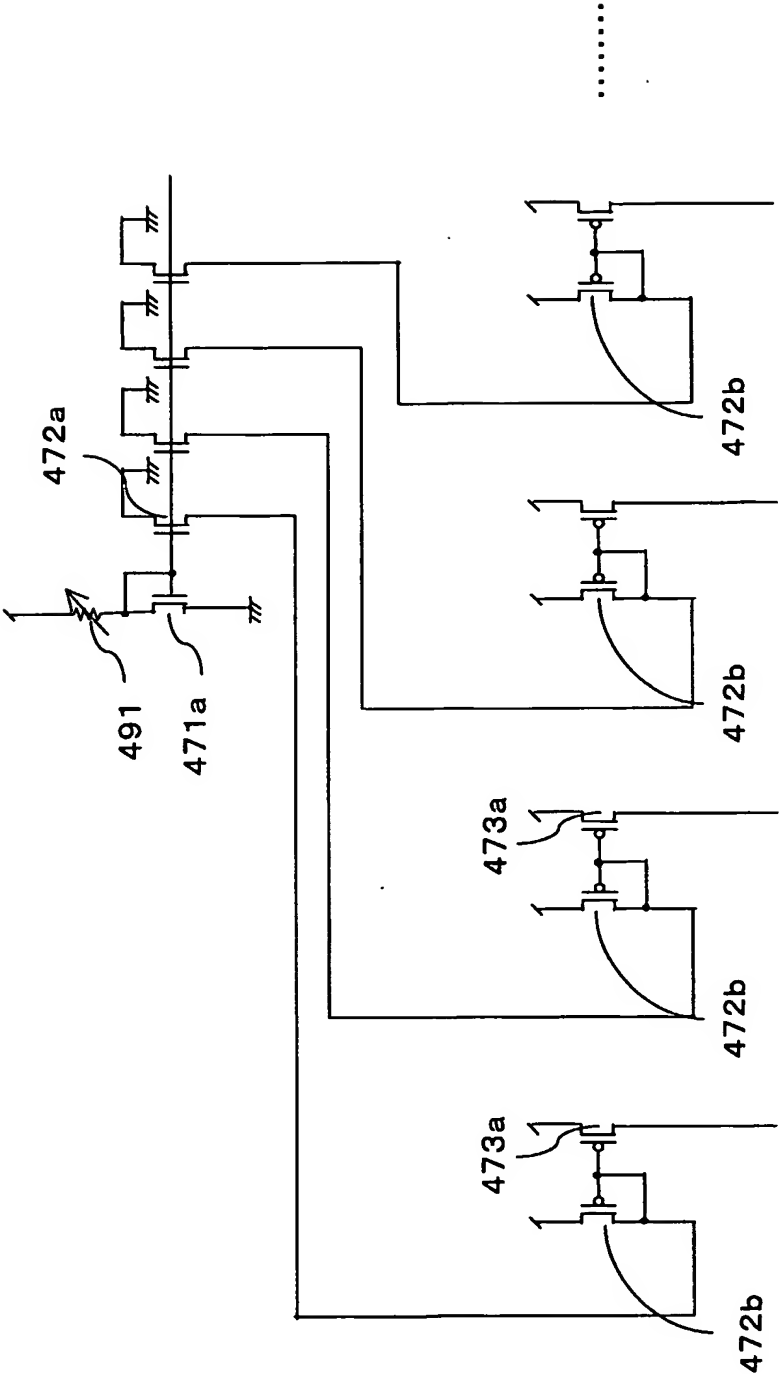
第49図



第50図

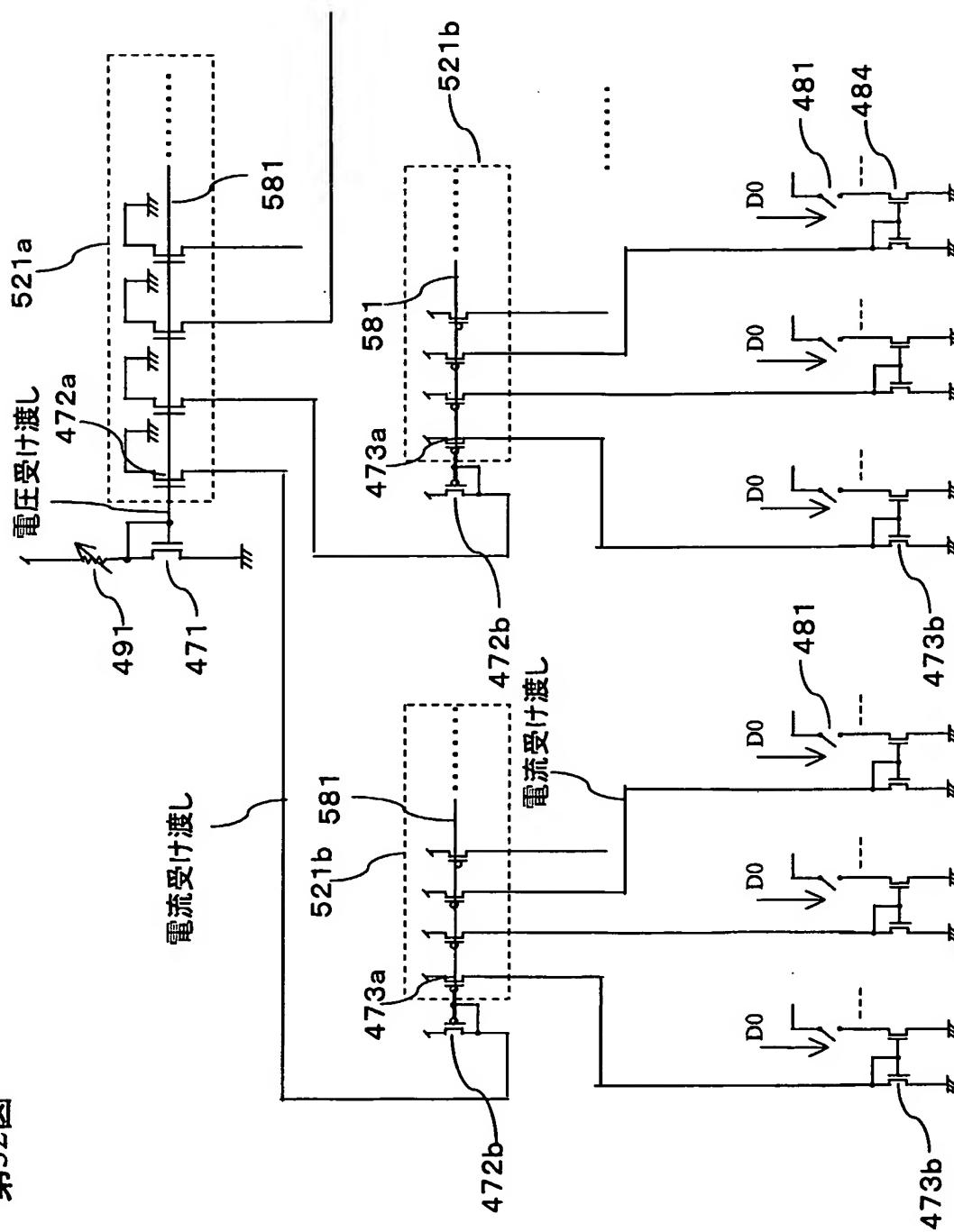


第51図

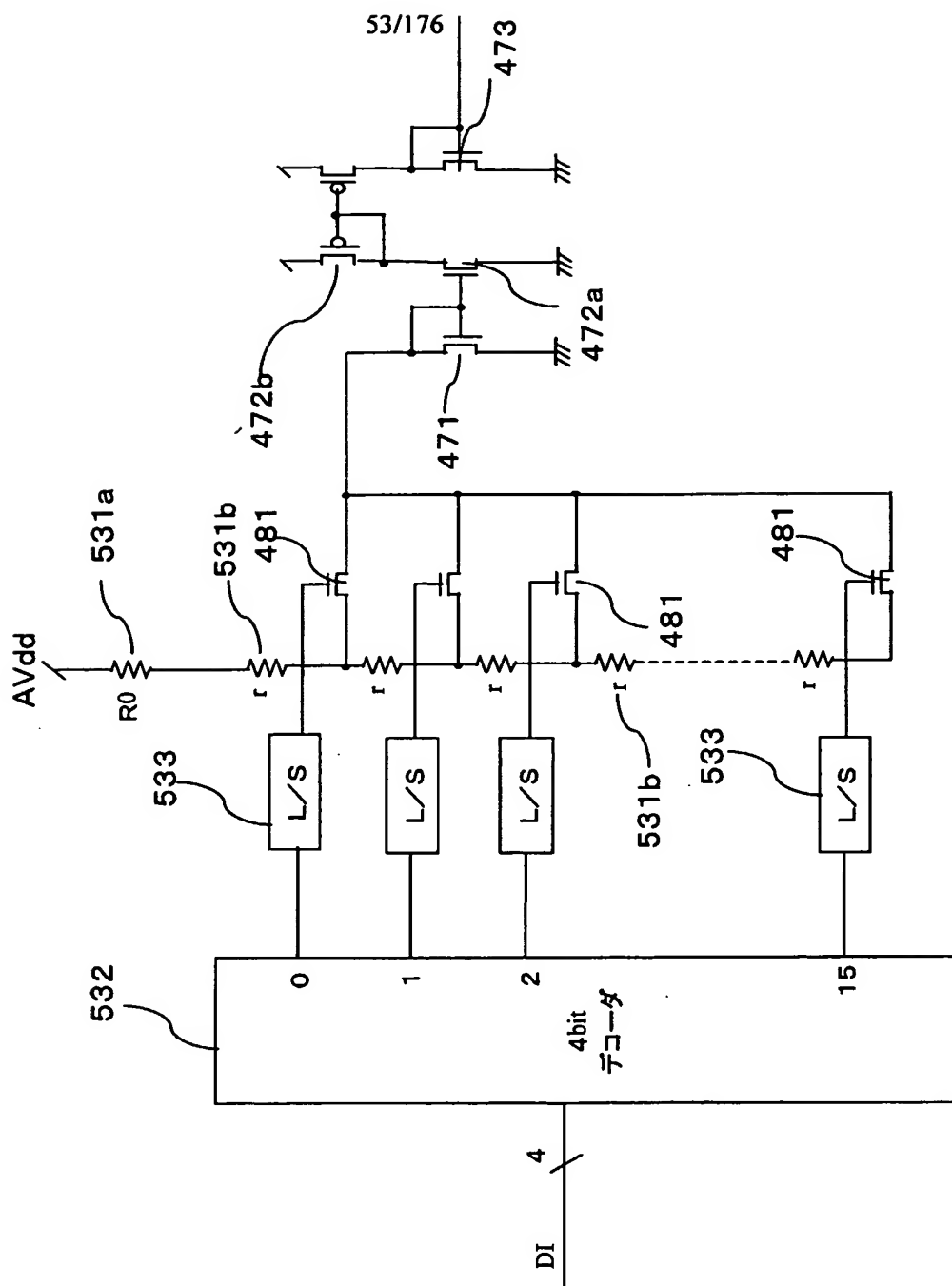


52/176

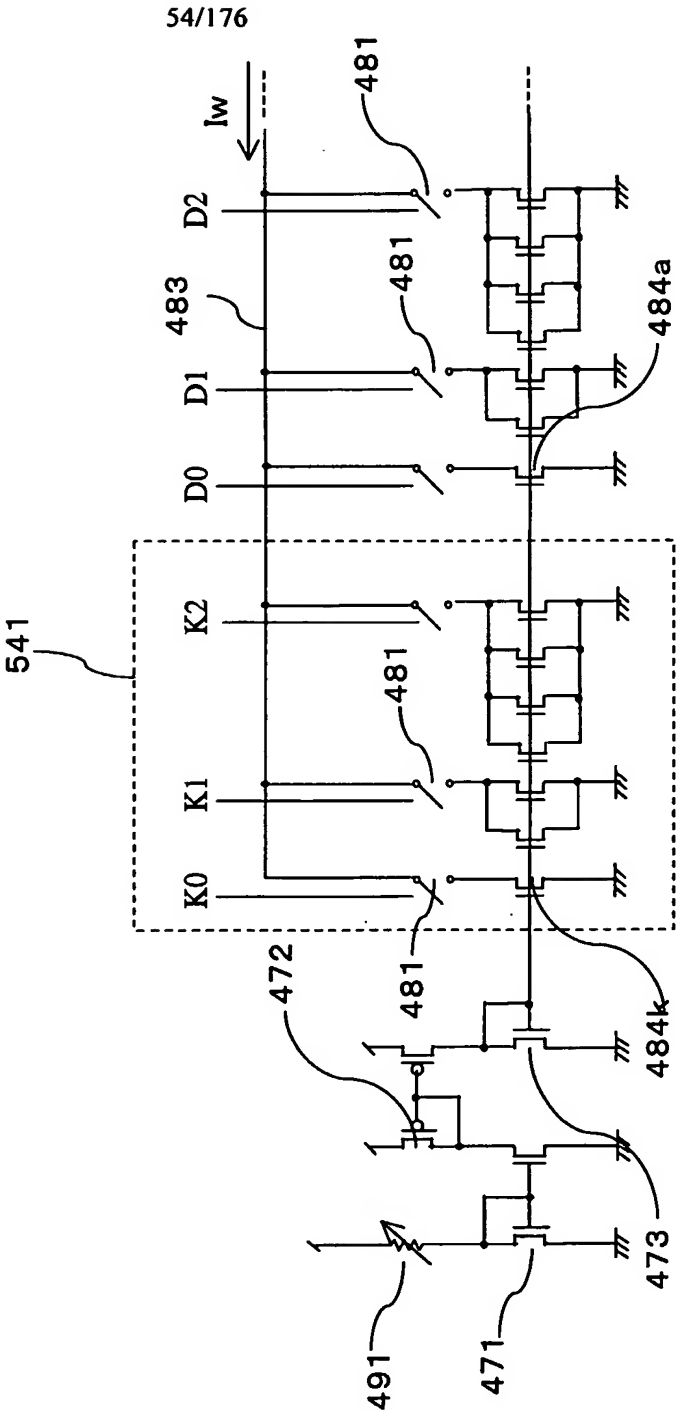
第52図



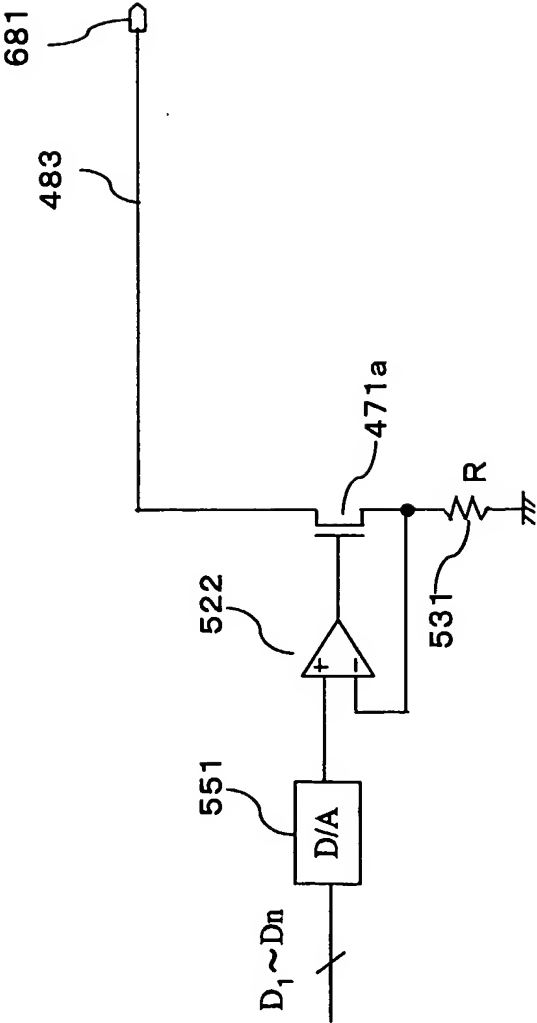
第53圖



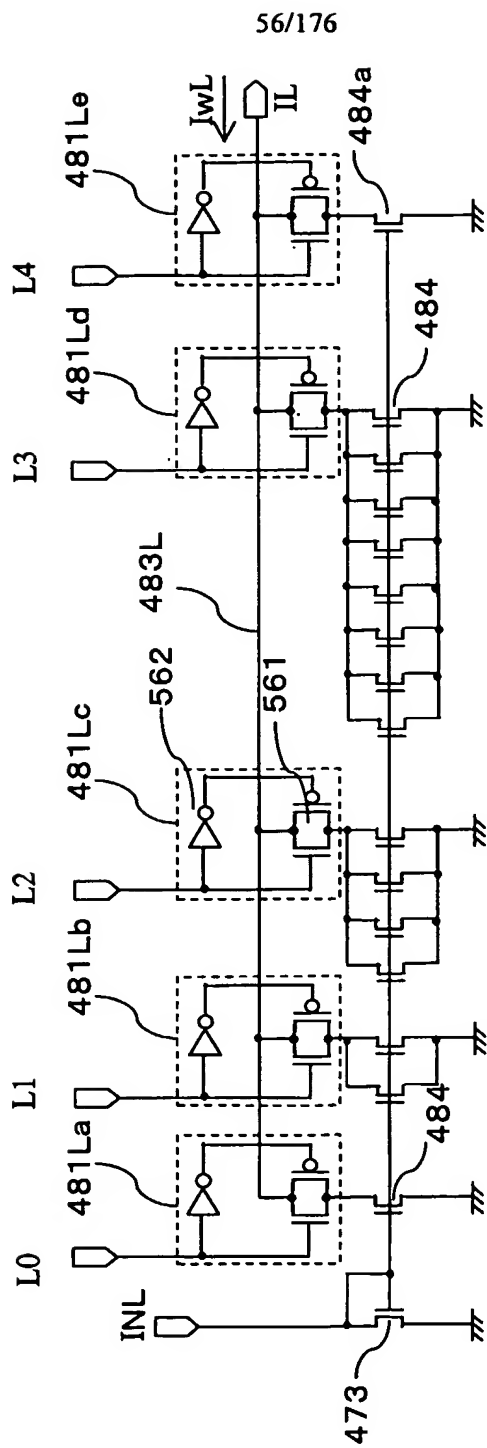
第54図



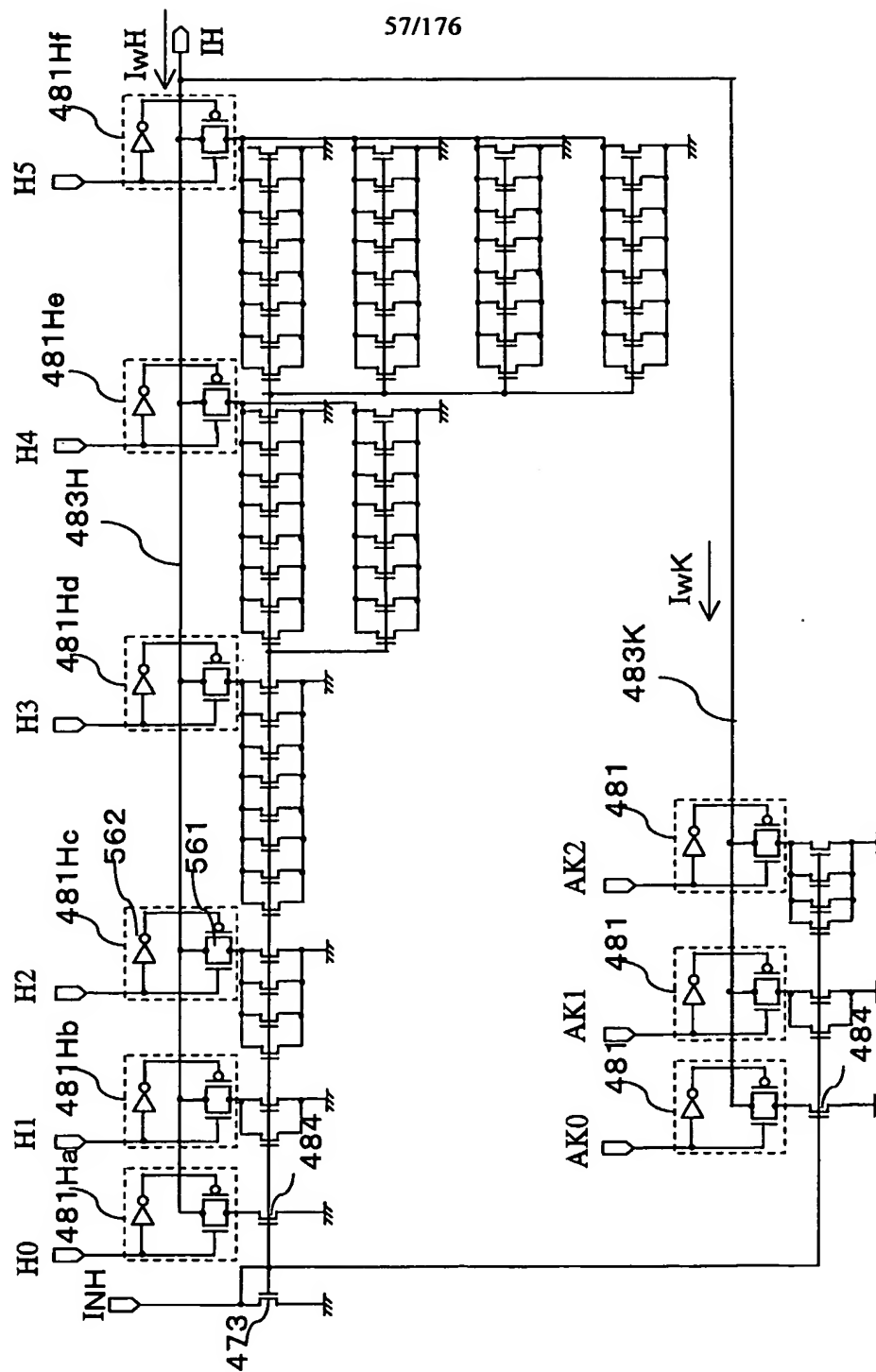
第55図



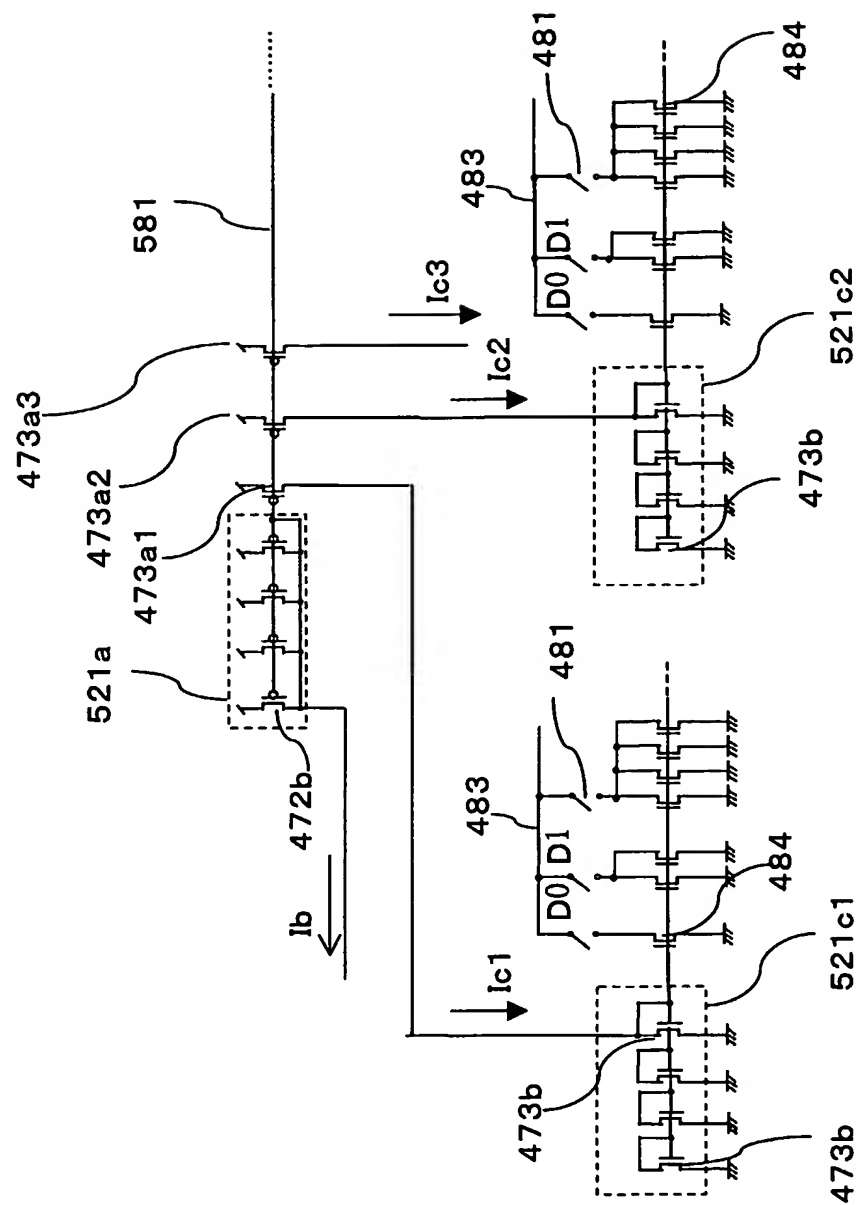
第56図



第57図

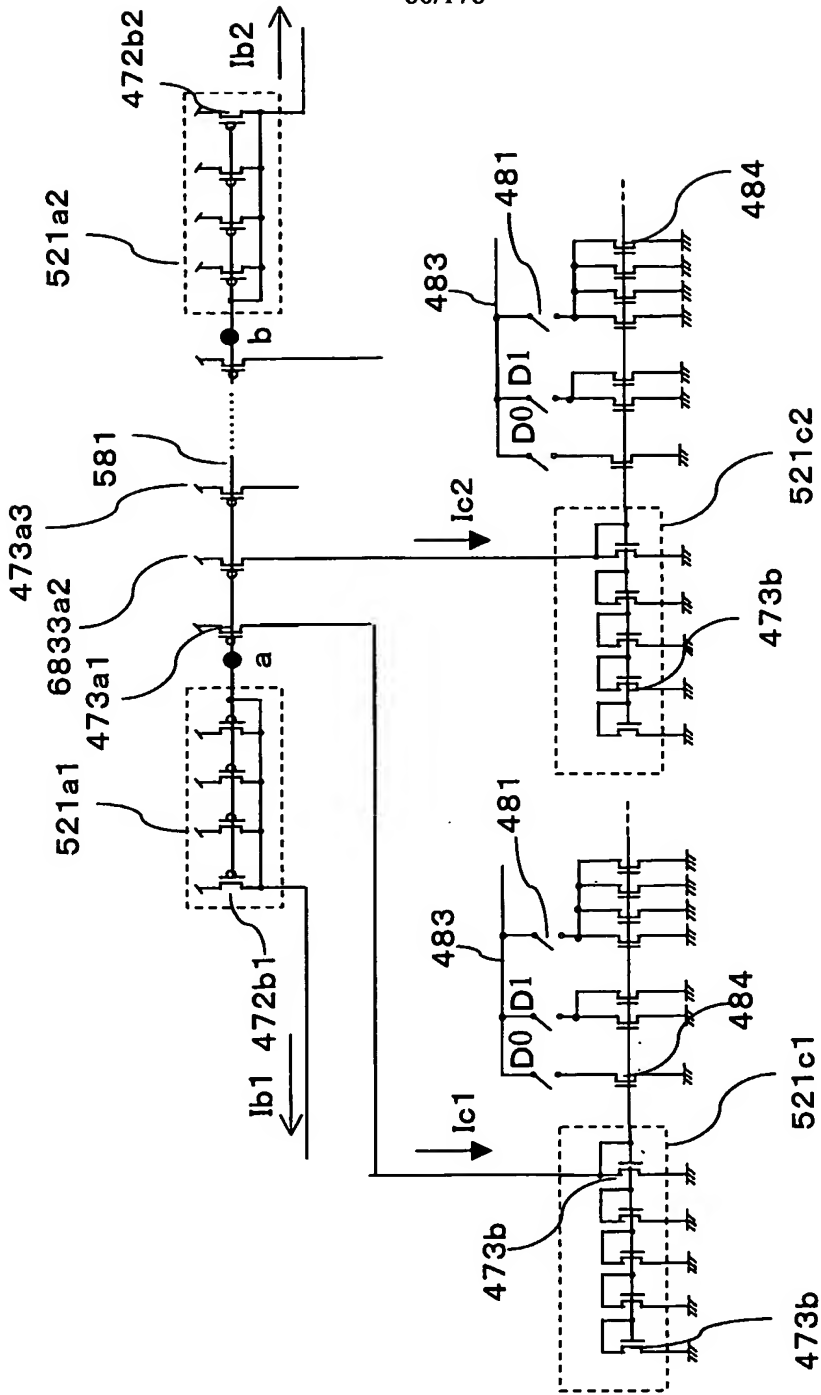


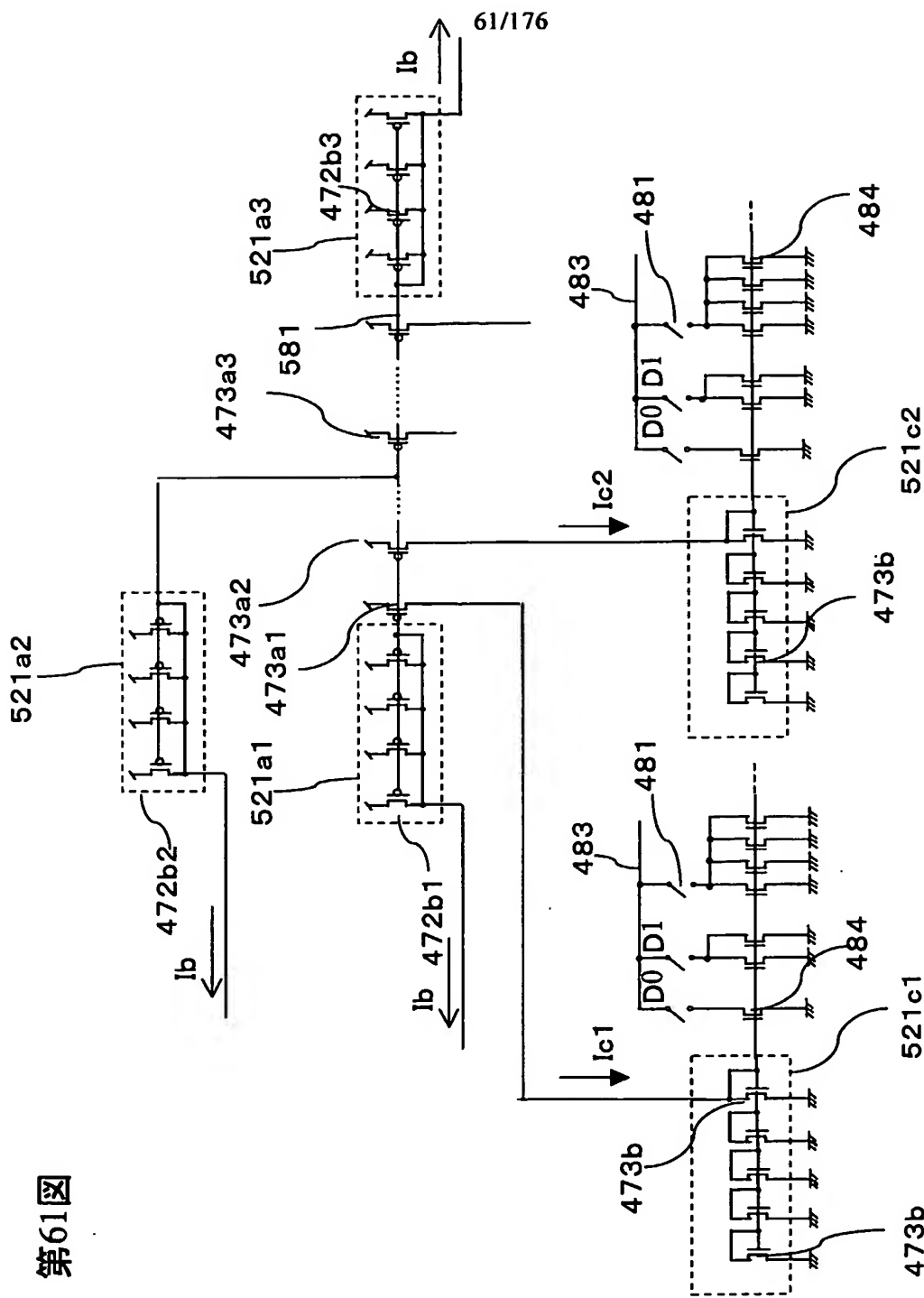
第59図



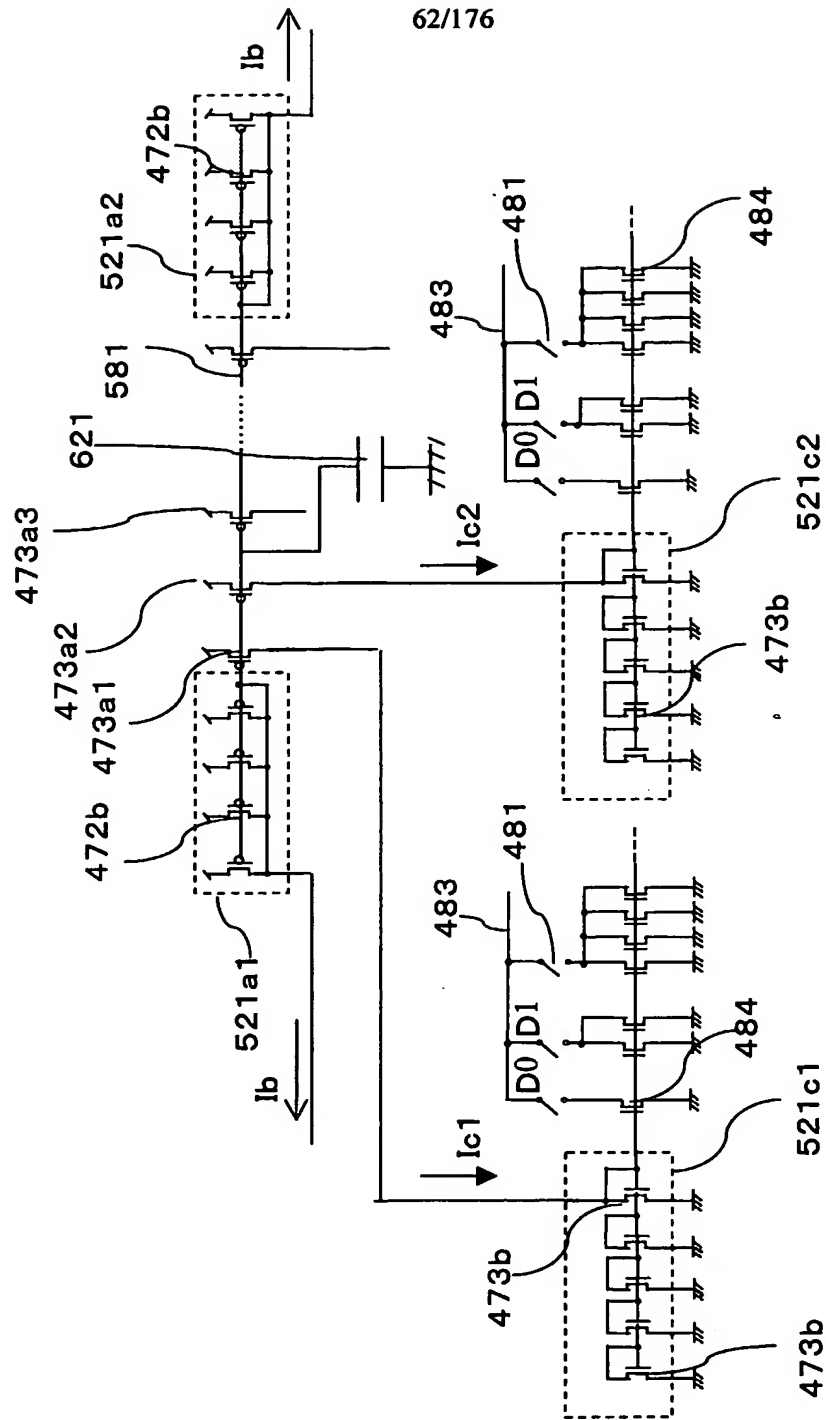
60/176

第60図

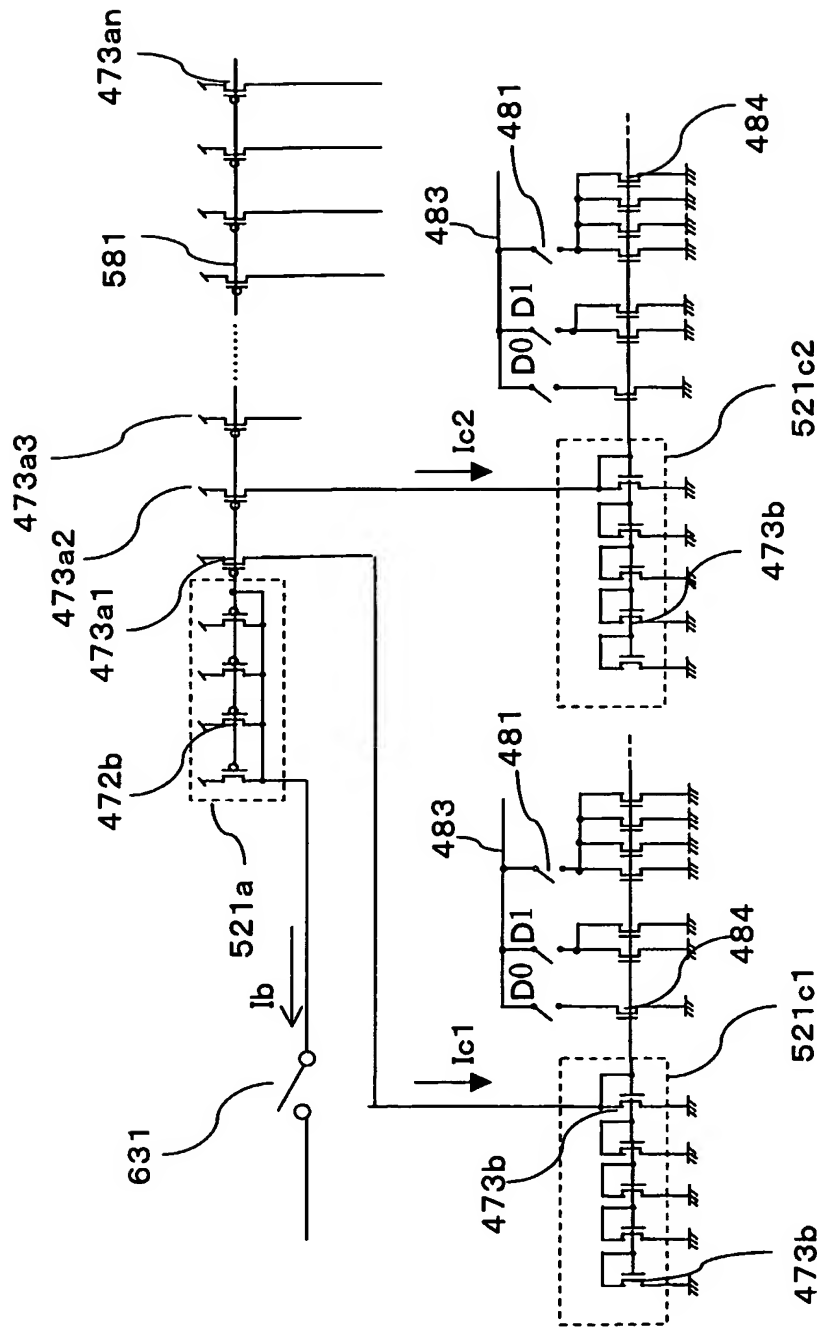




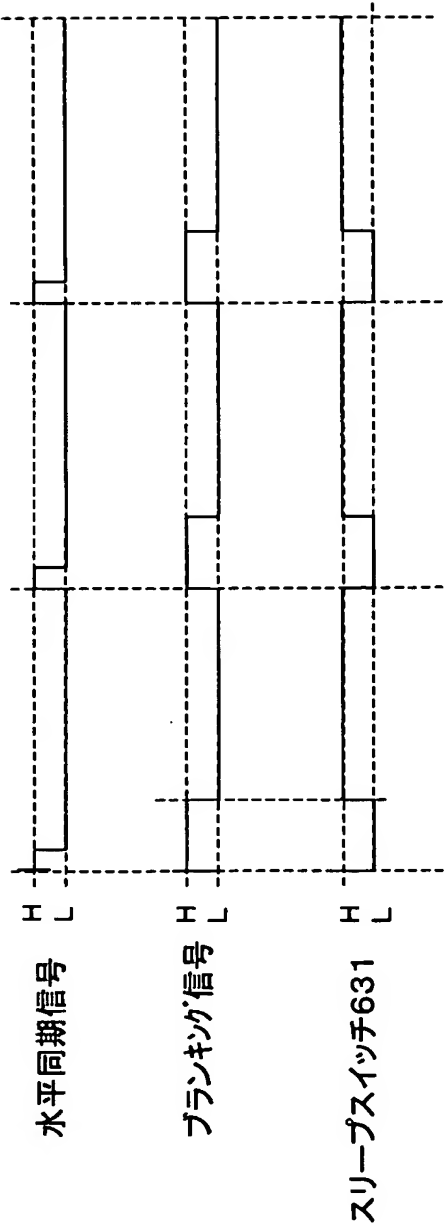
第62図



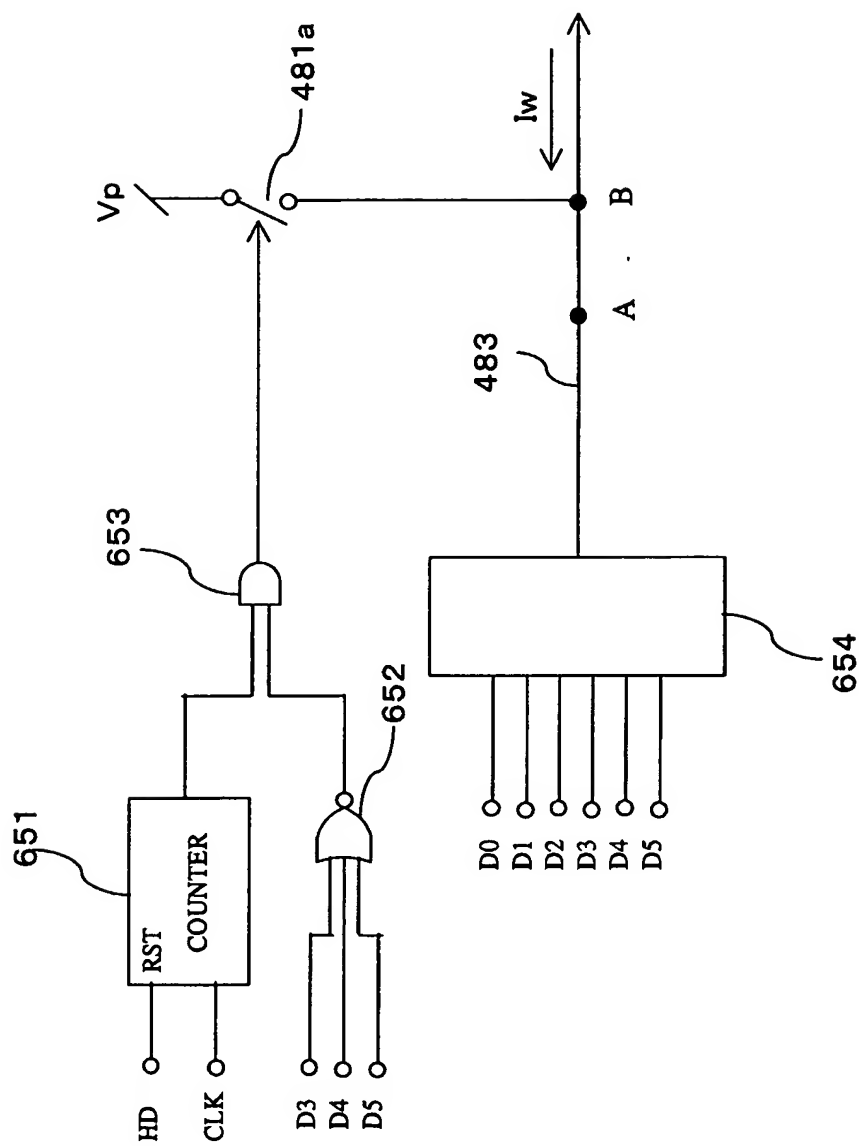
第63図



第64図



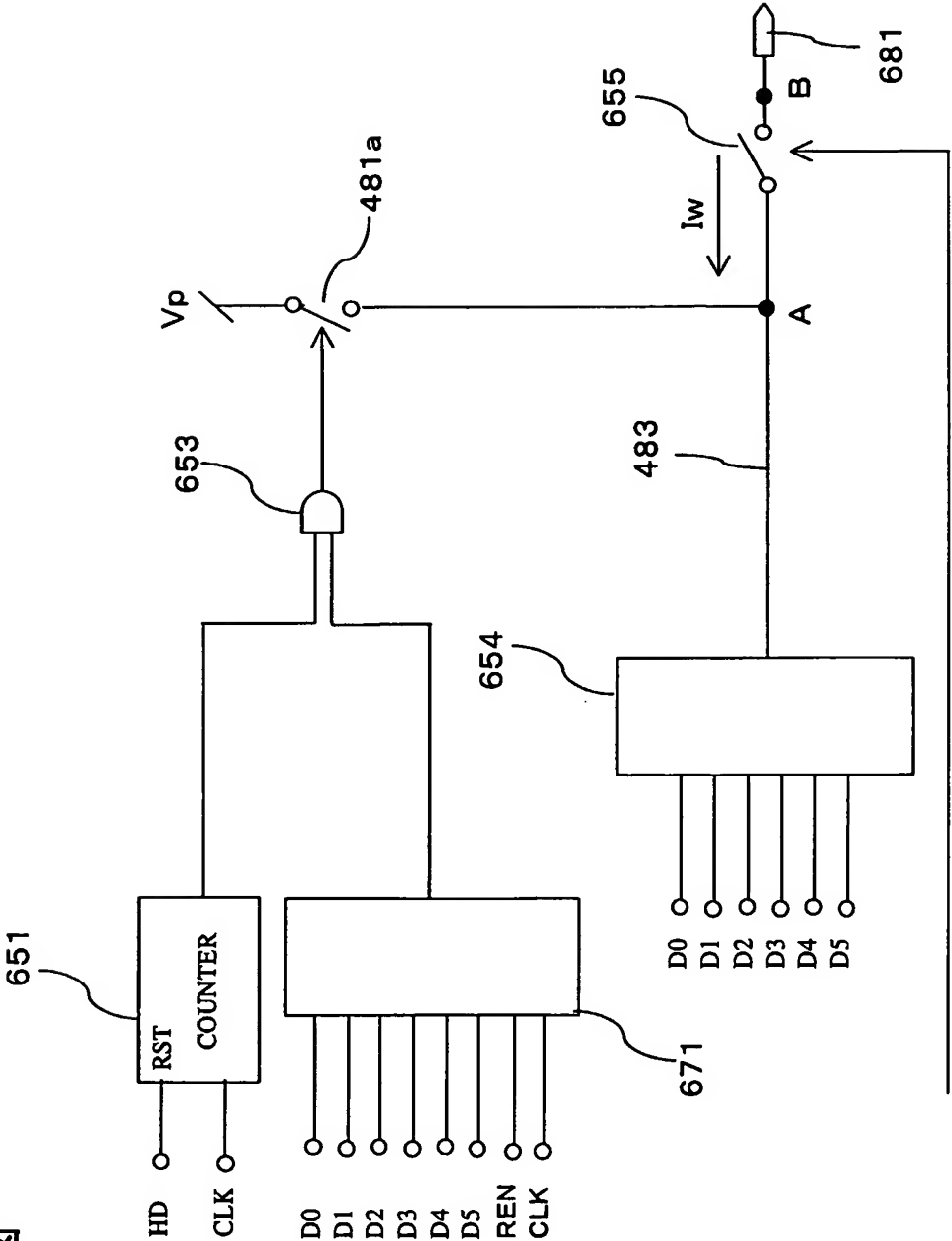
65/176



第65図

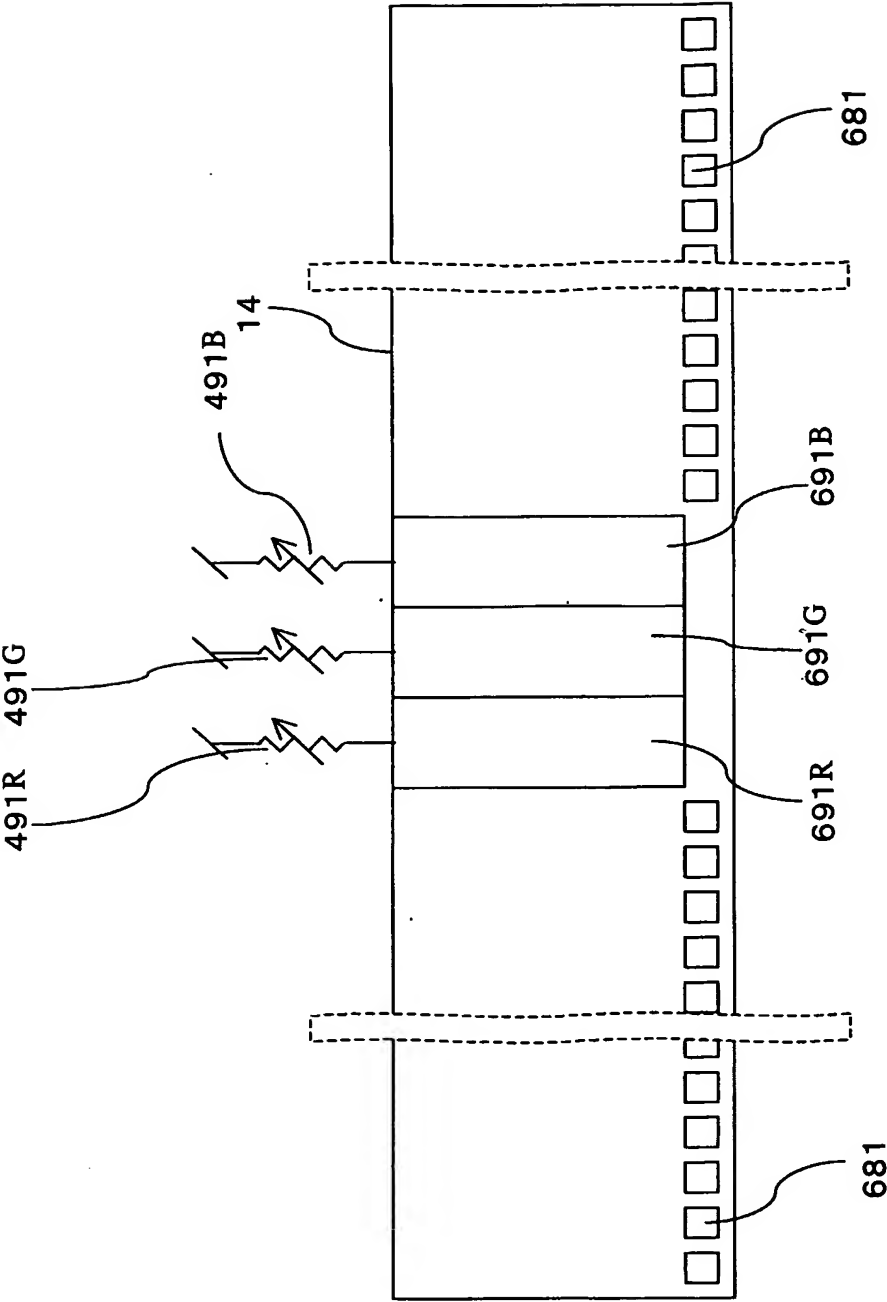
67/176

第67図

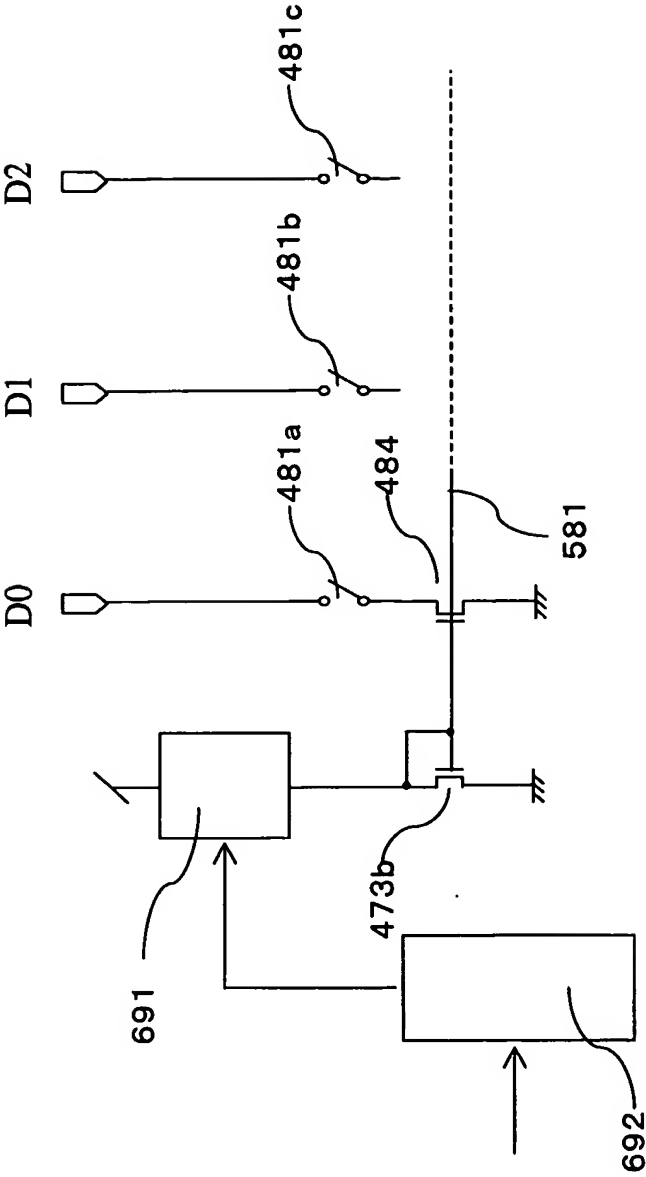


68/176

第68図

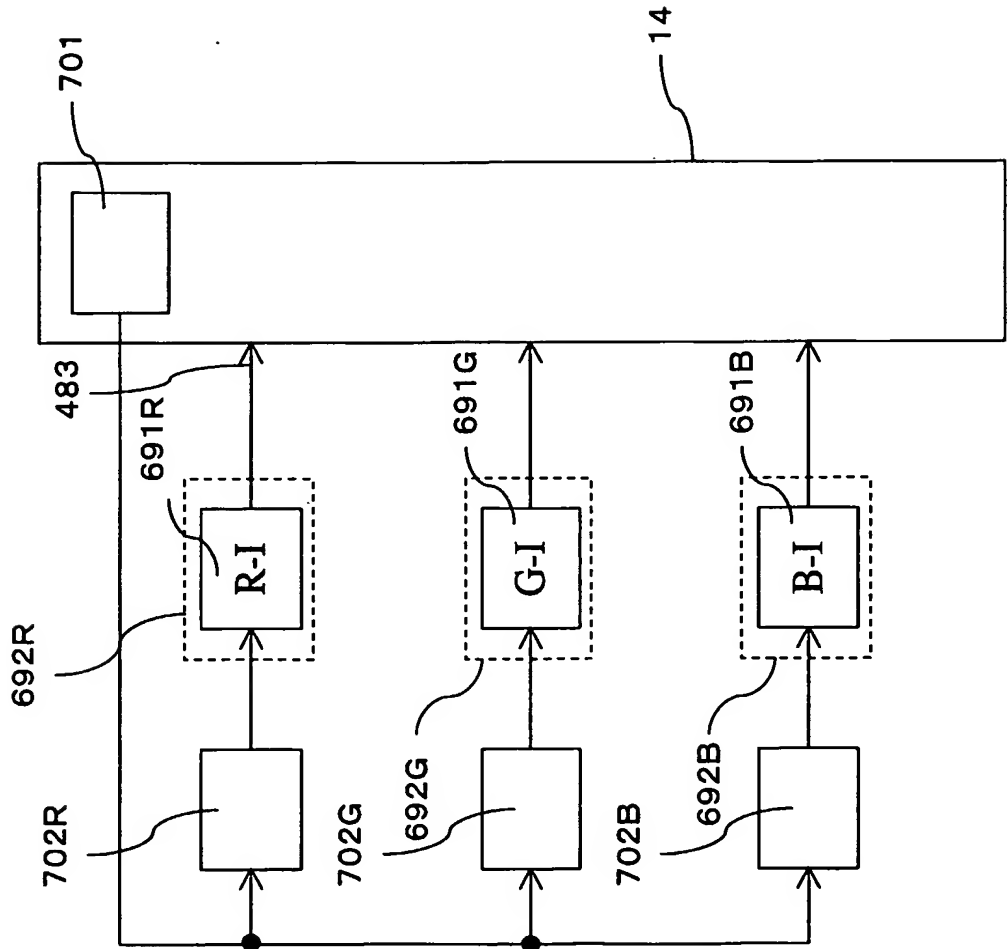


69/176

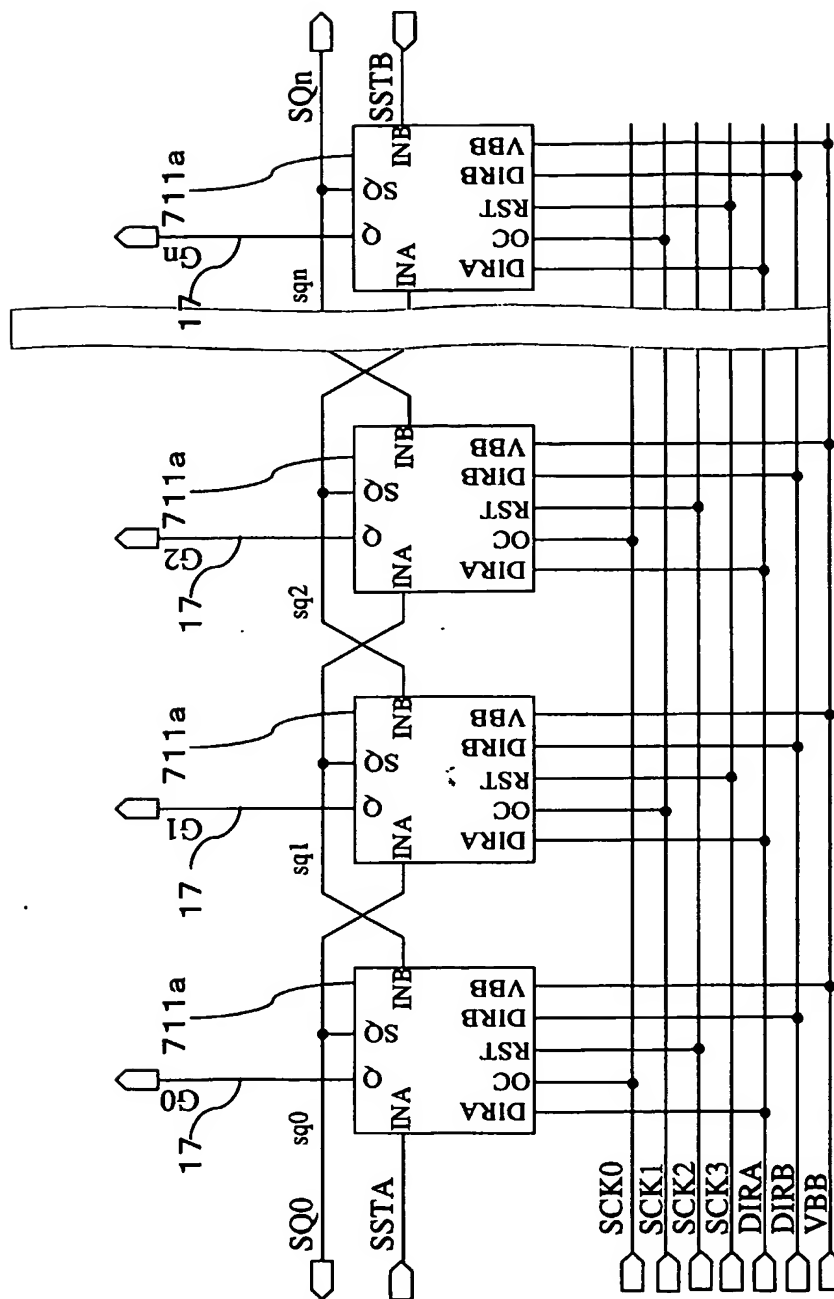


第69図

第70図

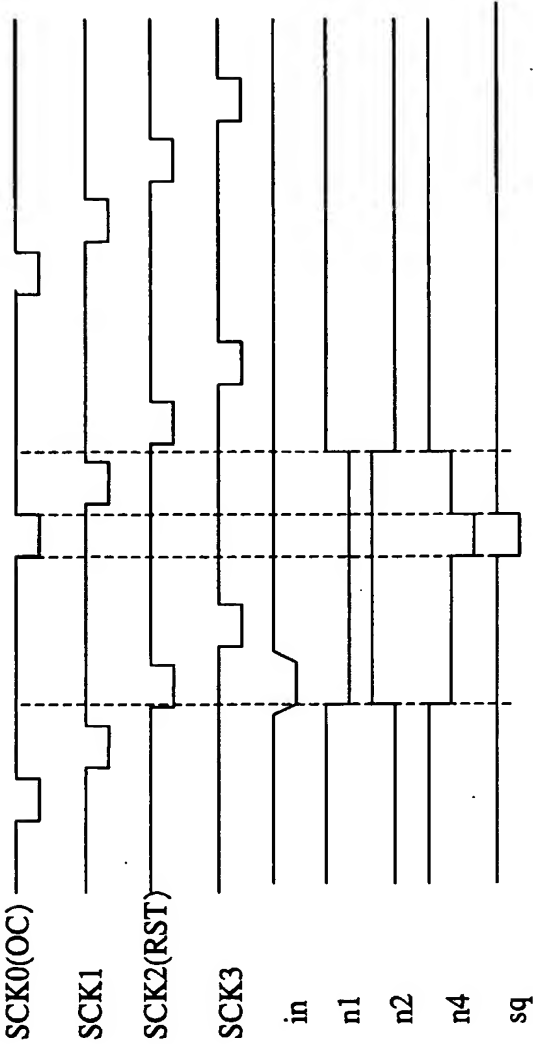


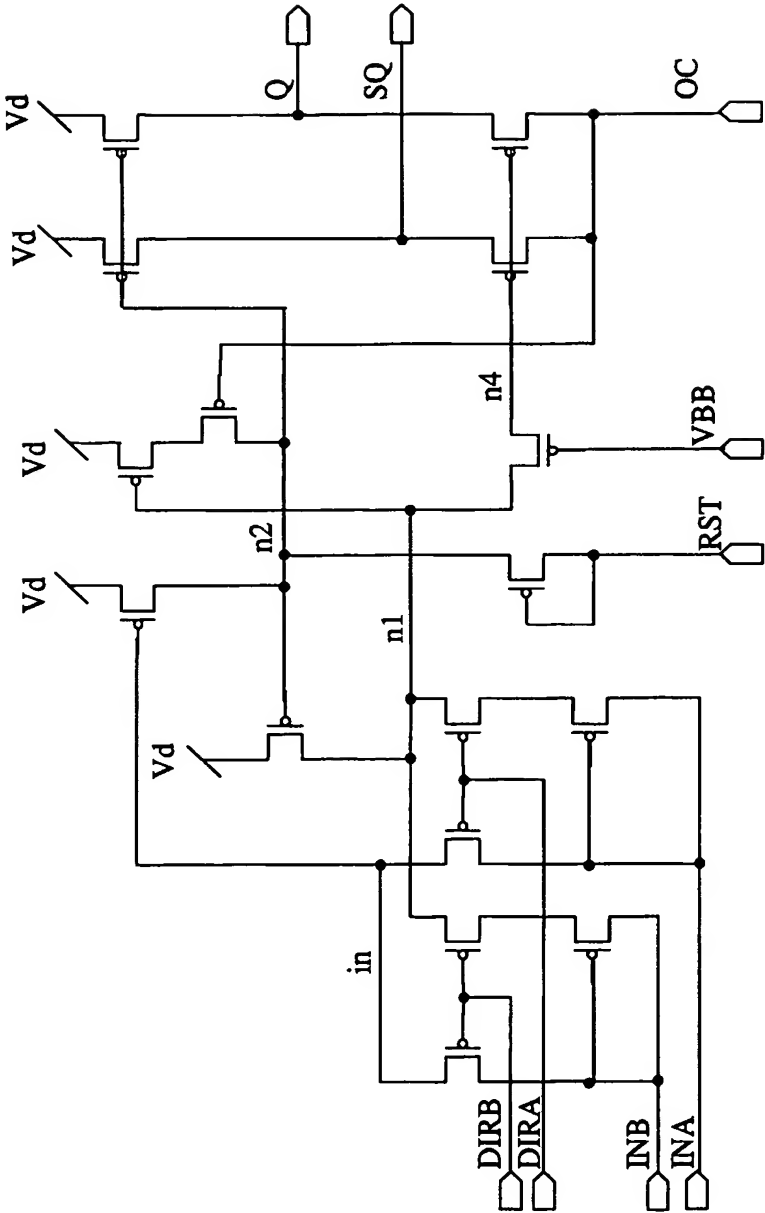
71/176



第71圖

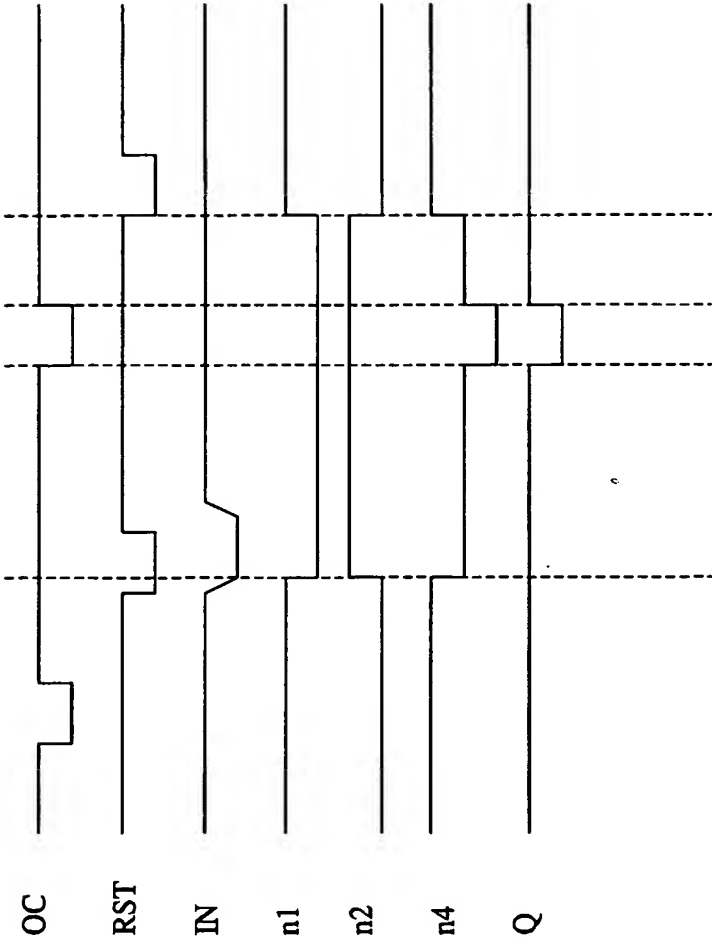
第72図



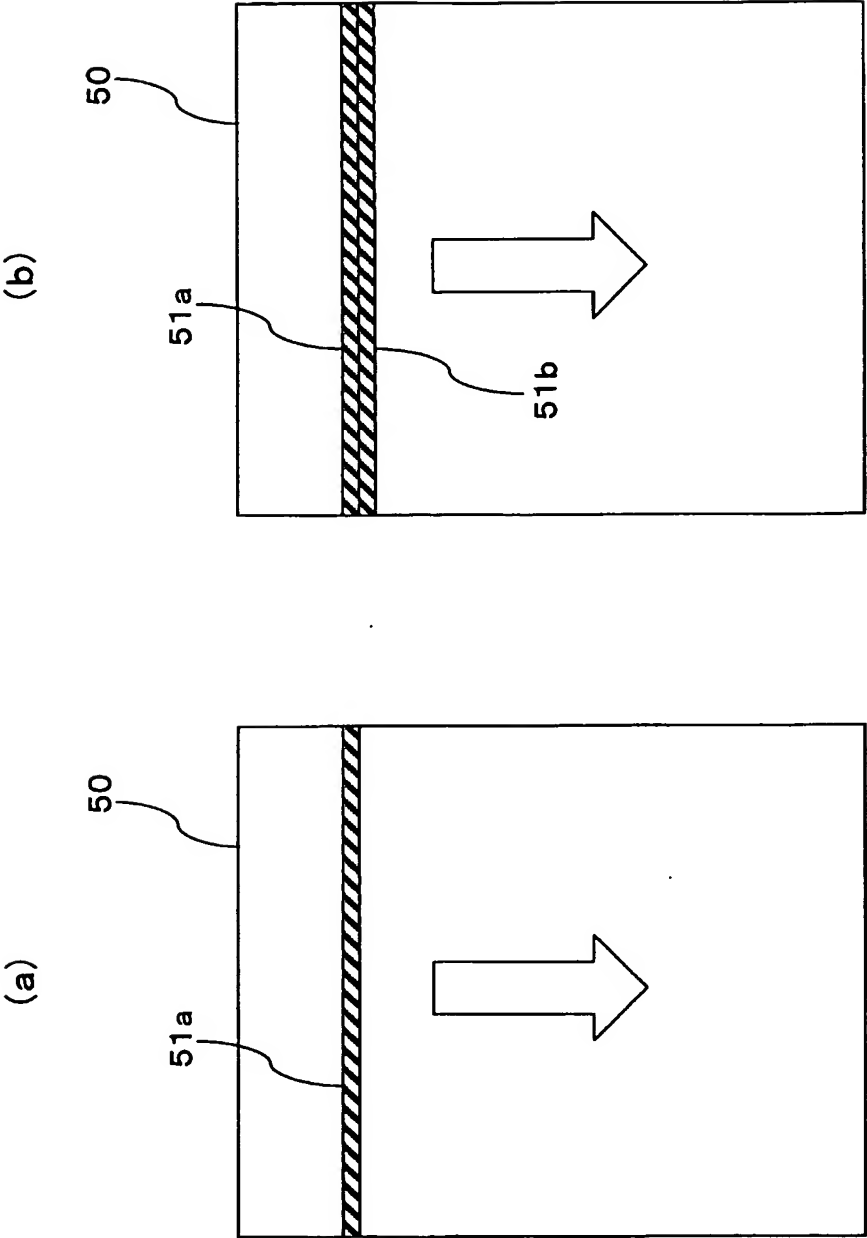


第73図

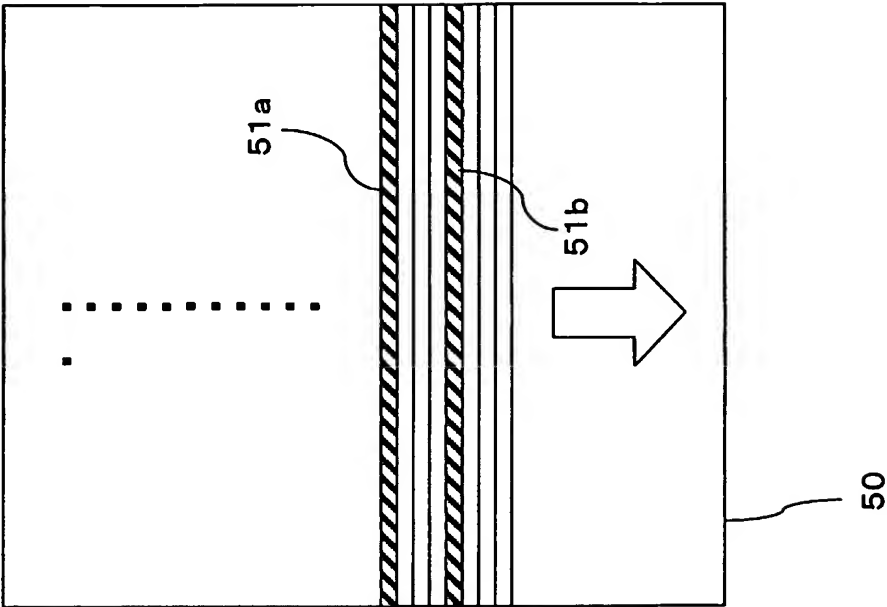
74/176



第74図

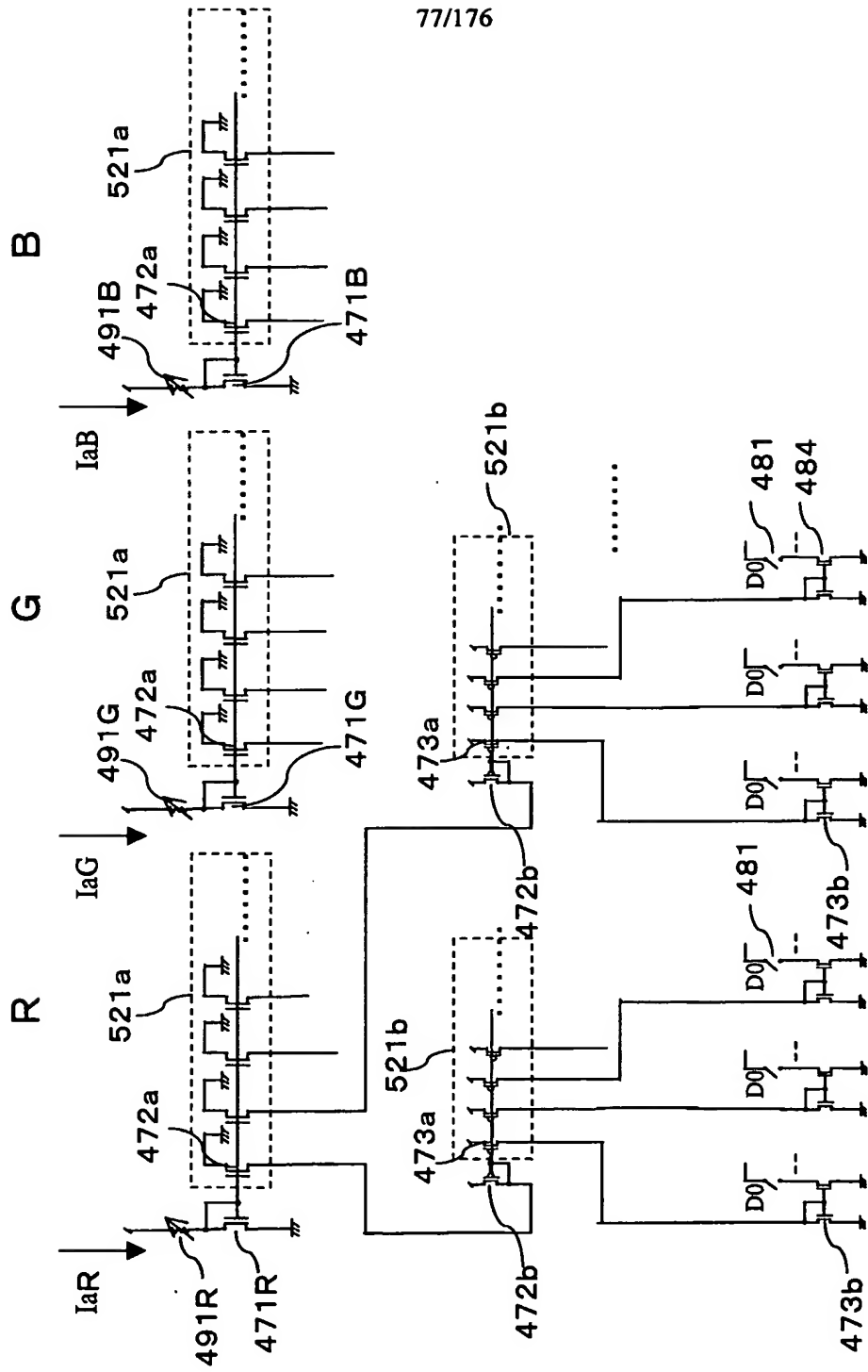


第75図

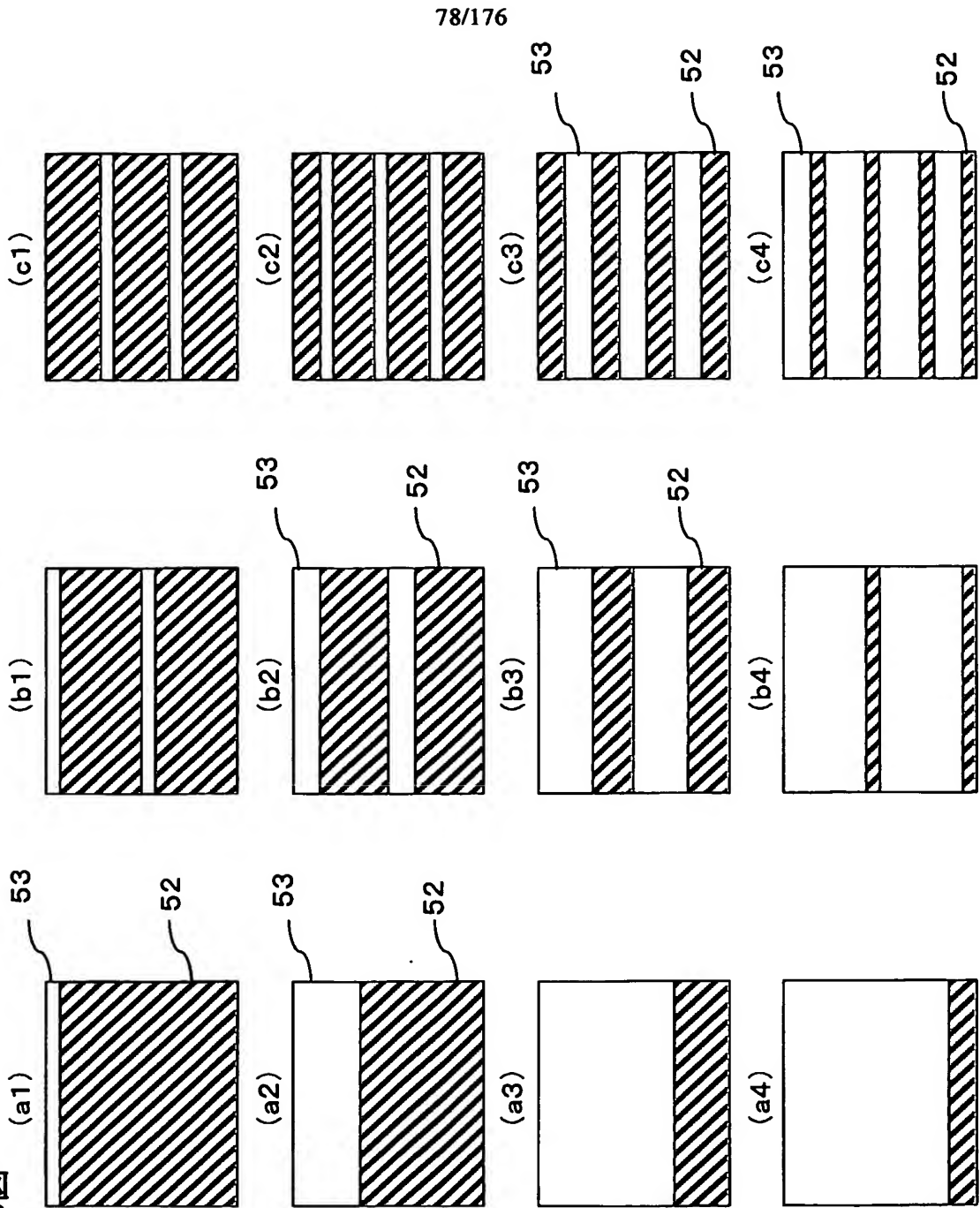


第76図

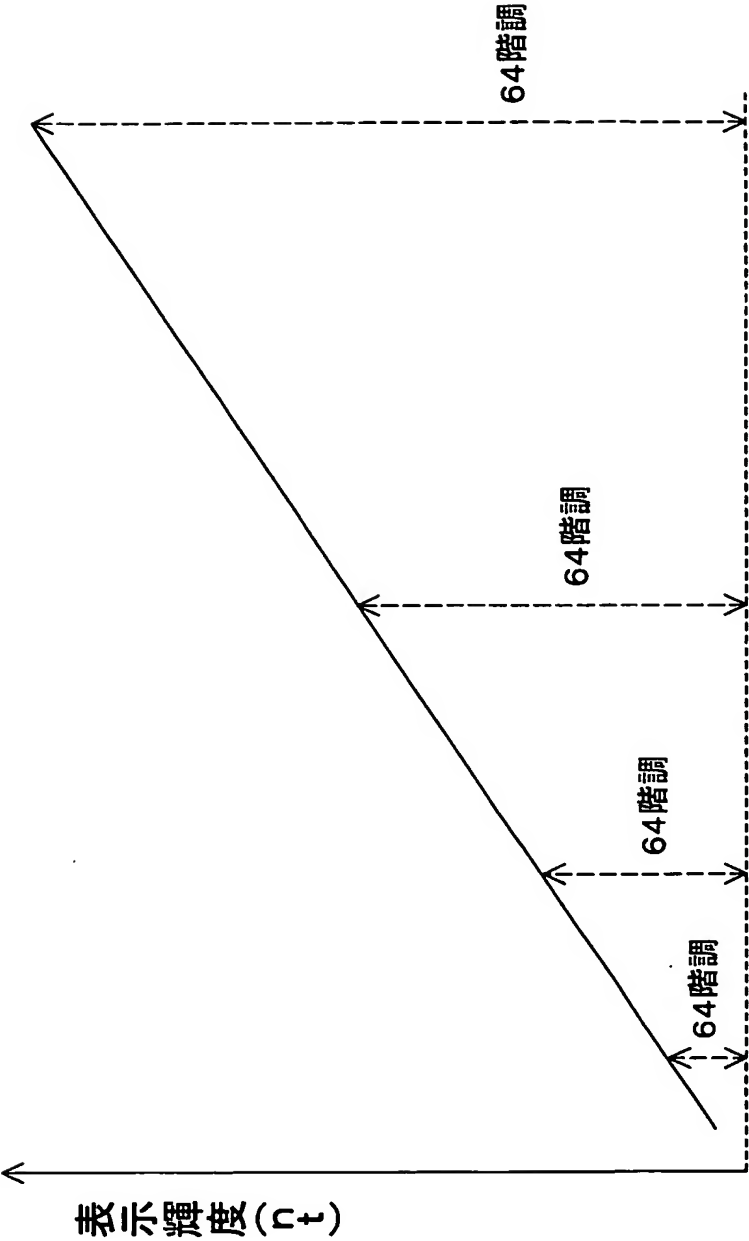
第77図



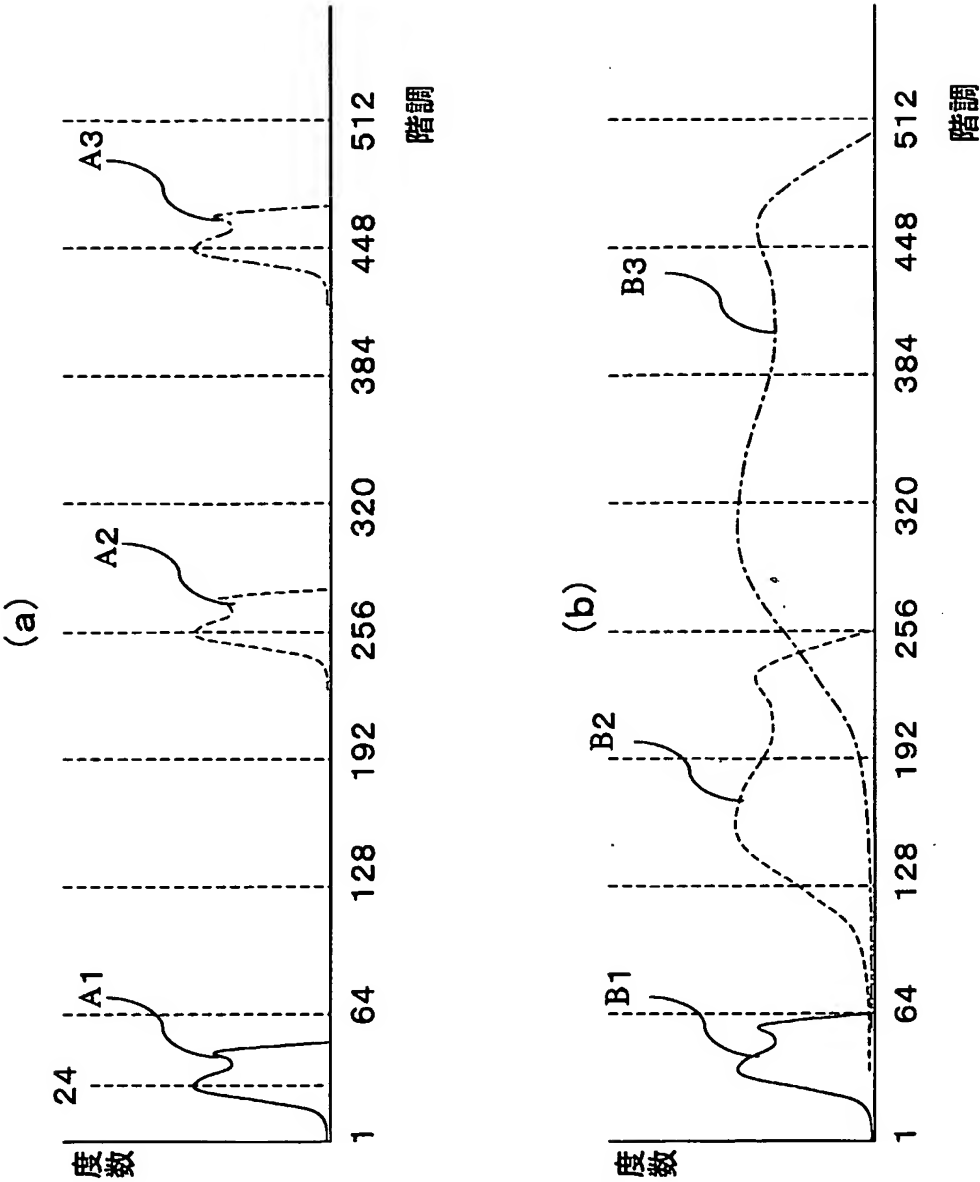
第78図



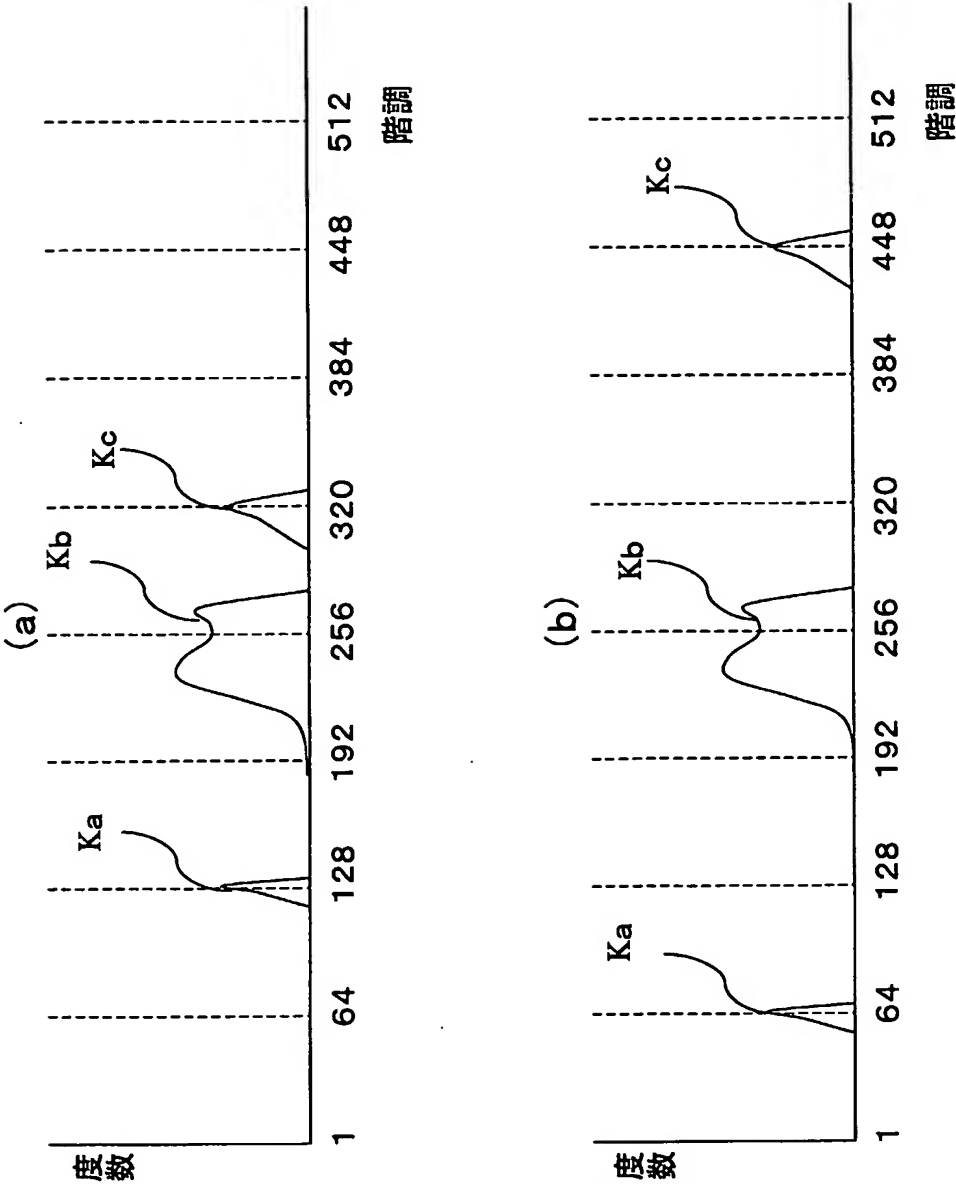
第79図



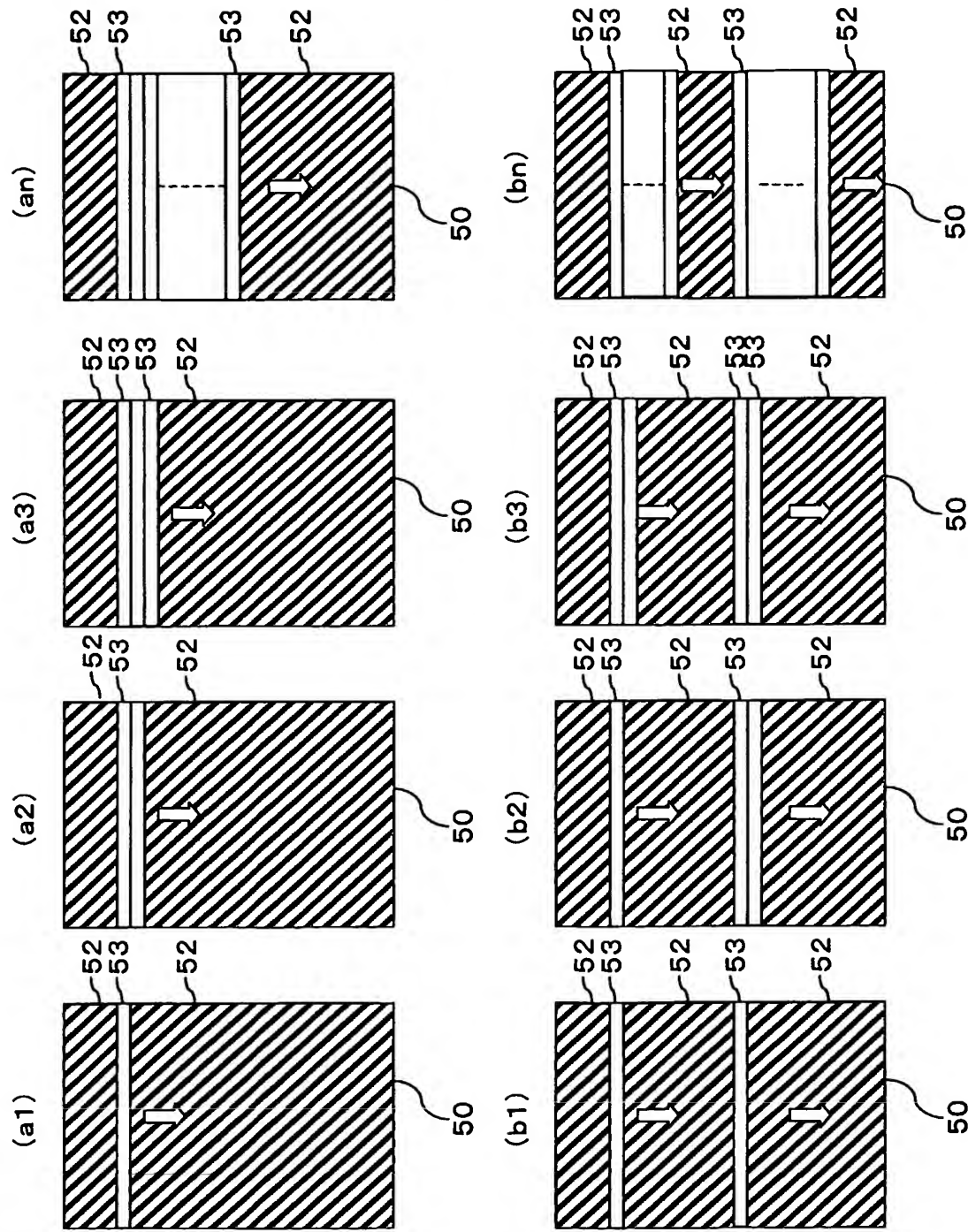
第80図



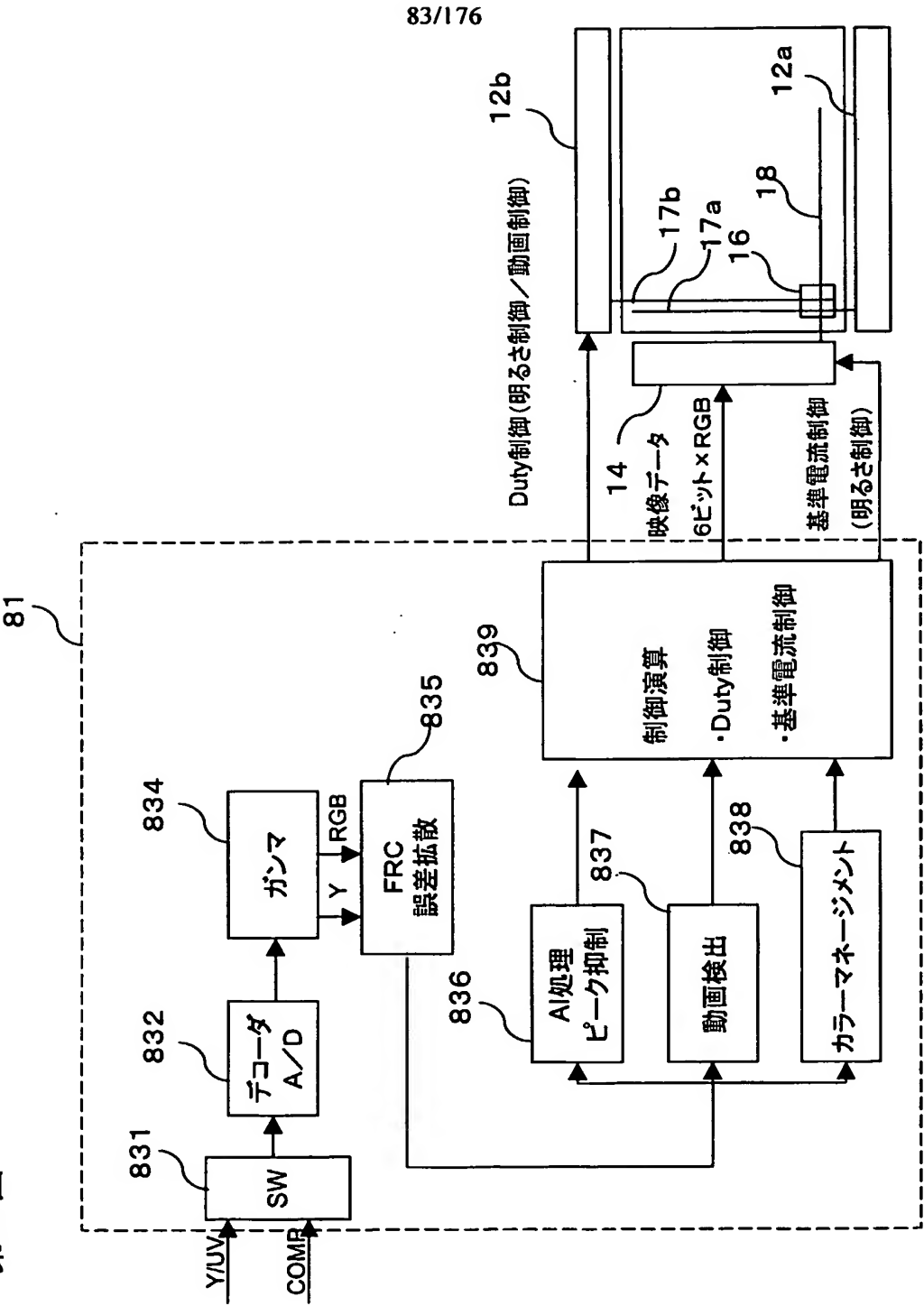
第81図



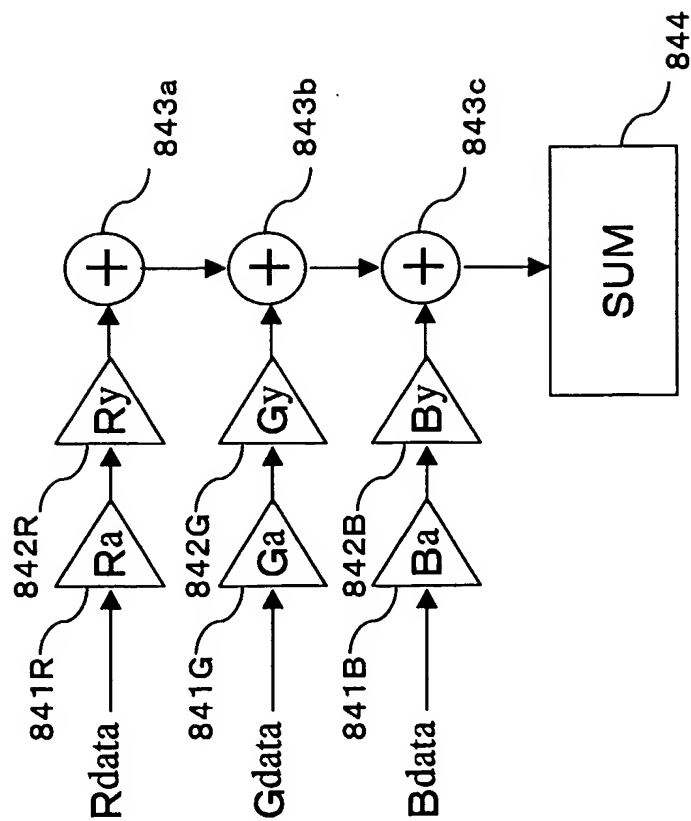
第82図

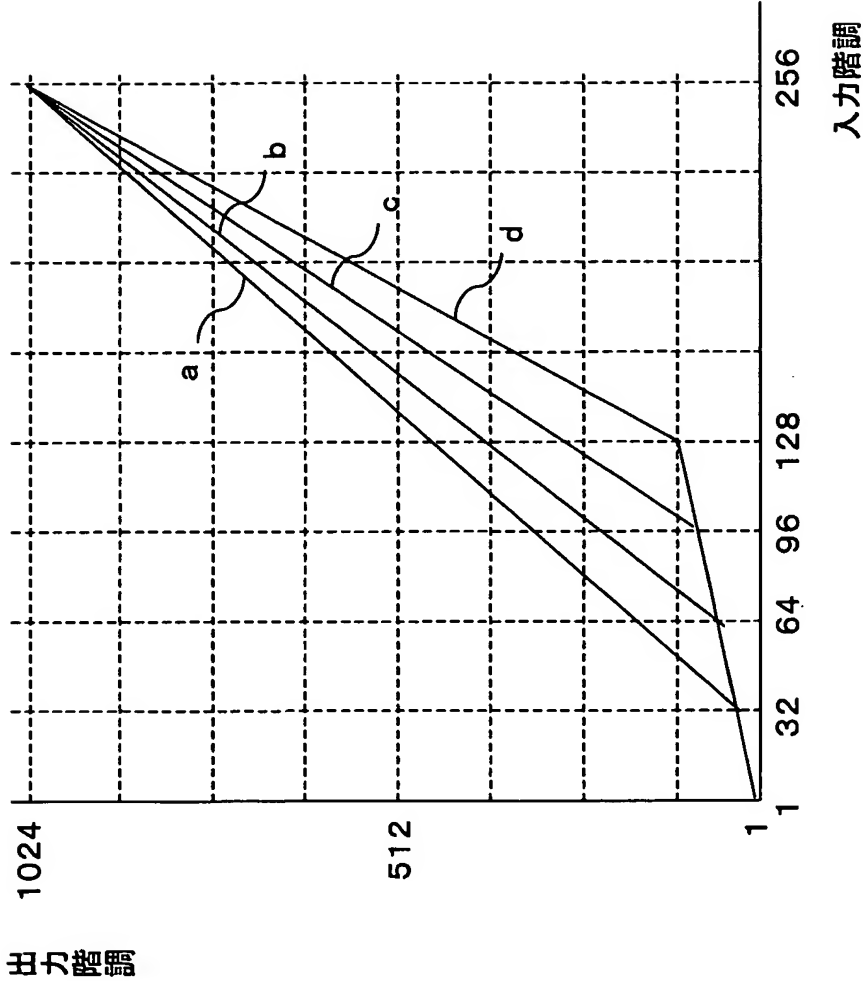


第83図

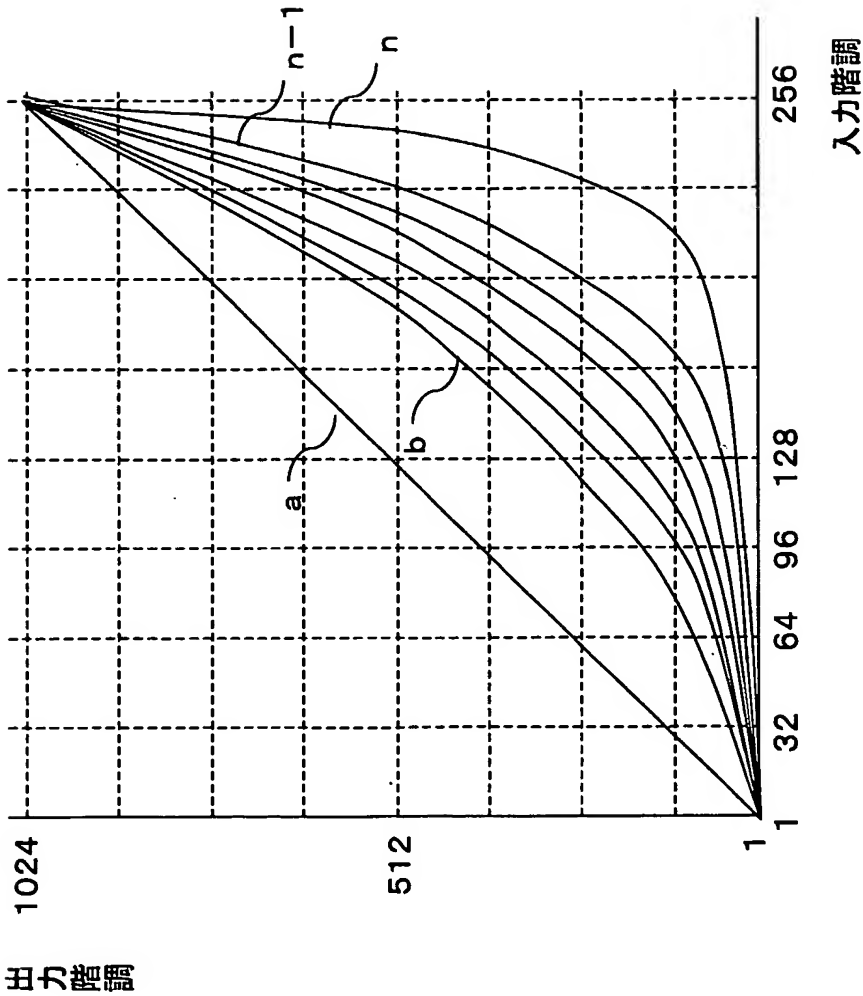


第84図



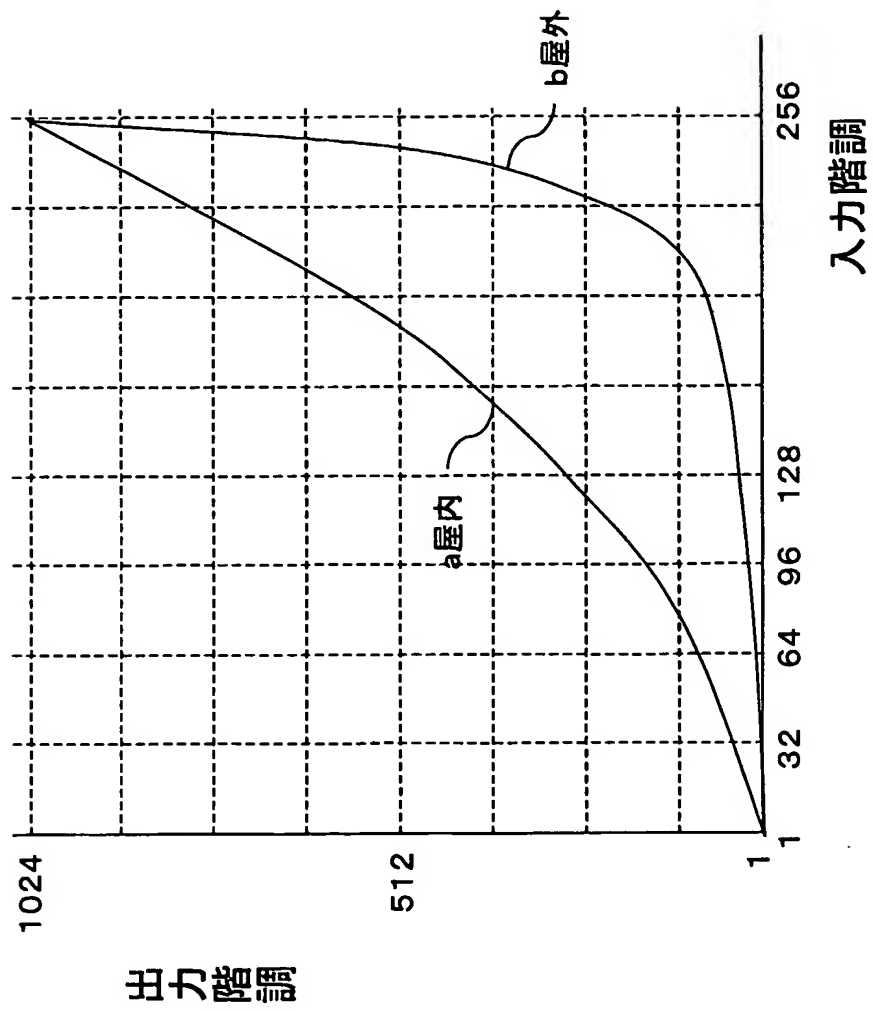


第85図



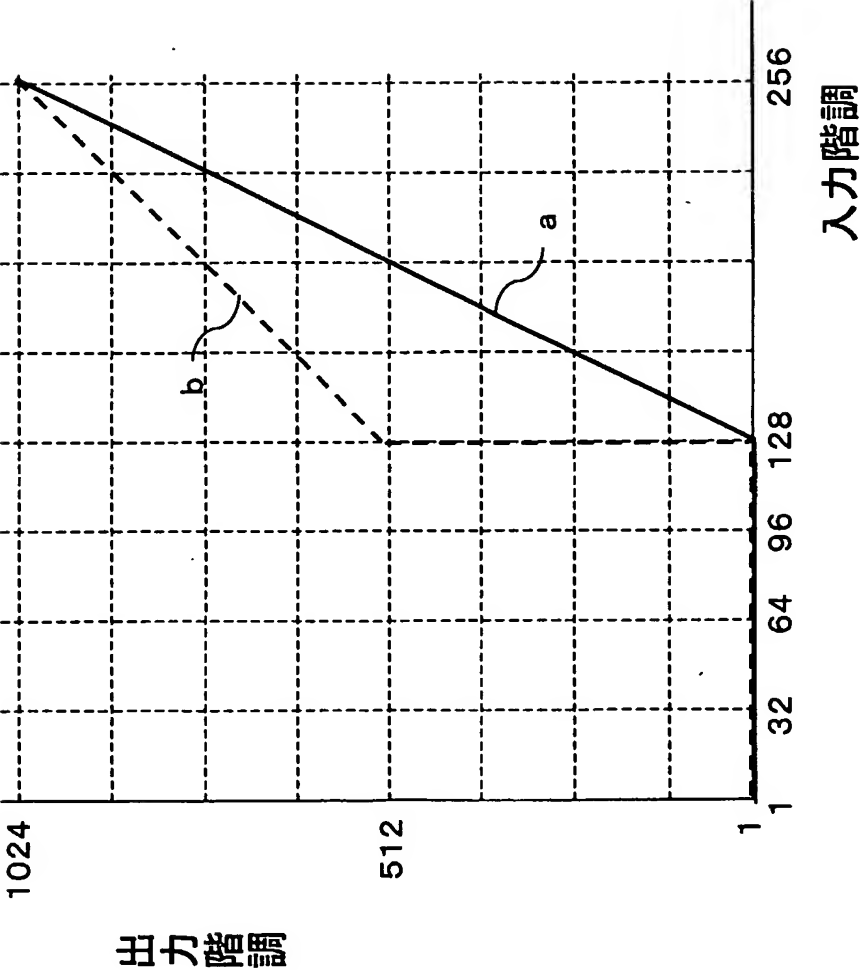
第86図

87/176



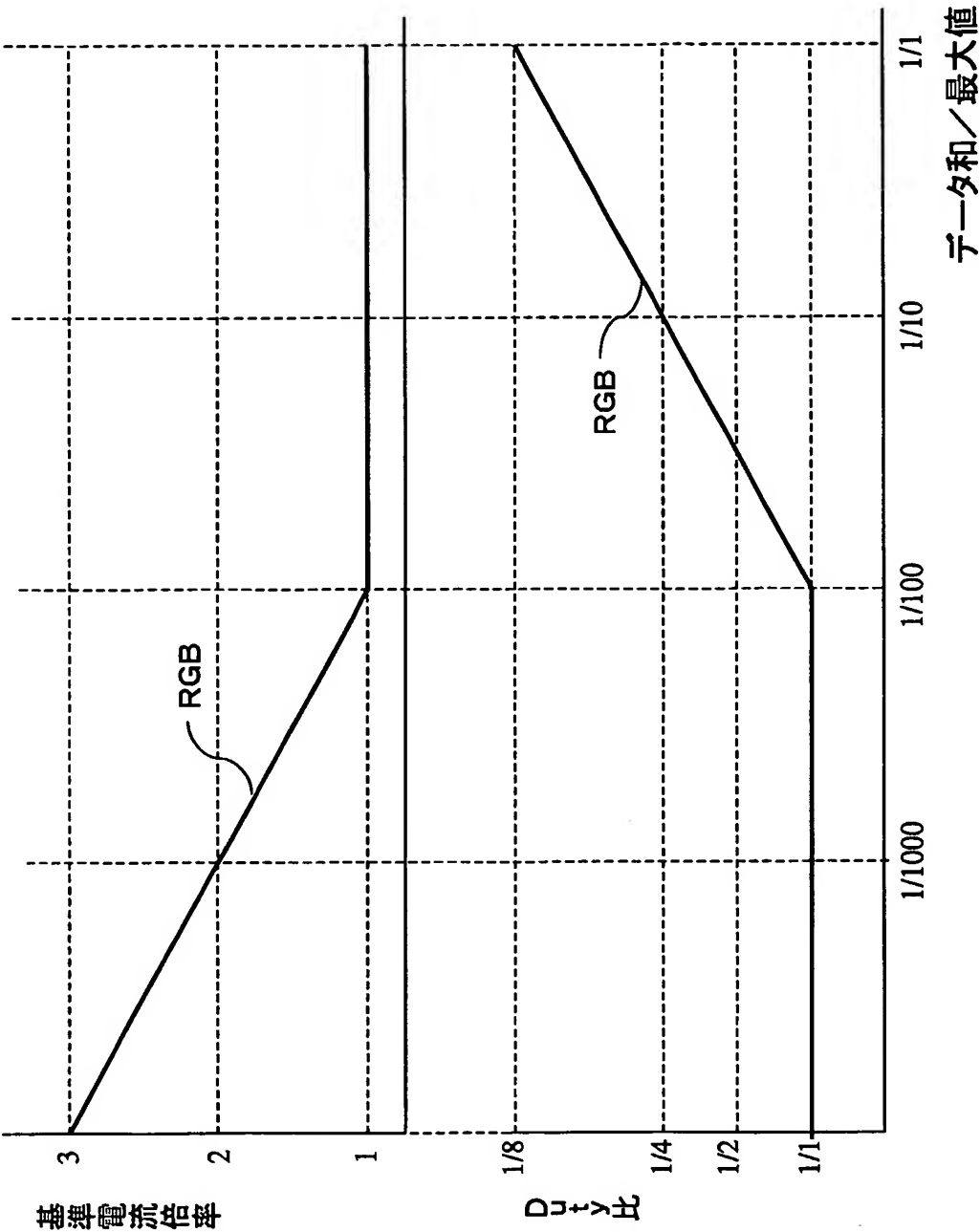
第87図

第88図

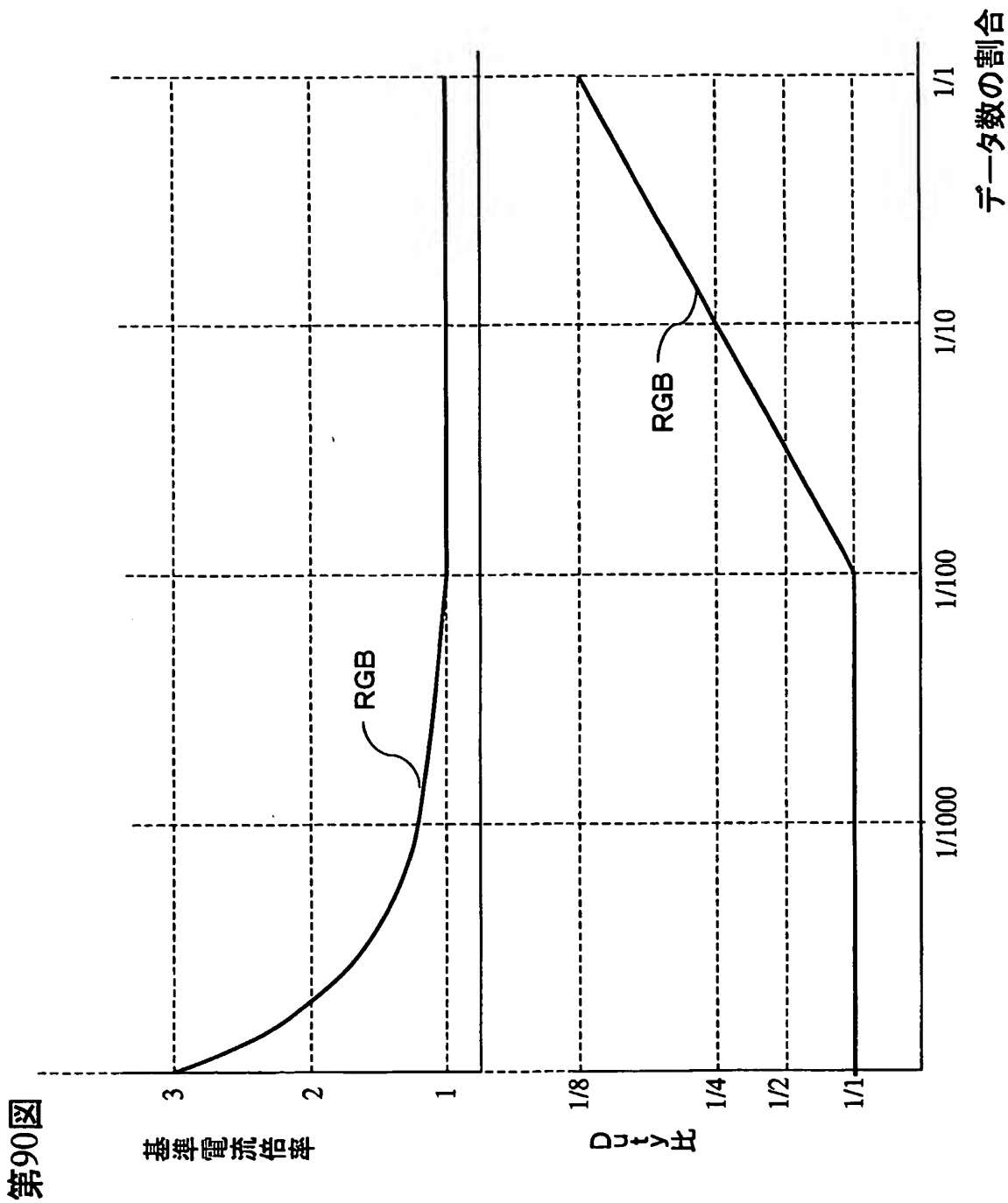


89/176

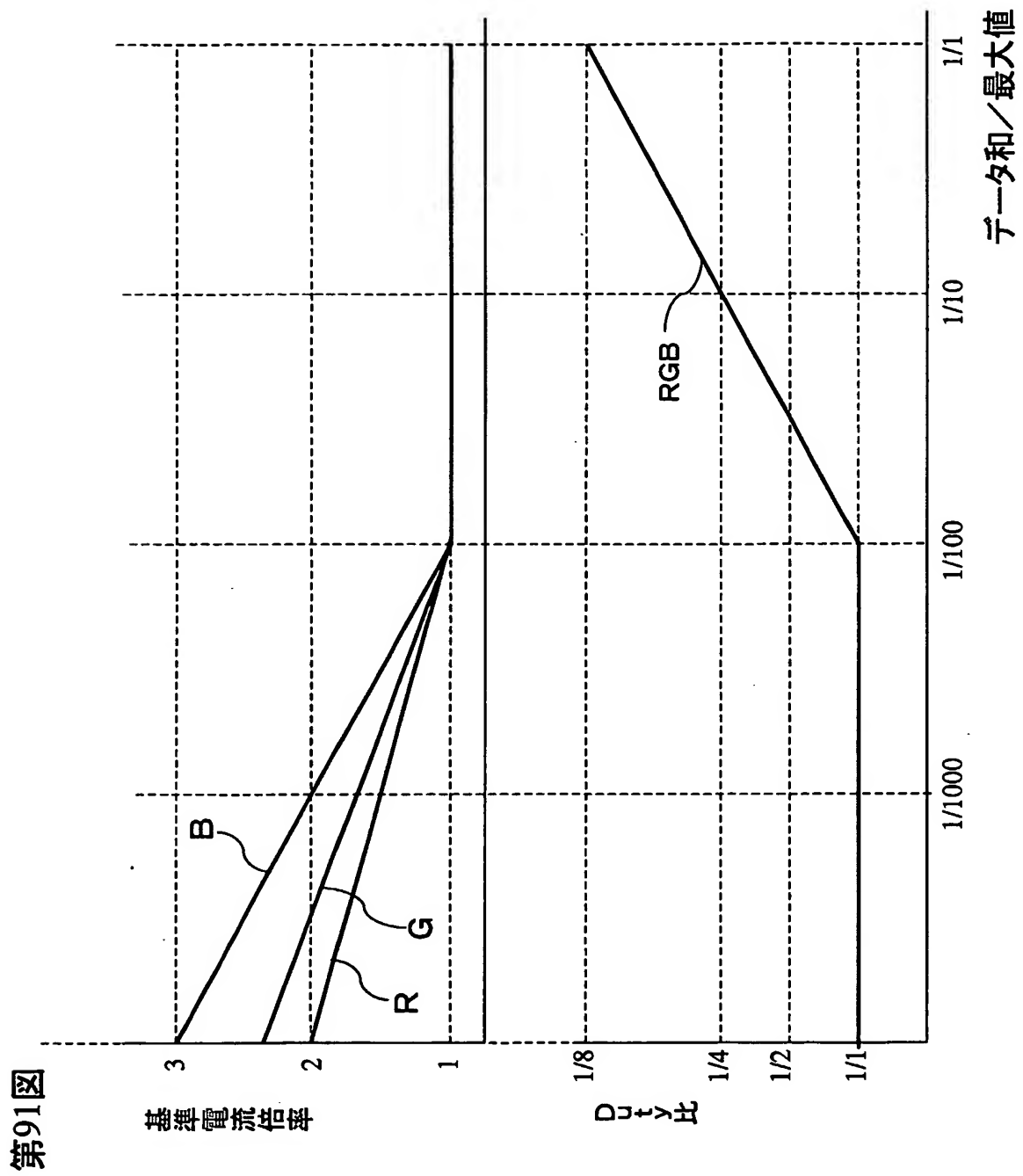
第89図



90/176

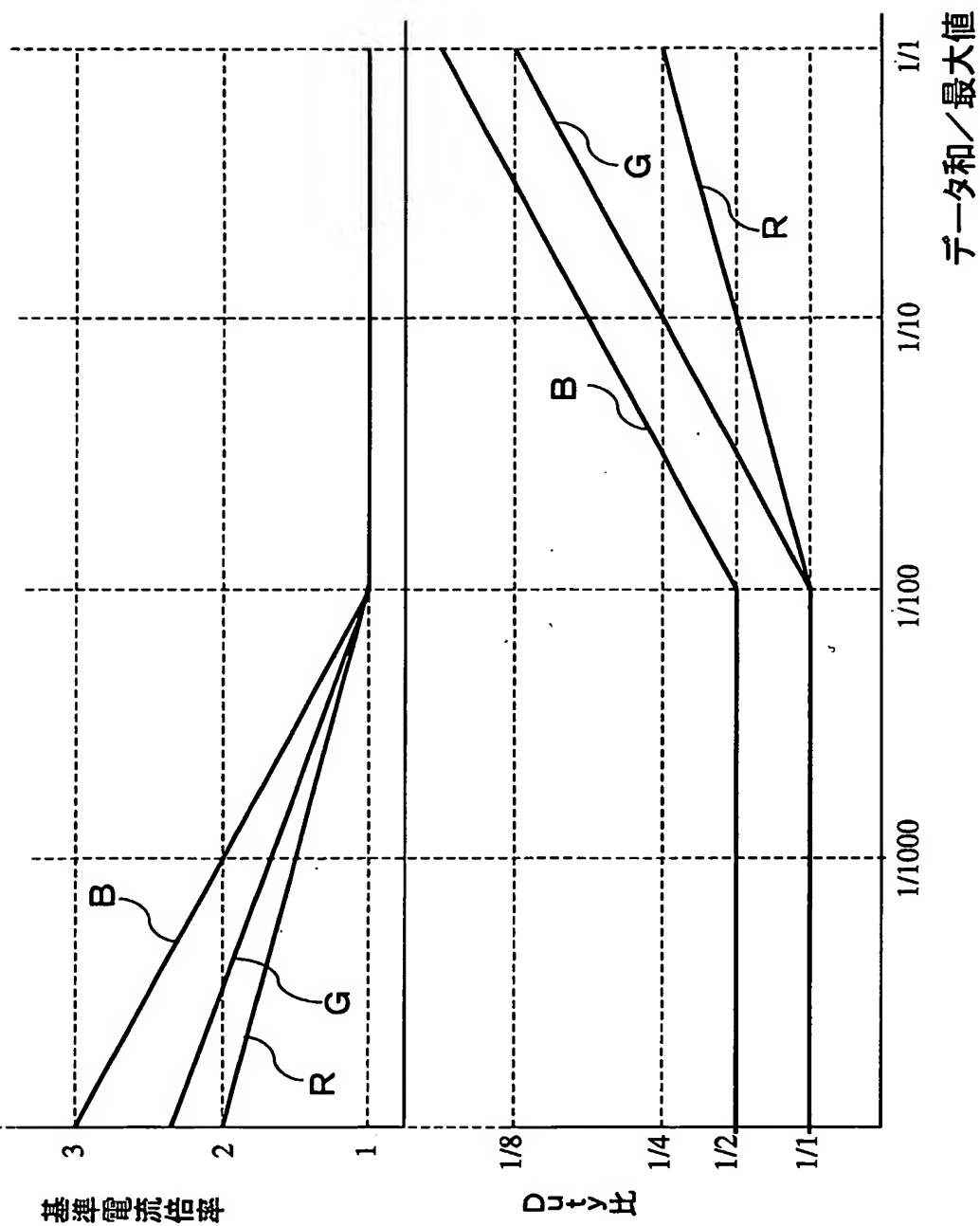


91/176



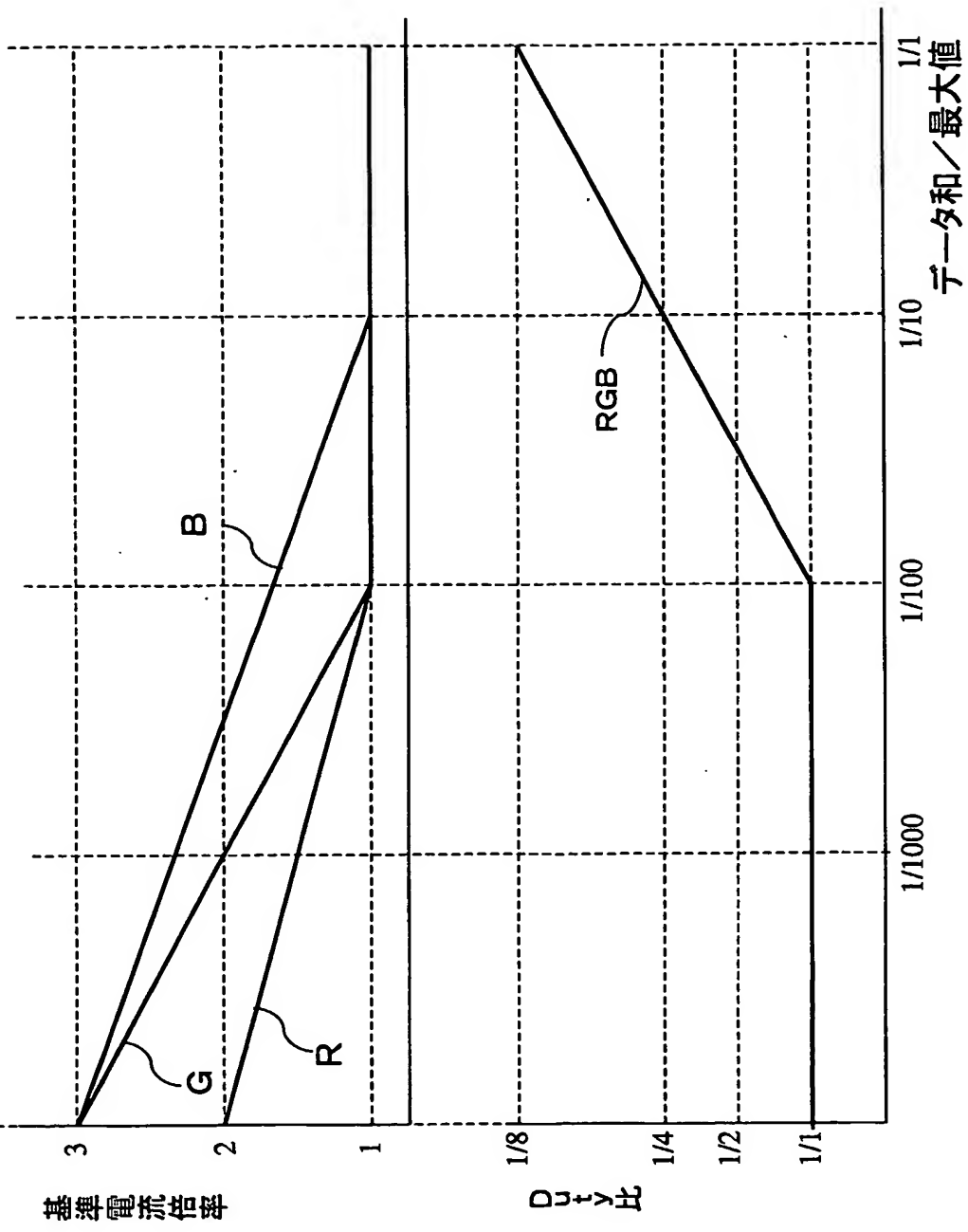
92/176

第92図

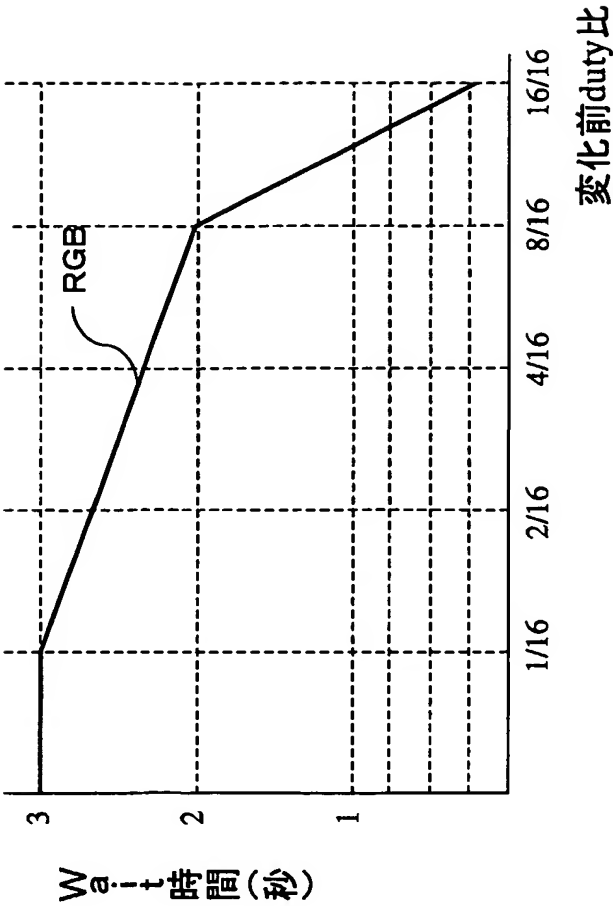


データとノイズ

第93図

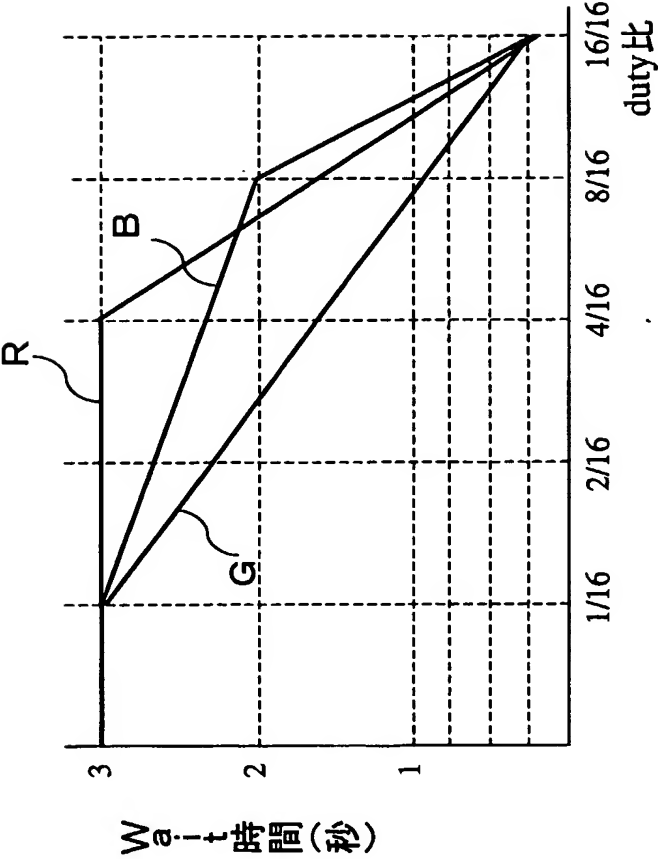


94/176

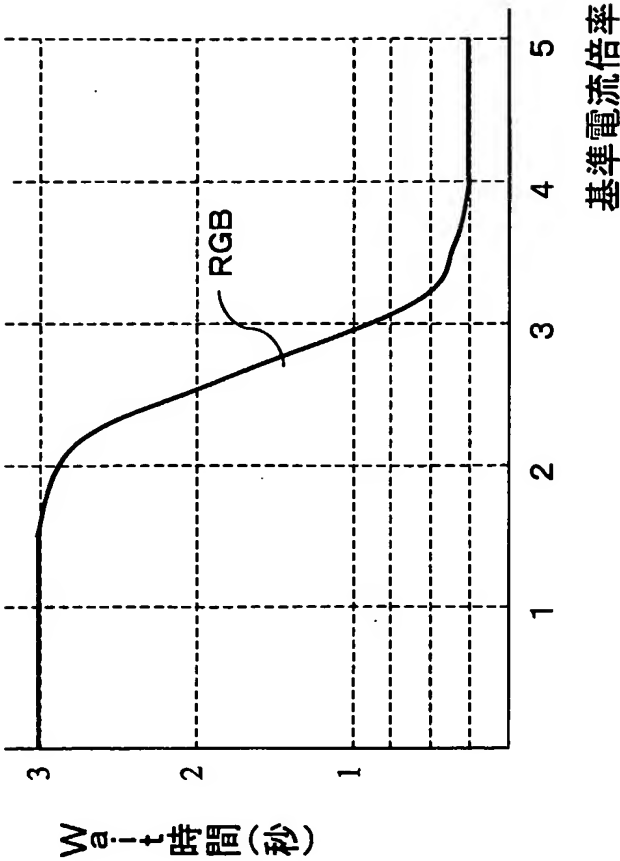


第94図

第95図



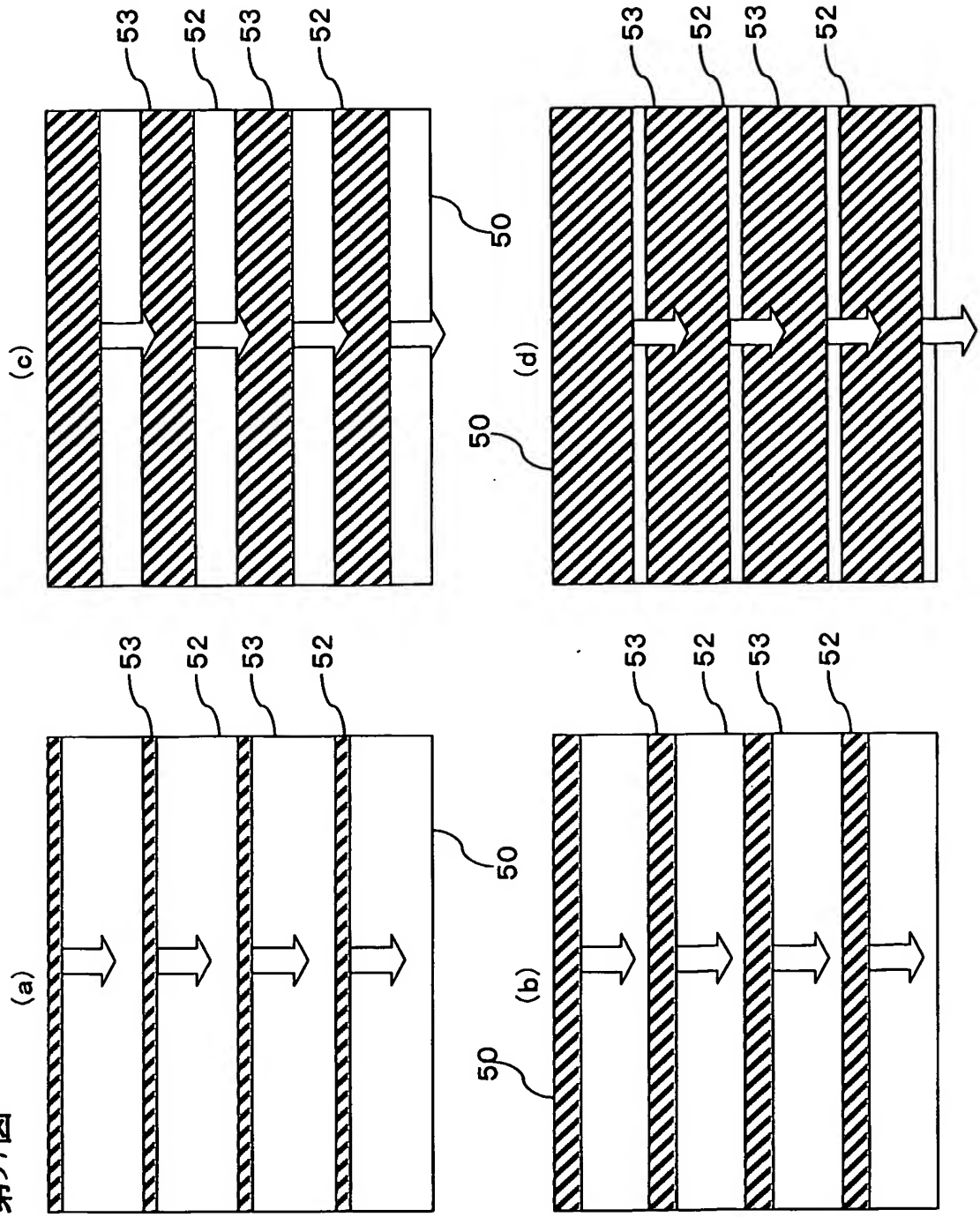
96/176



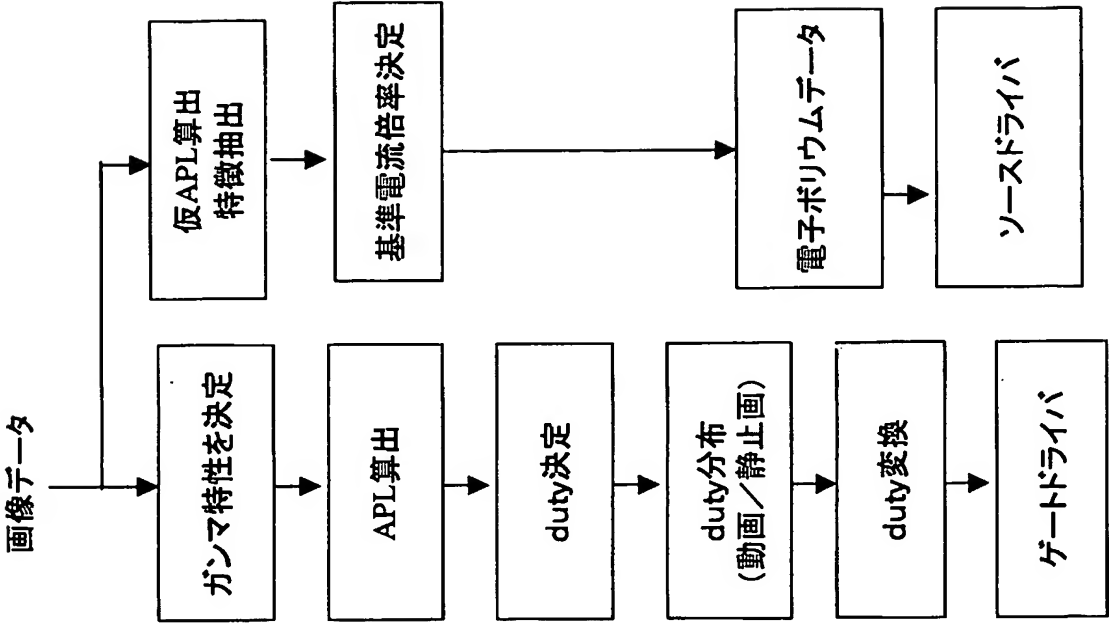
第96図

97/176

第97図

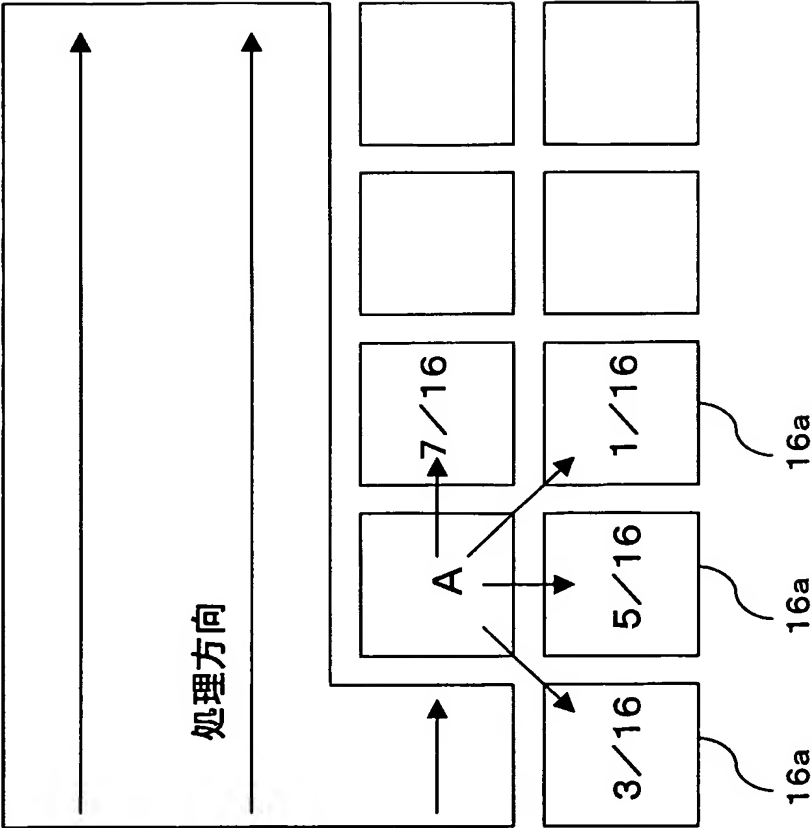


第98図

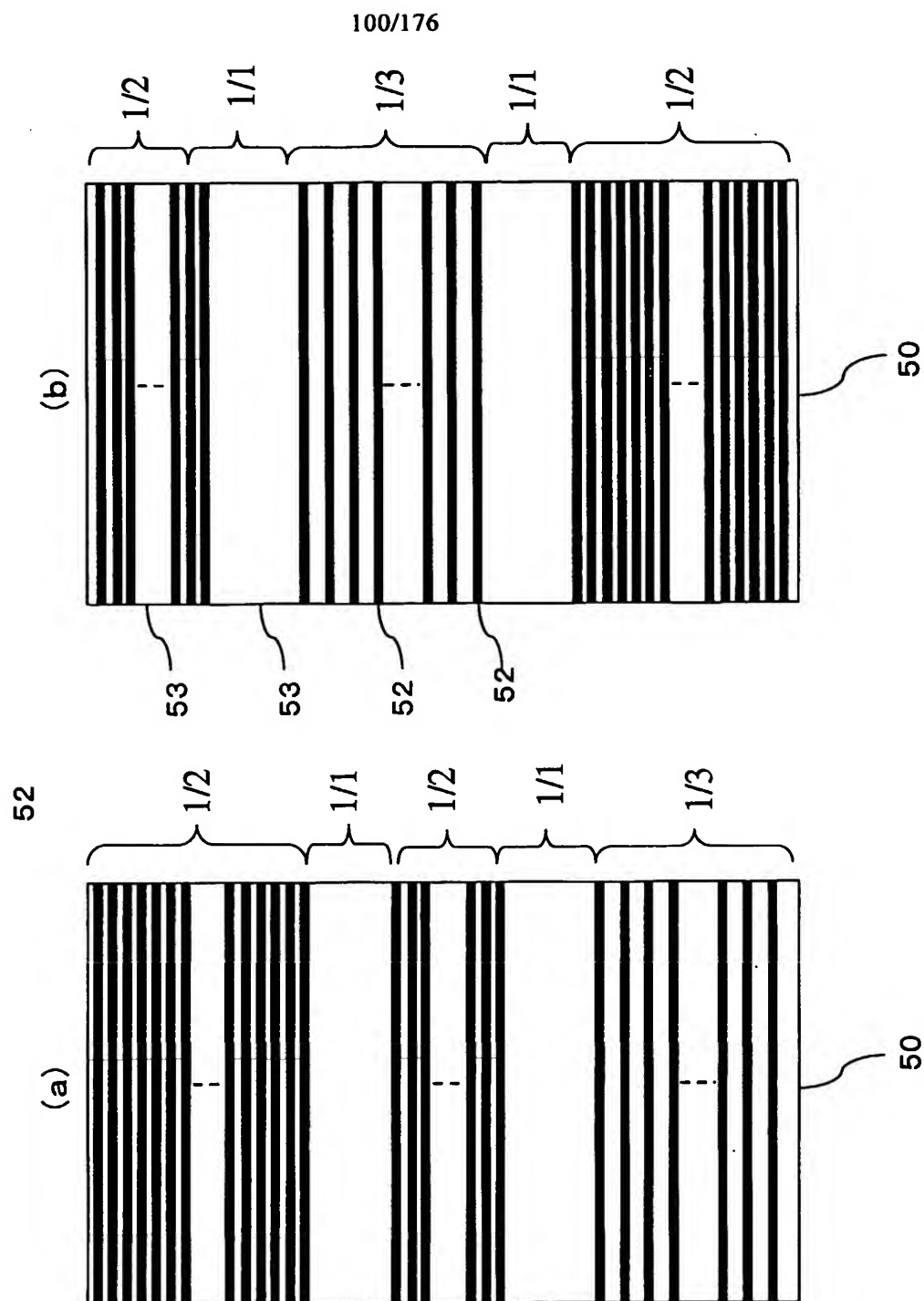


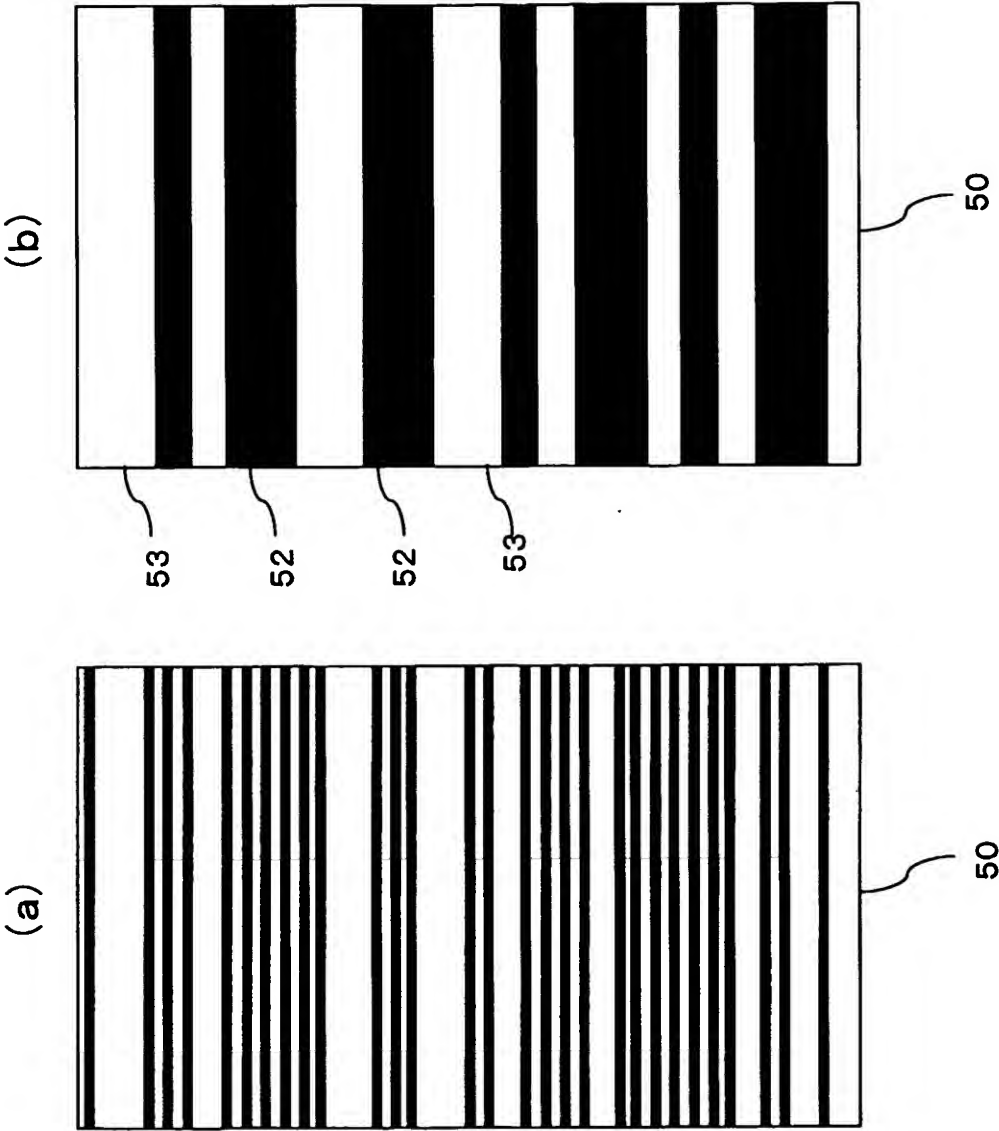
誤差拡散
FRC

第99図

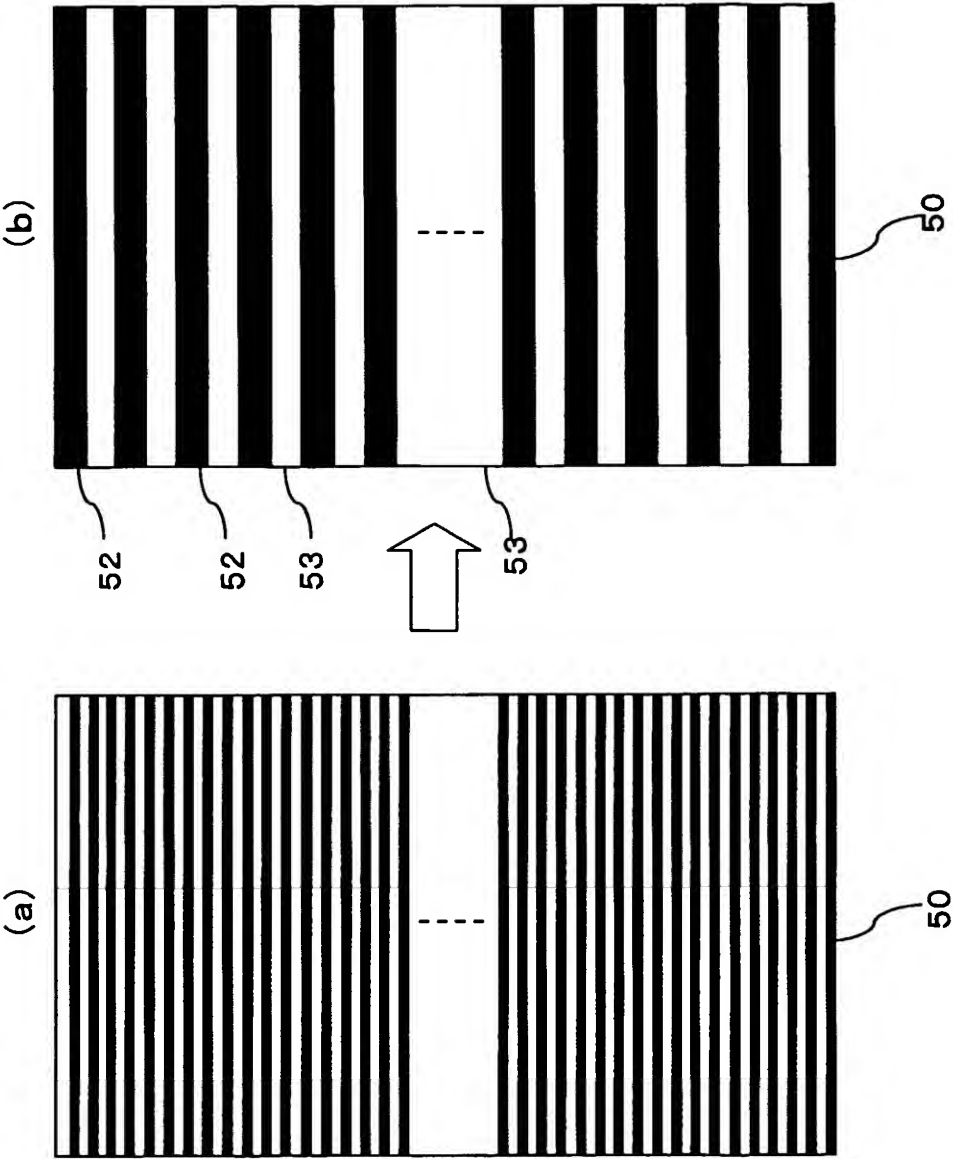


第100図





第101図

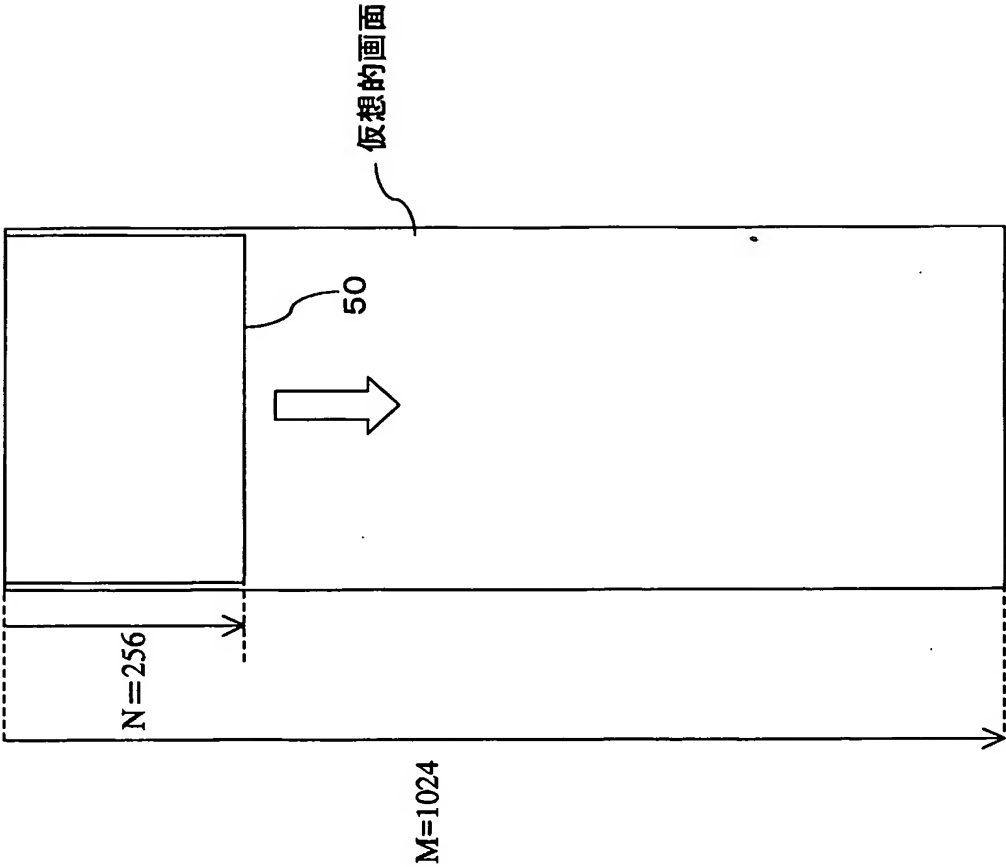


第102図

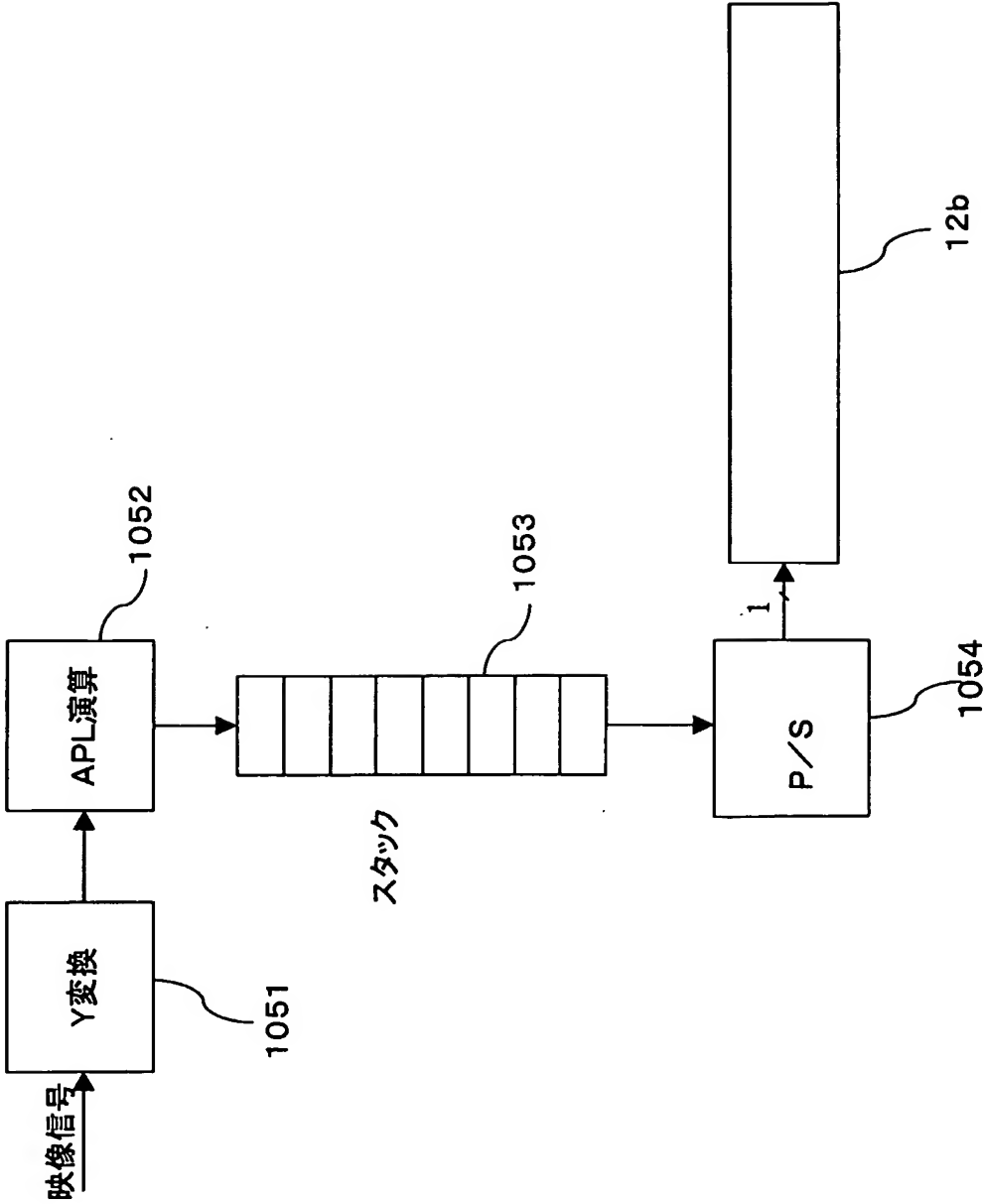
第103図

フレーム (フィールド)番号	1	2	3	4	5	6	7	8	9	10	11	12
APLレベル	228	220	218	216	212	210	192	198	182	168	192	182
対応Duty比	8 /64	9 /64	9 /64	10 /64	9 /64	10 /64	11 /64	11 /64	12 /64	14 /64	11 /64	12 /64
処理Duty比	8 /64	8 /64	9 /64	9 /64	9 /64	10 /64	10 /64	11 /64	12 /64	12 /64	11 /64	12 /64

第104图



第105図



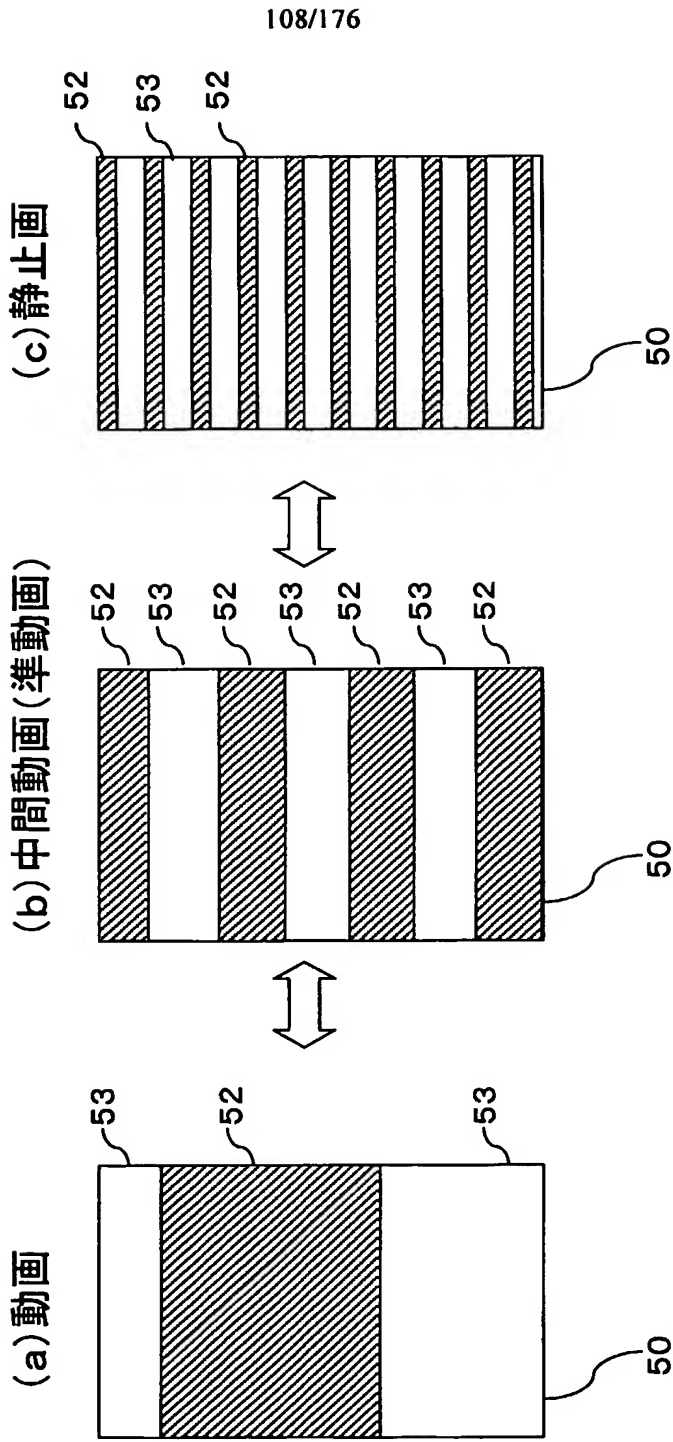
第106図

	1-1	1-2	1-3	1-4	2-1
128/1024→132/1024	128/1024	129/1024	130/1024	131/1024	132/1024
128/1024→130/1024	128/1024	128/1024	129/1024	129/1024	130/1024
128/1024→136/1024	128/1024	130/1024	132/1024	134/1024	136/1024

第107図

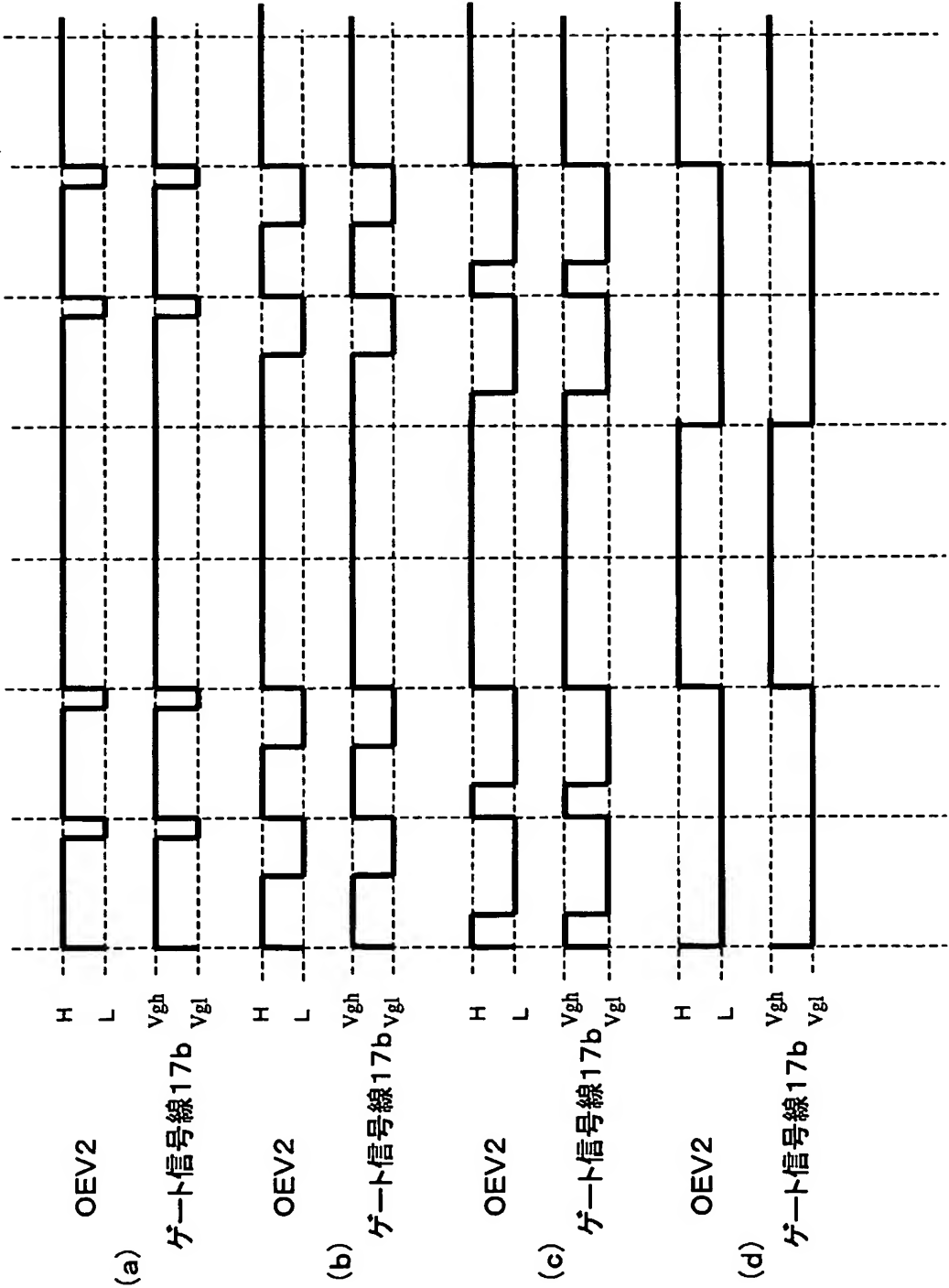
	1	2	3	4	5	6	7	8
A	30.0/256	30.2/256	30.4/256	30.6/256	30.8/256	31.0/256	31.2/256	31.4/256
B	30.0/256	30.0/256	30.4/256	30.4/256	30.8/256	30.8/256	31.2/256	31.2/256
C	30.2/256	30.5/256	30.0/256	30.5/256	31.0/256	30.5/256	31.0/256	31.5/256

第108図



109/176

第109図



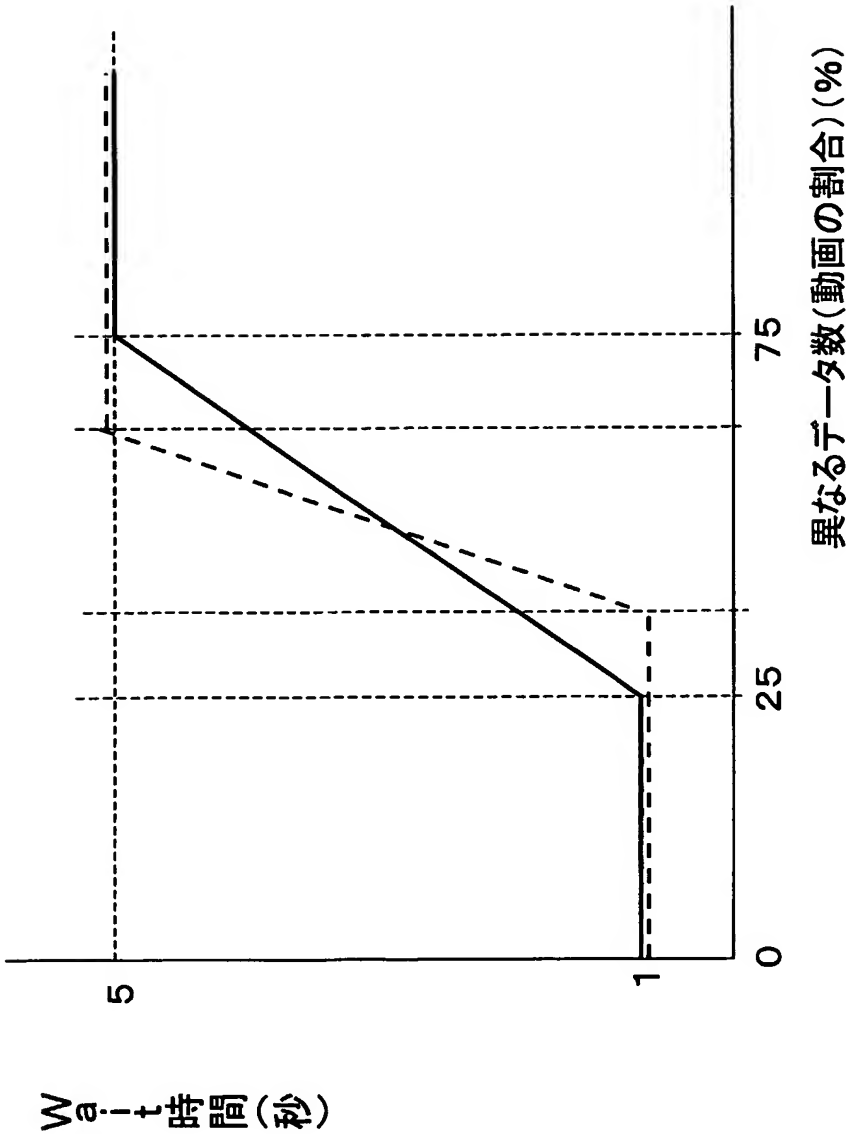
第110図
0 静止画
1 準動画
2 動画

110/176

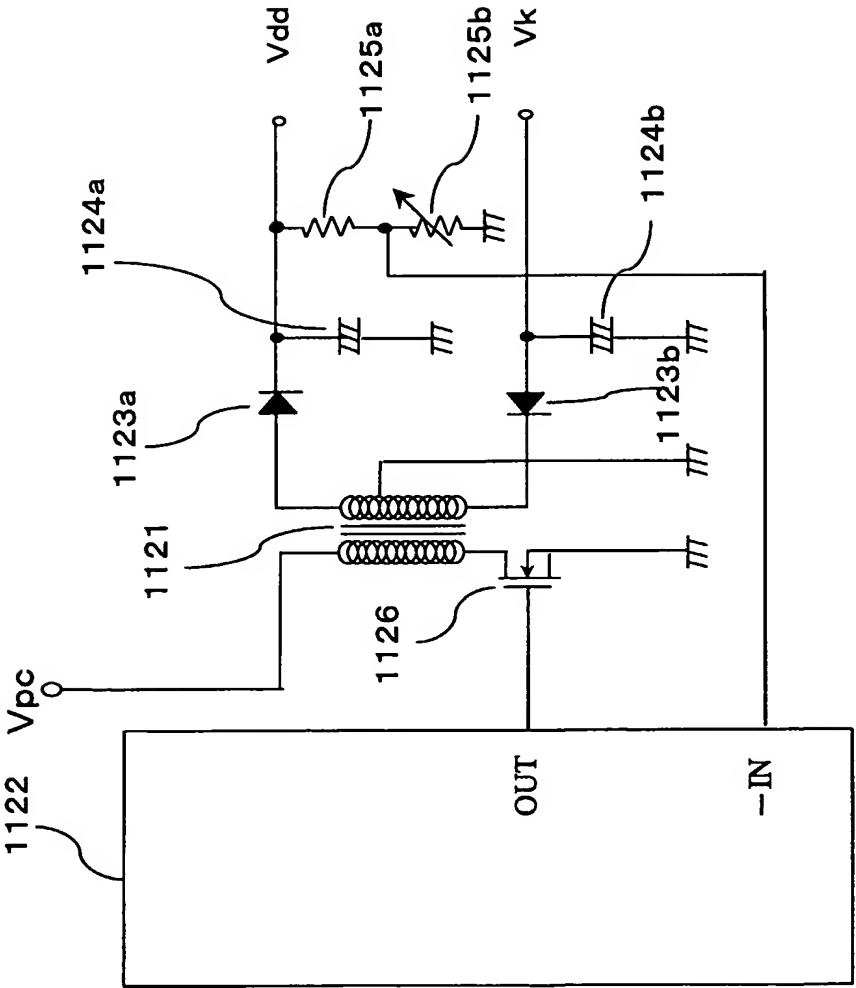
フレーム	1	2	3	4	5	6	7	8	9	10	11	12
動画静止画レベル	0	0	0	1	1	2	2	2	2	1	0	0
分散数	1	1	1	10	10	30	50	50	50	30	1	1
Duty比	4/9	5/9	5/9	4/9	4/9	8/9	8/9	7/9	6/9	3/9	3/9	4/9

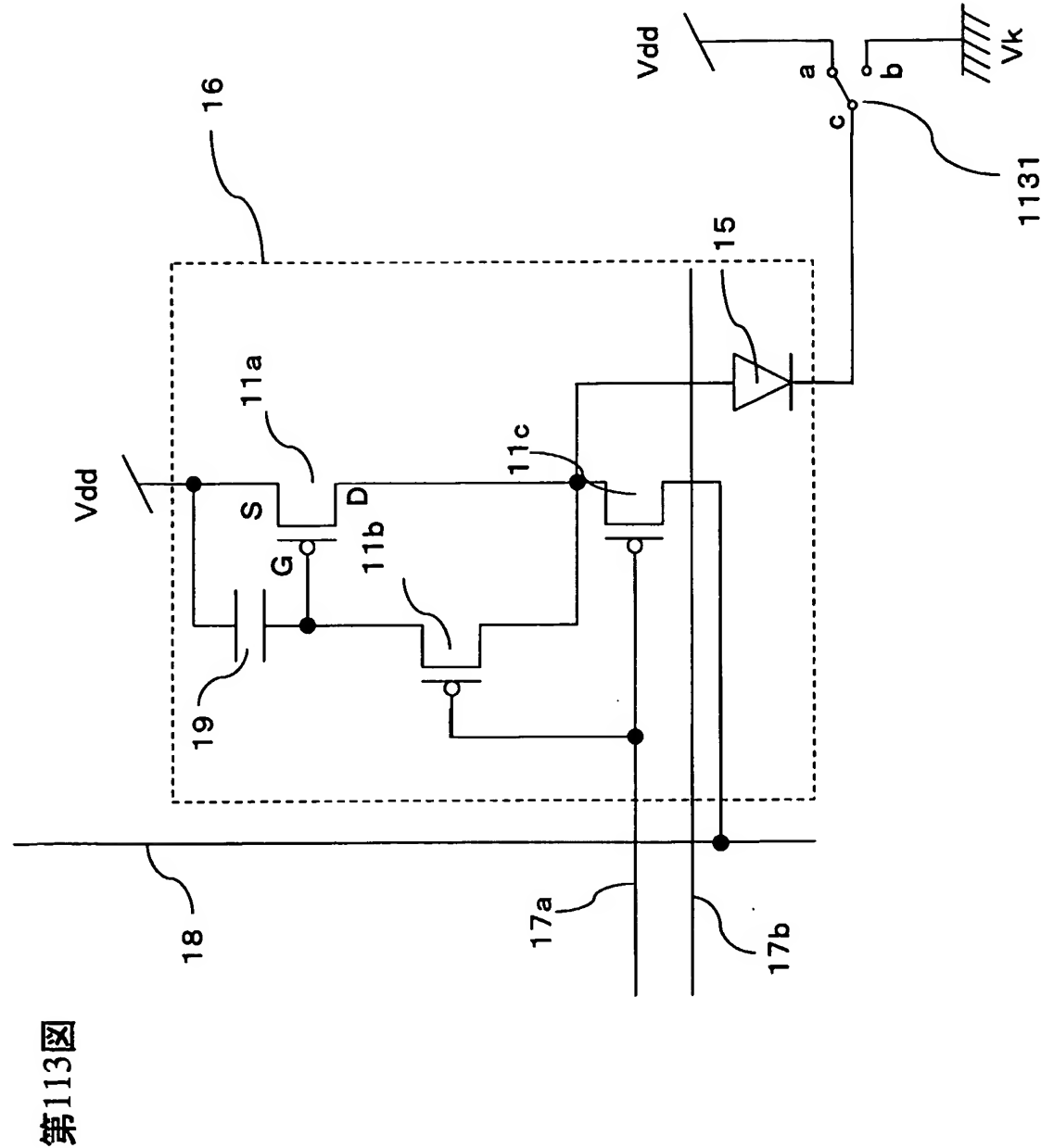
111/176

第111図

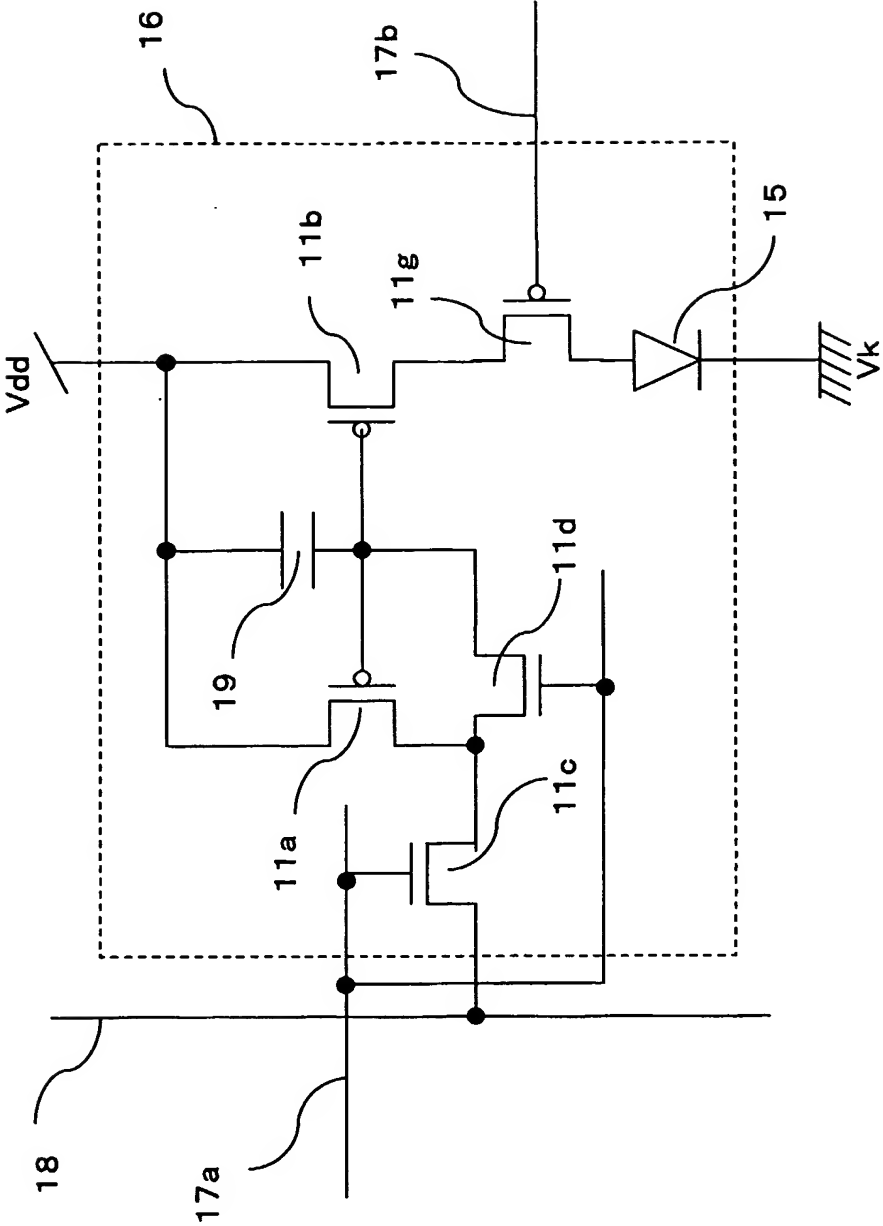


第112図

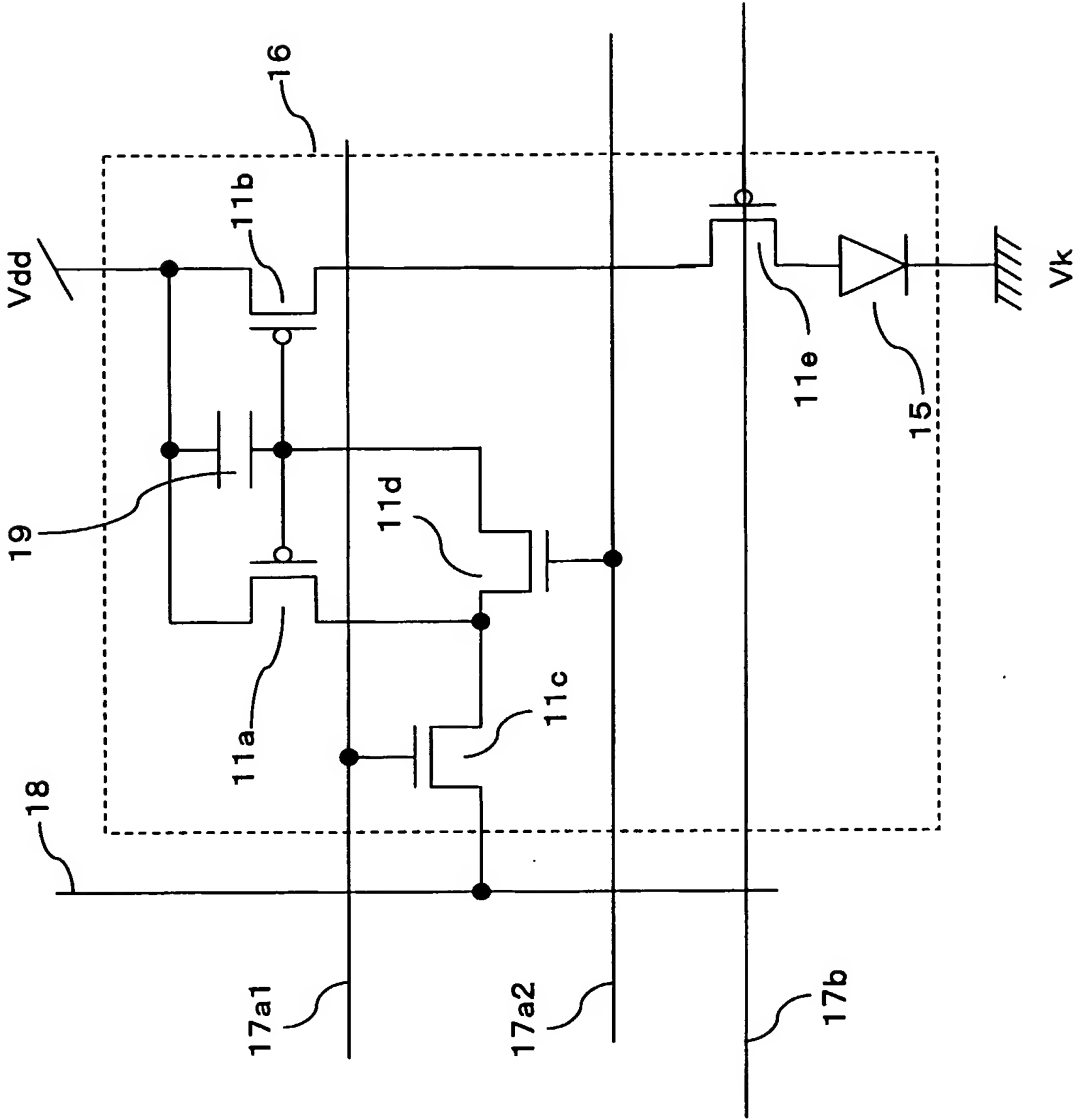




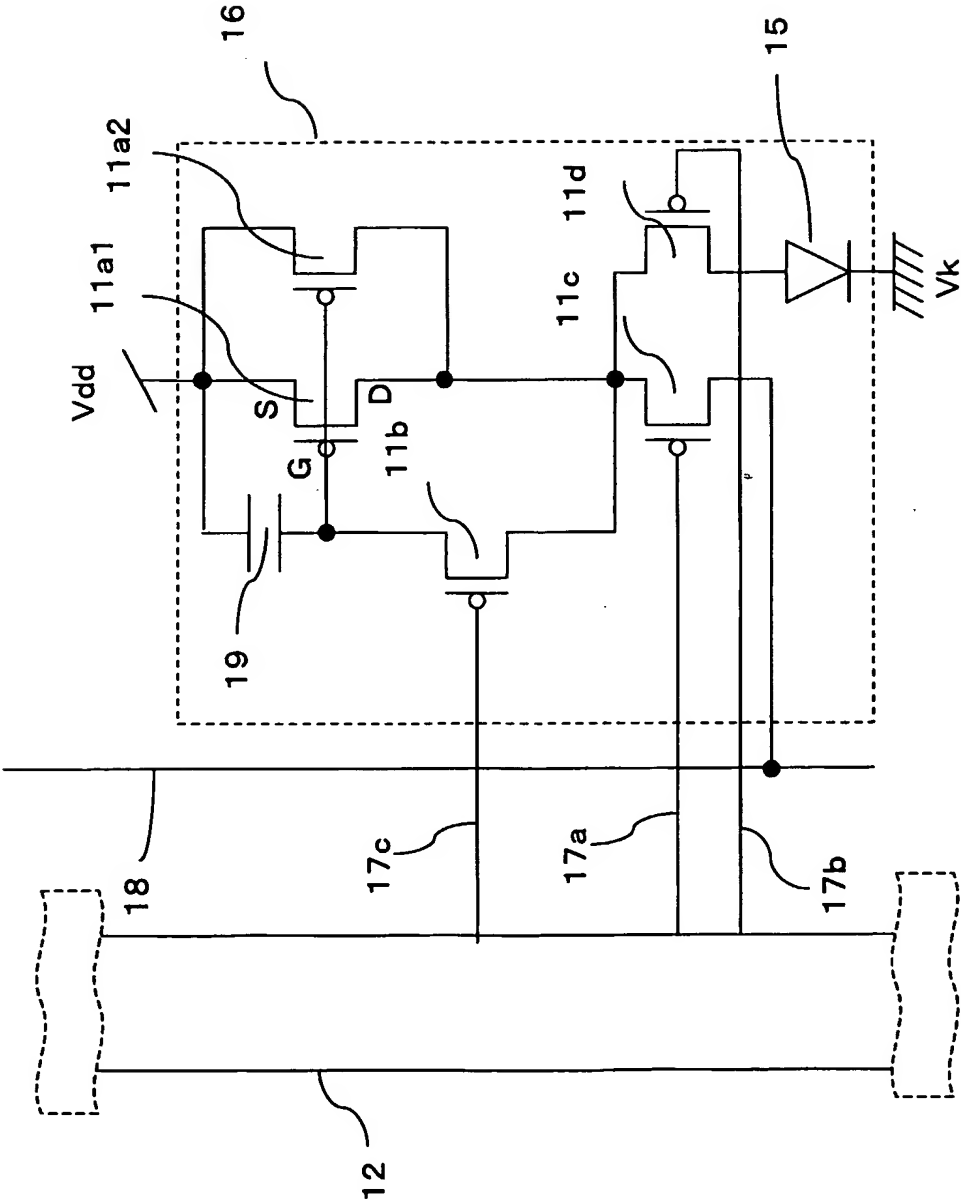
第114図



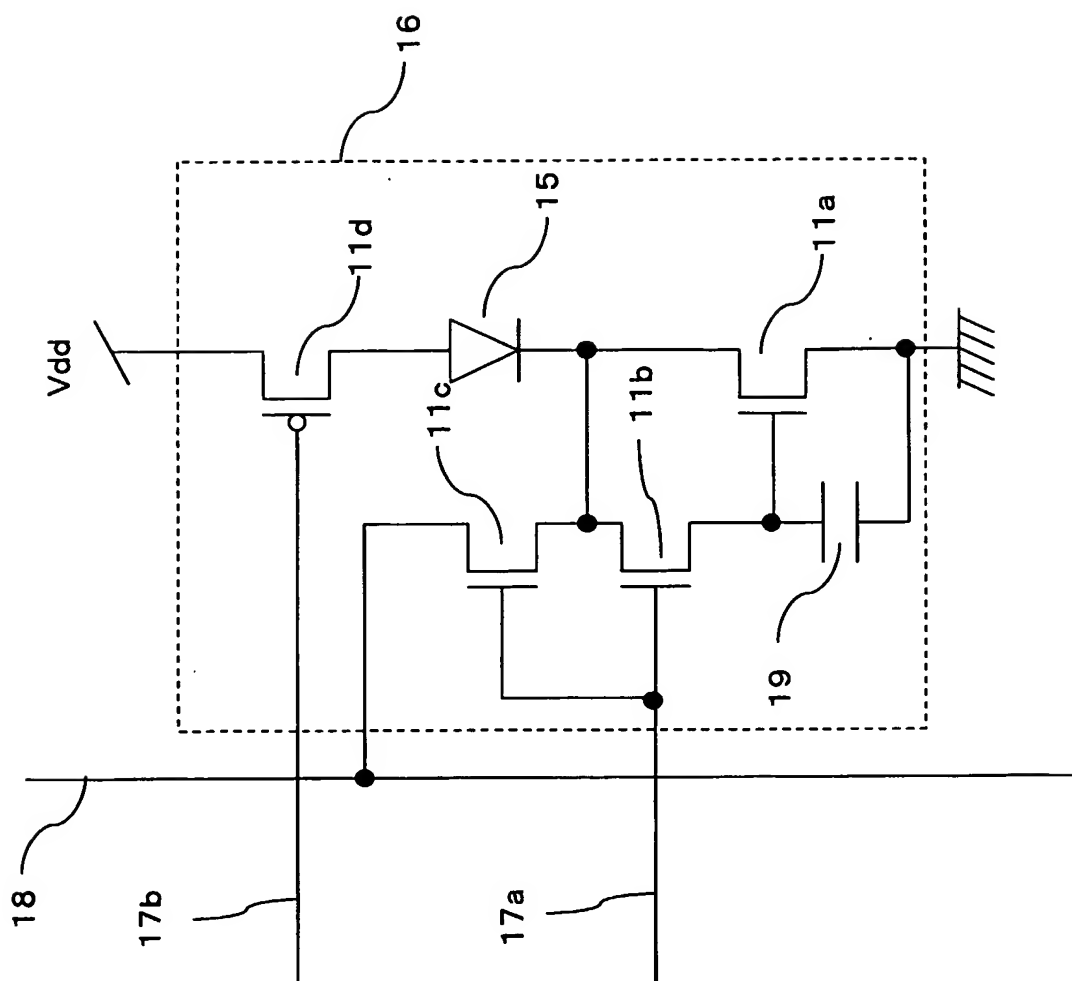
第115図



第116図

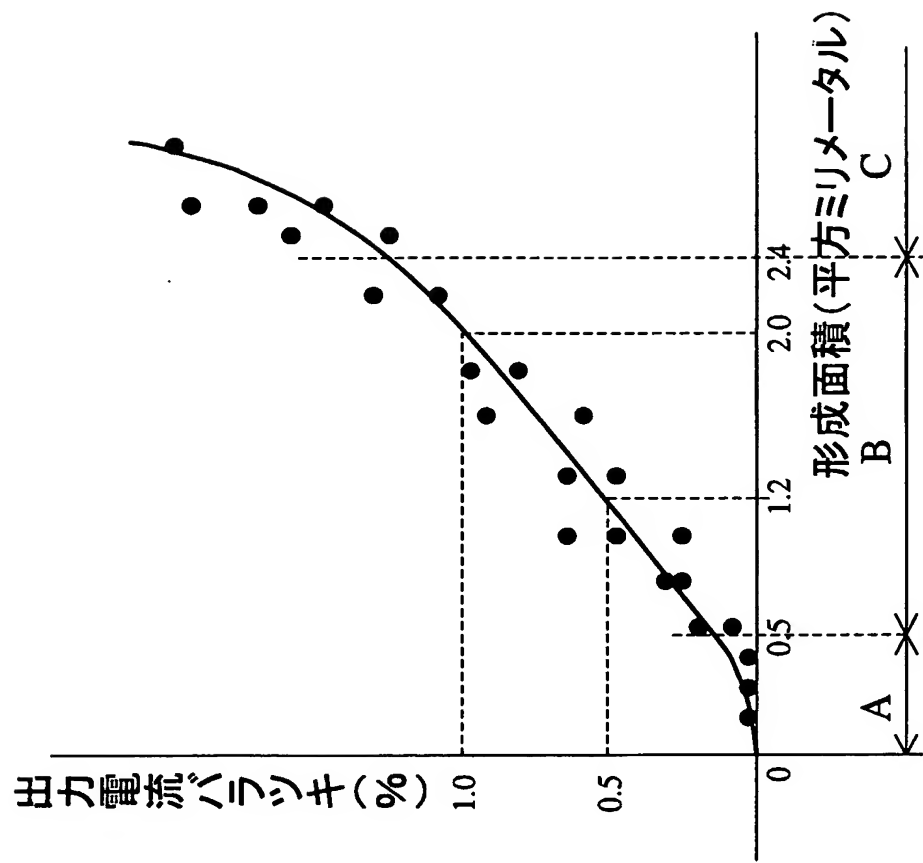


117/176

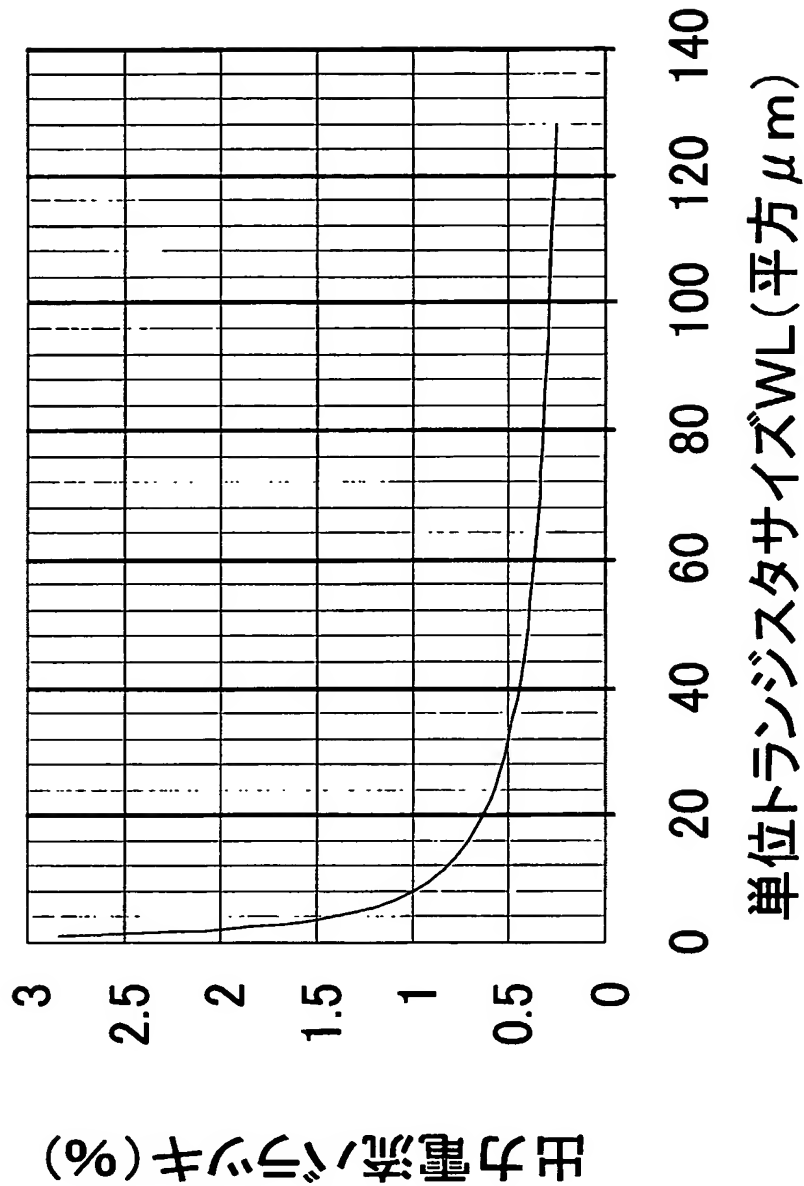


第117図

第118図



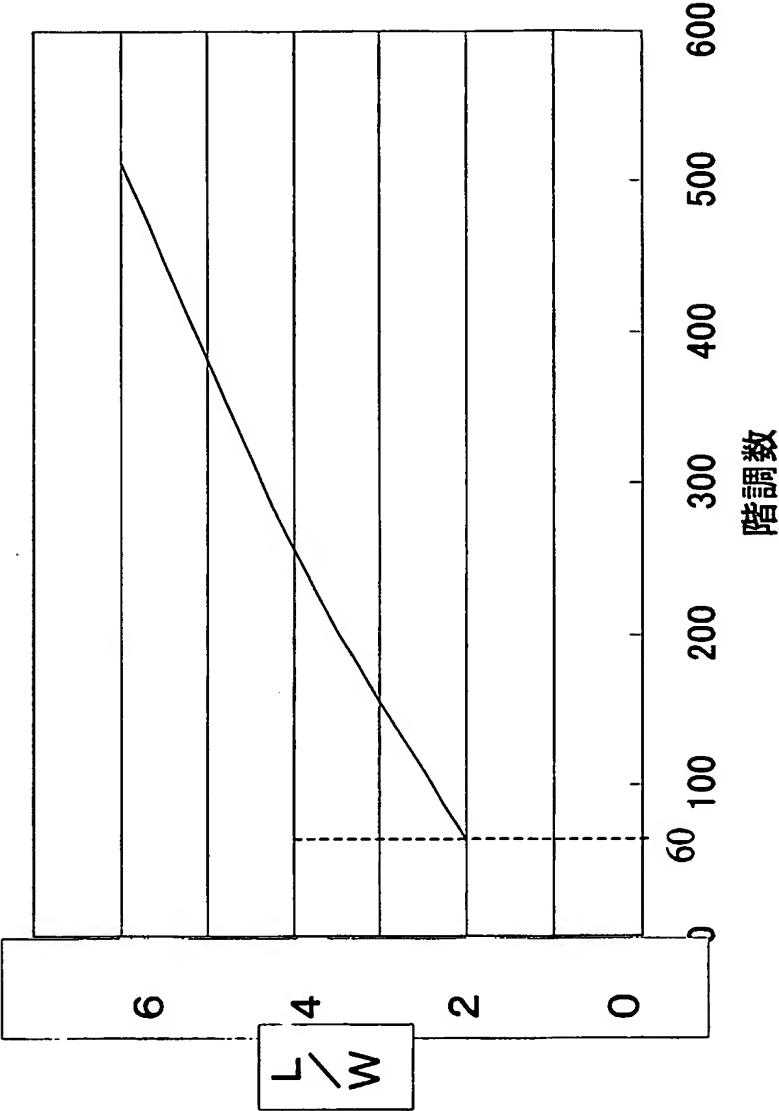
119/176



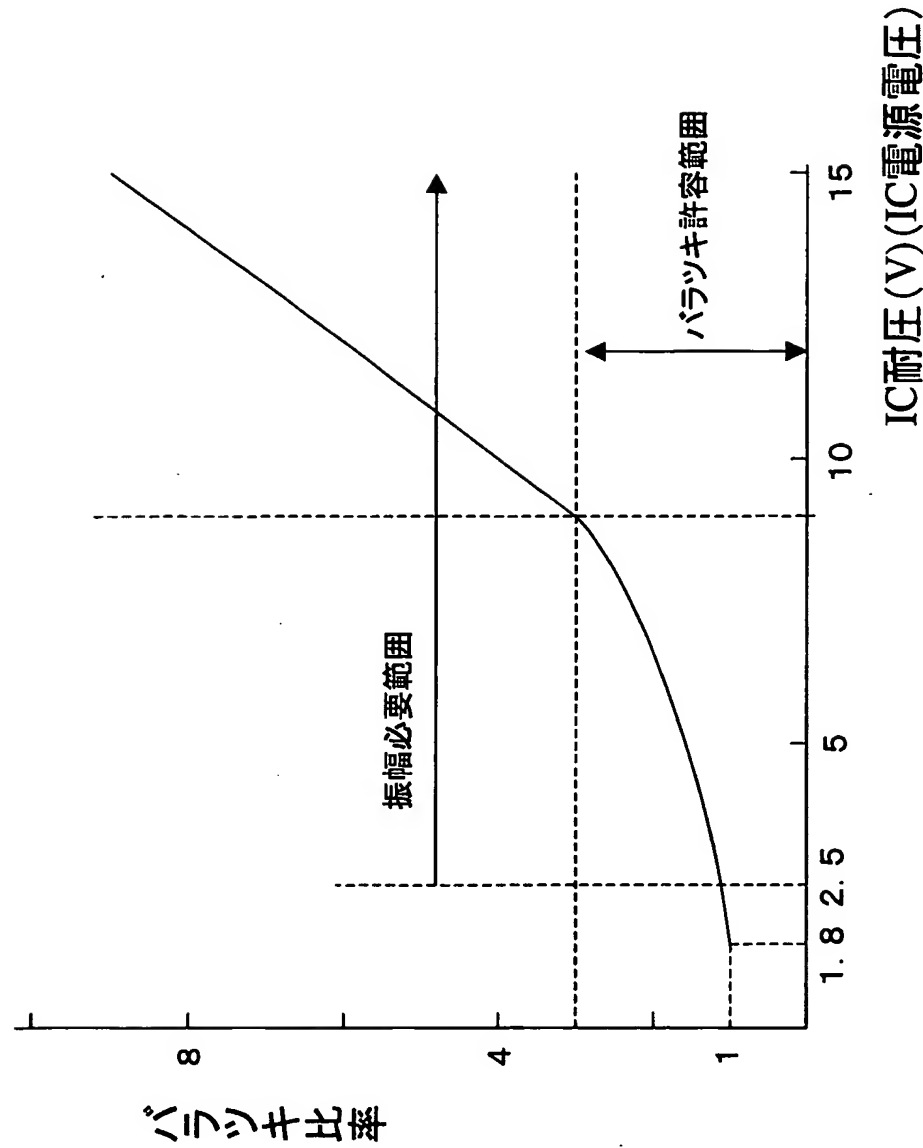
第119図

120/176

第120図

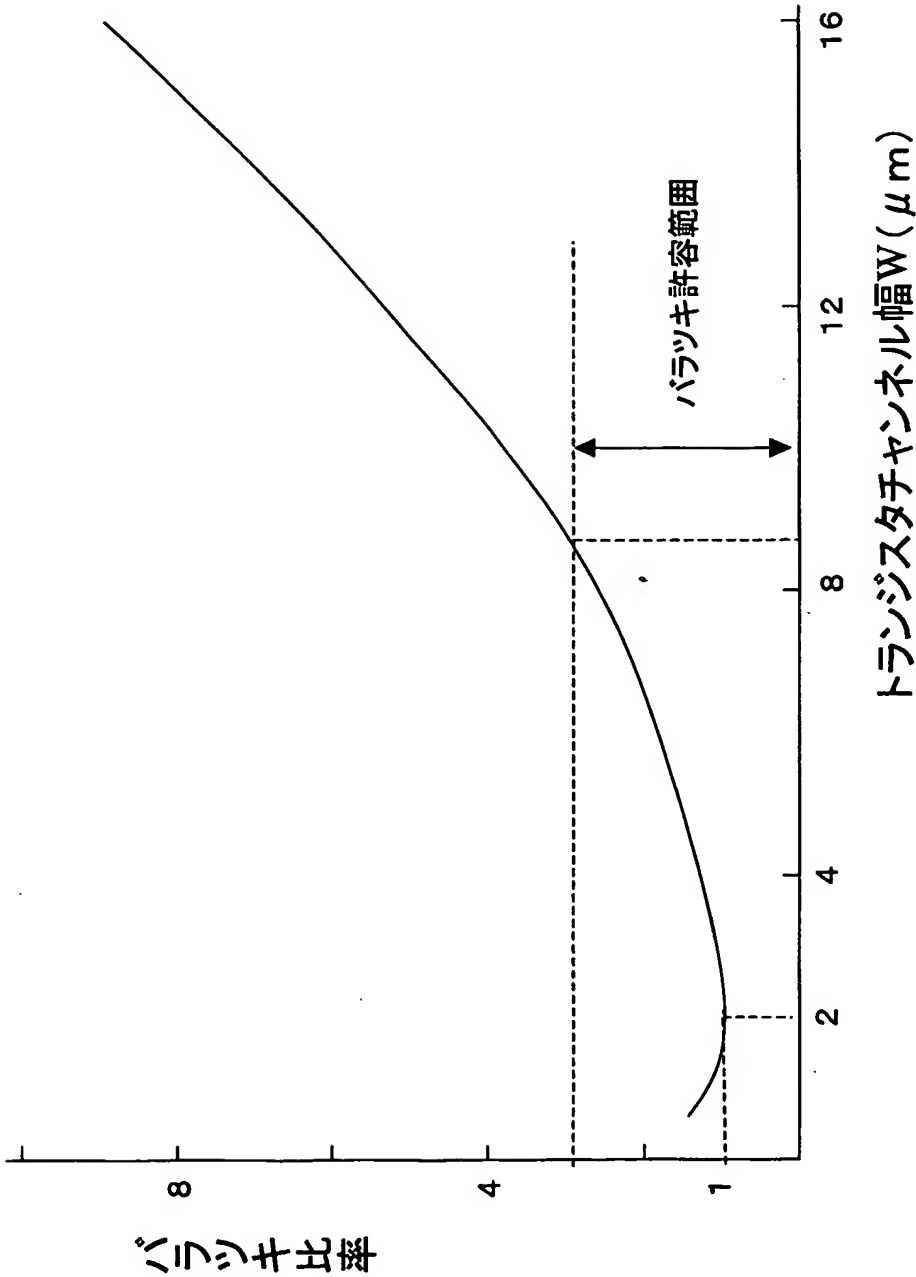


第121図

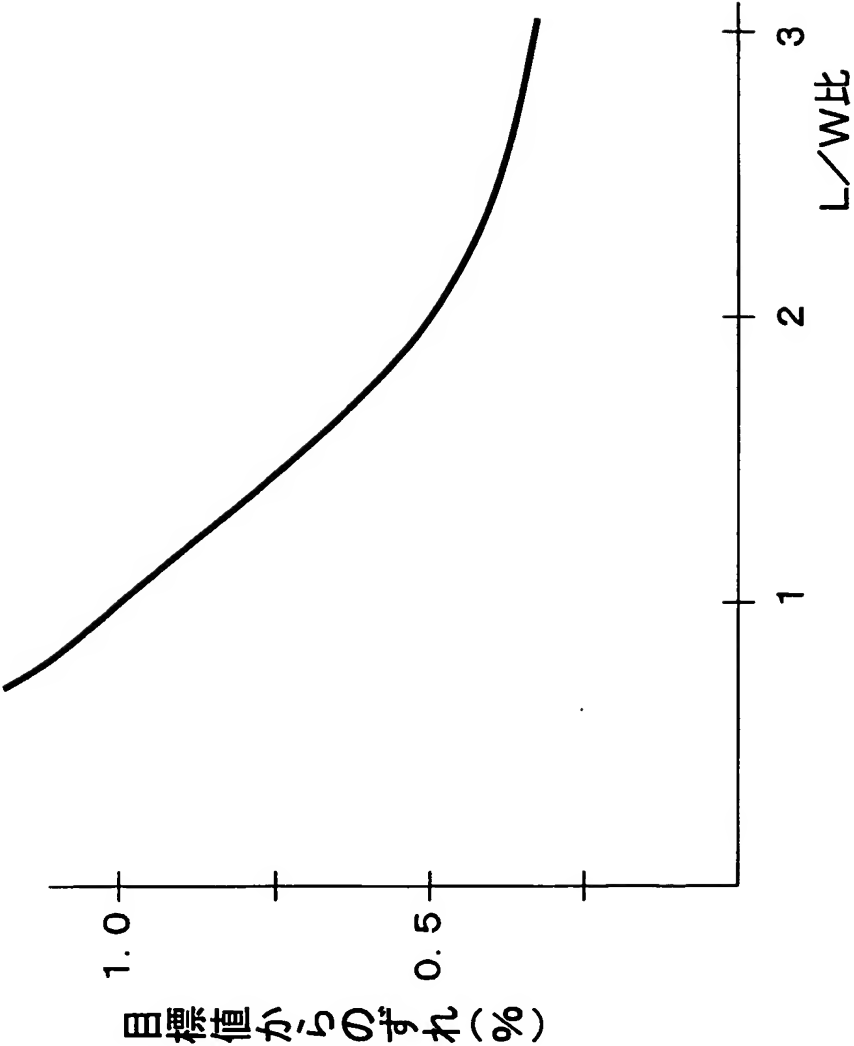


122/176

第122図



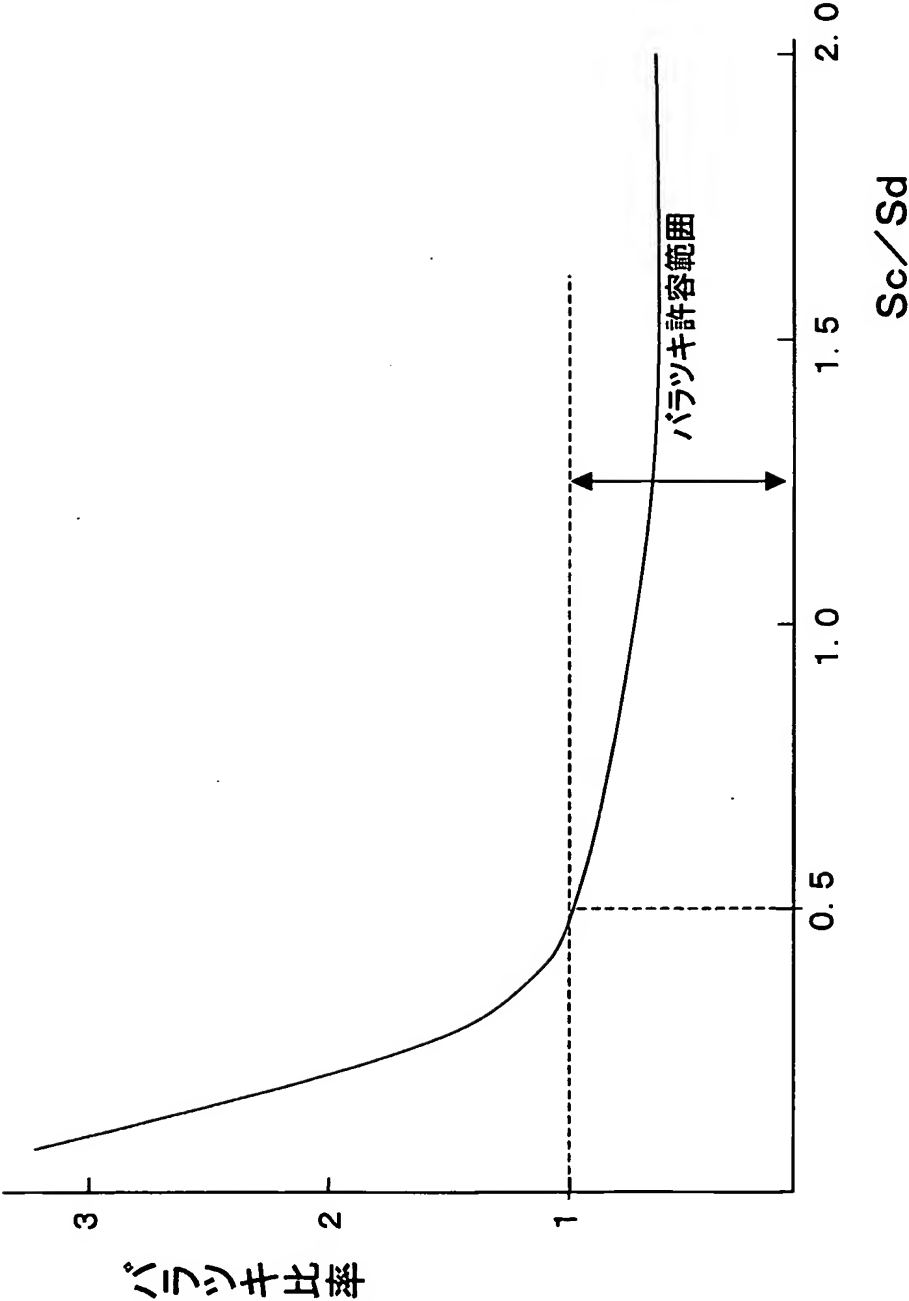
123/176

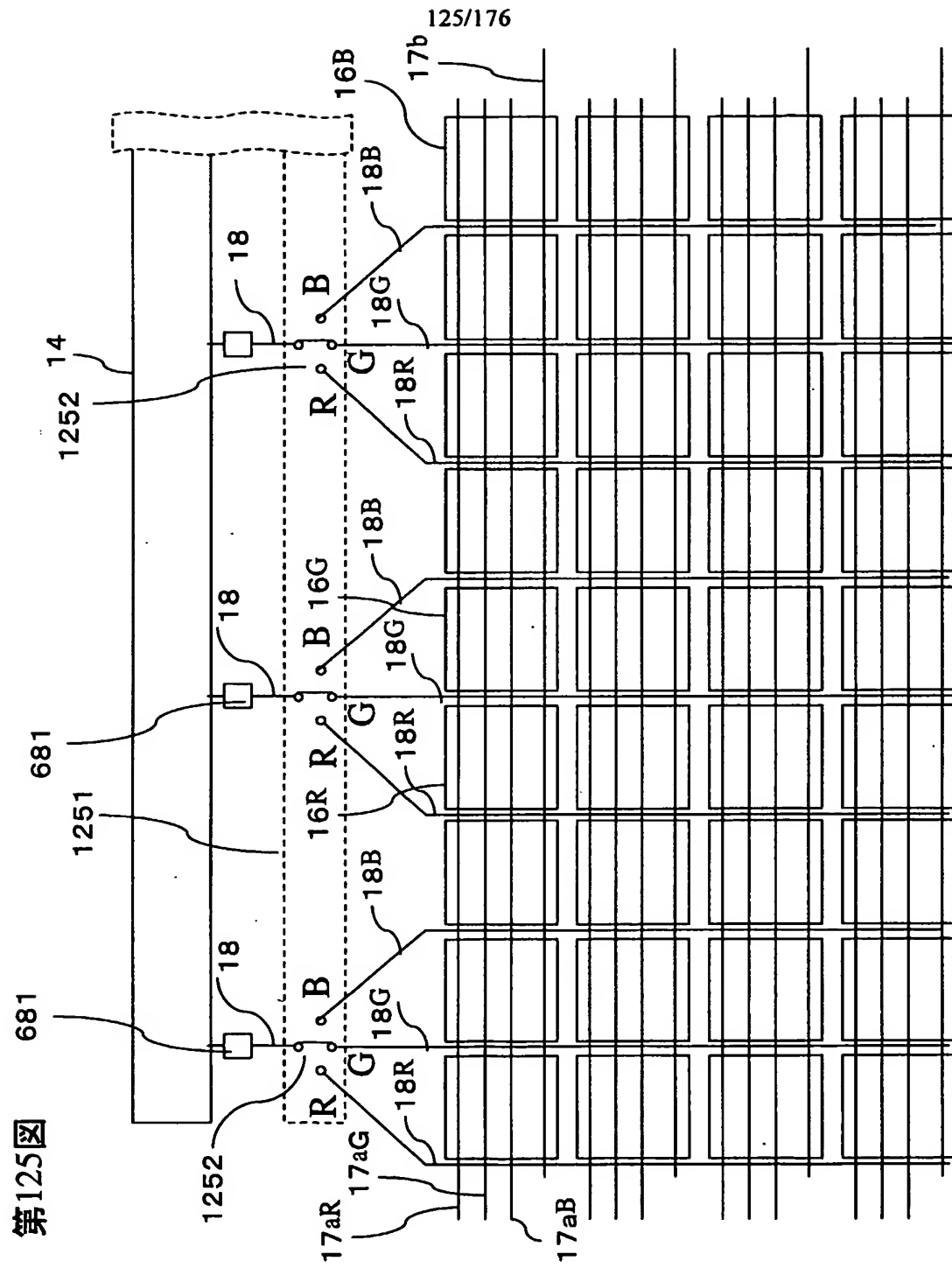


第123図

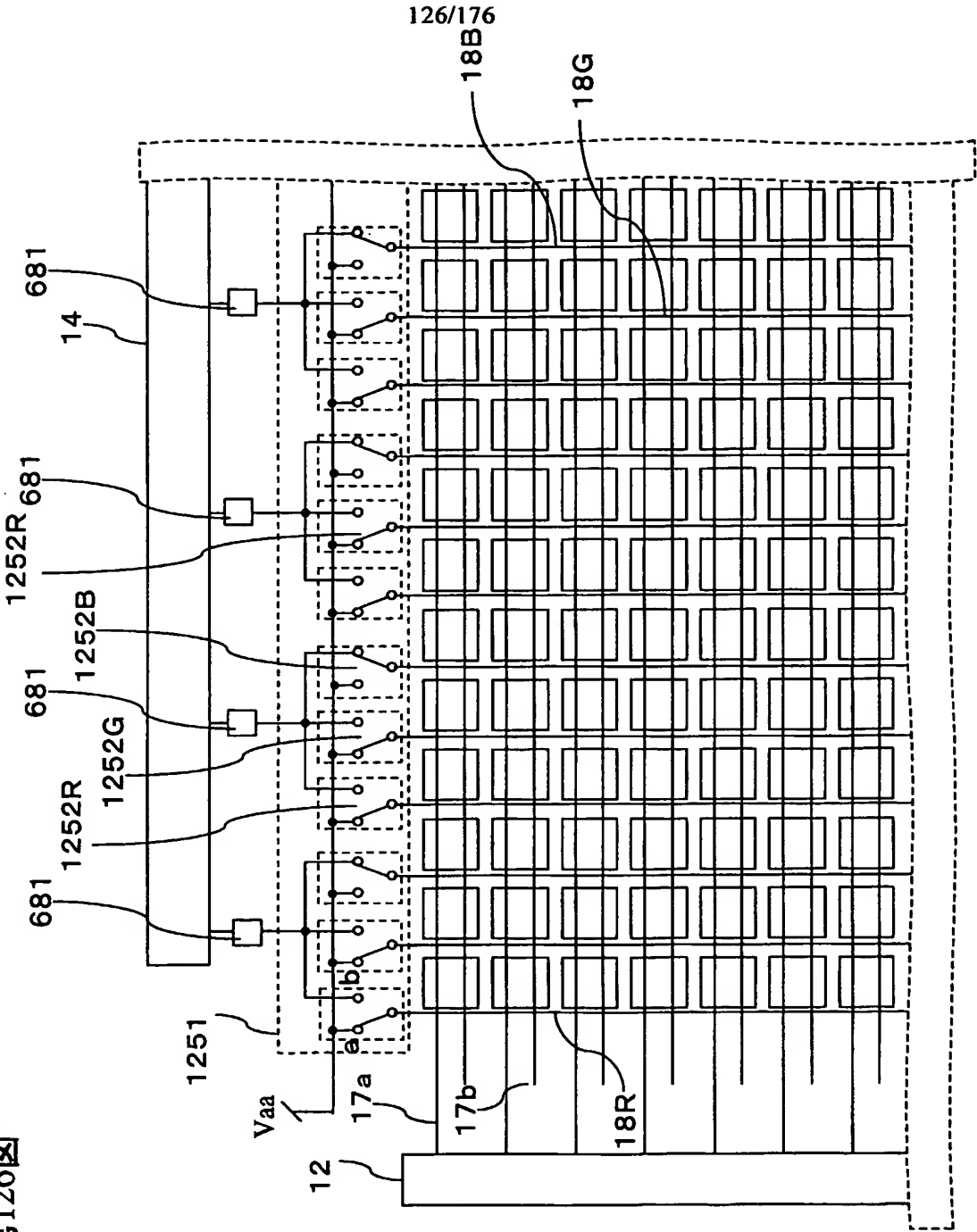
124/176

第124図

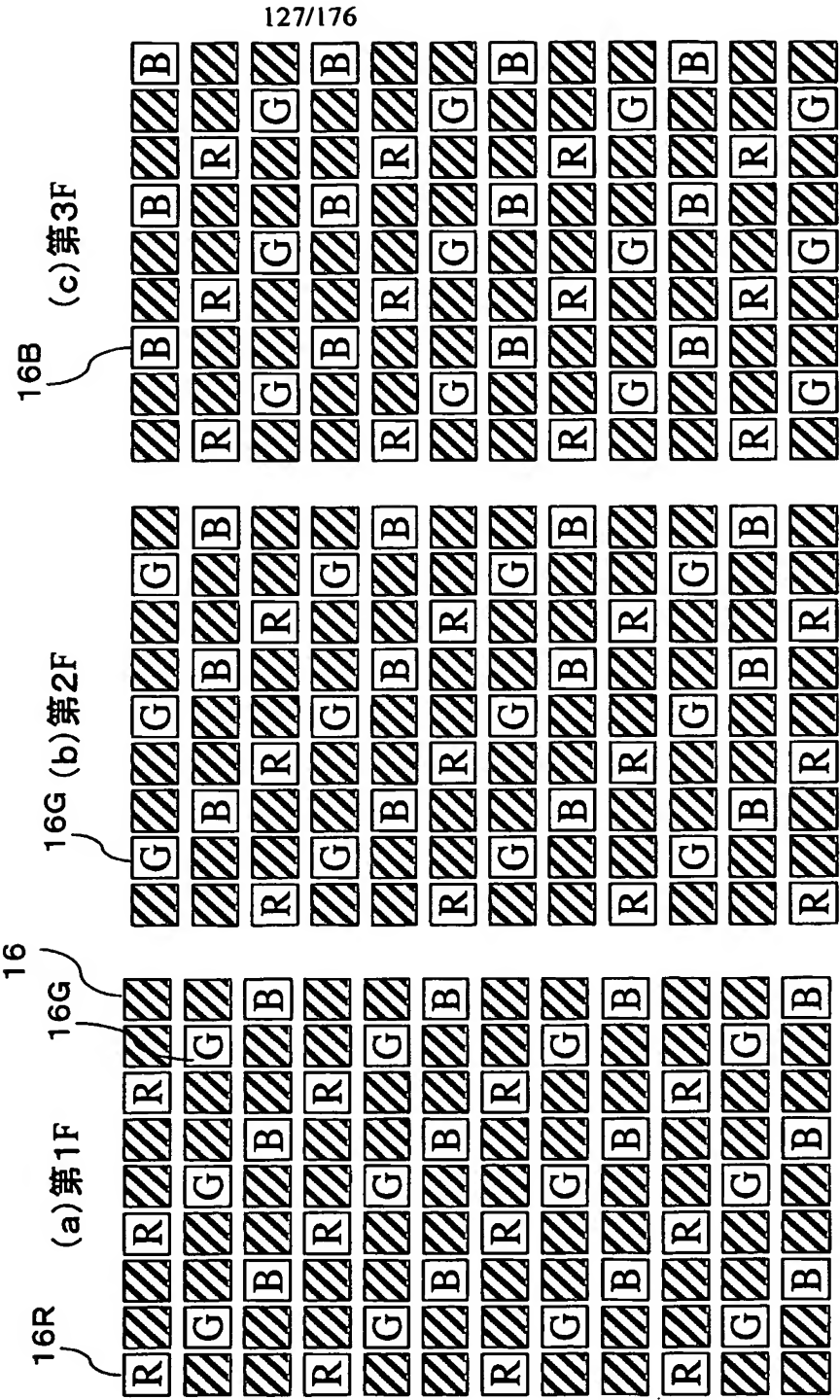




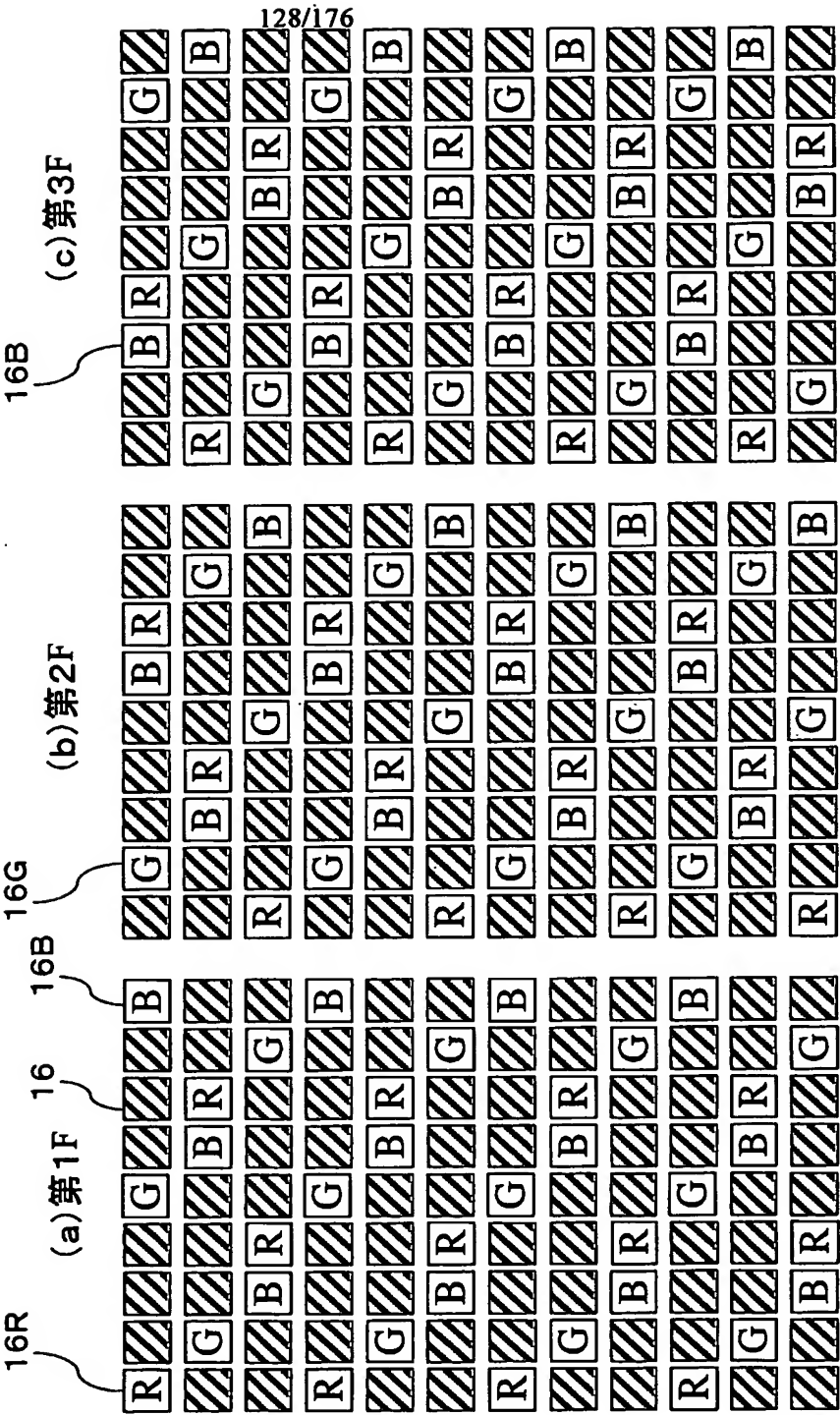
第126図



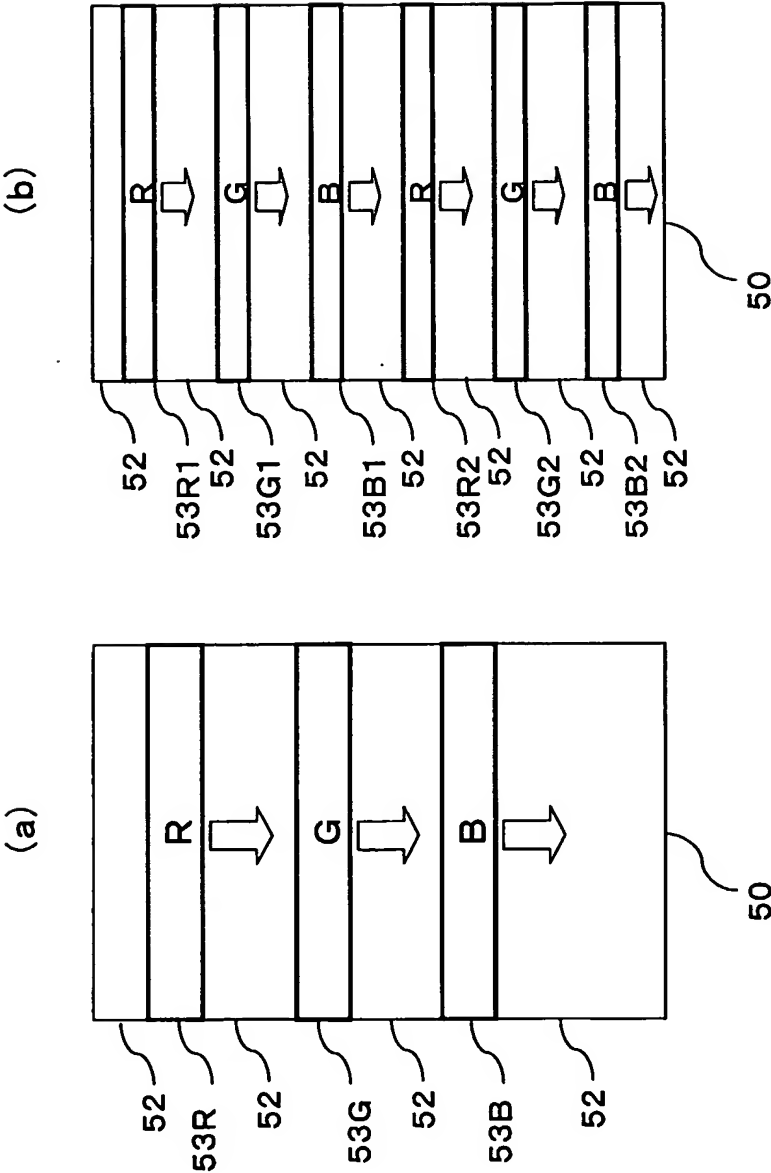
第127図



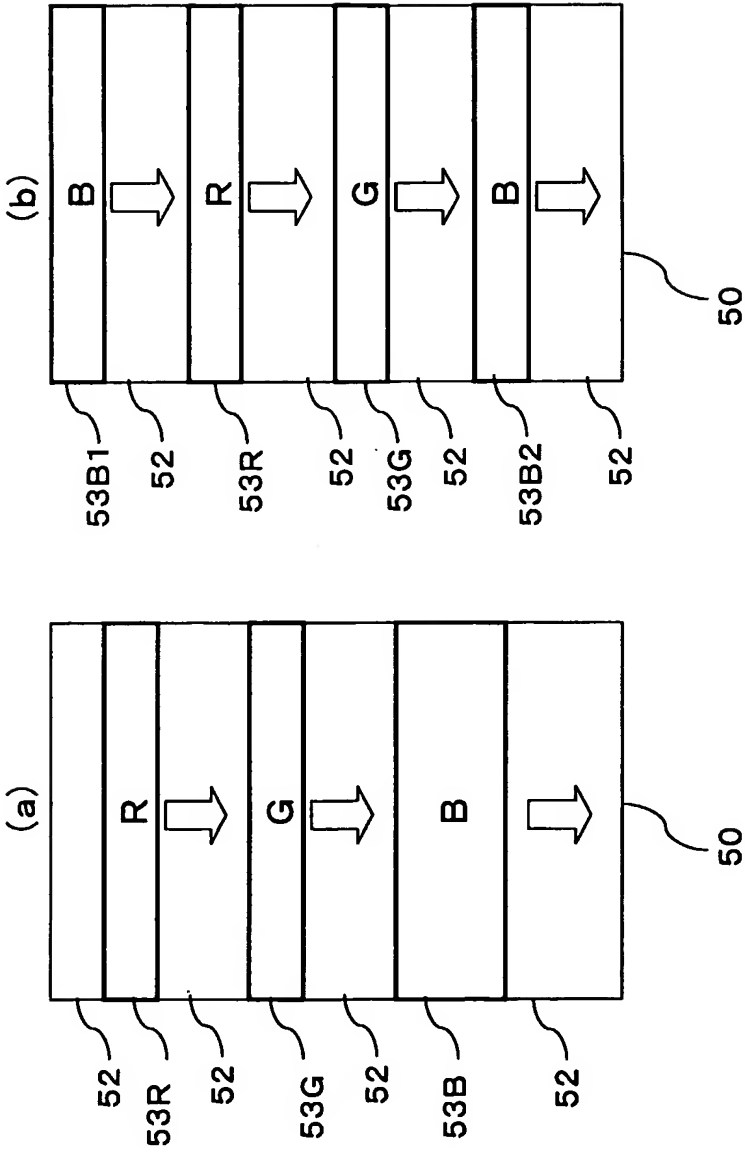
第128図



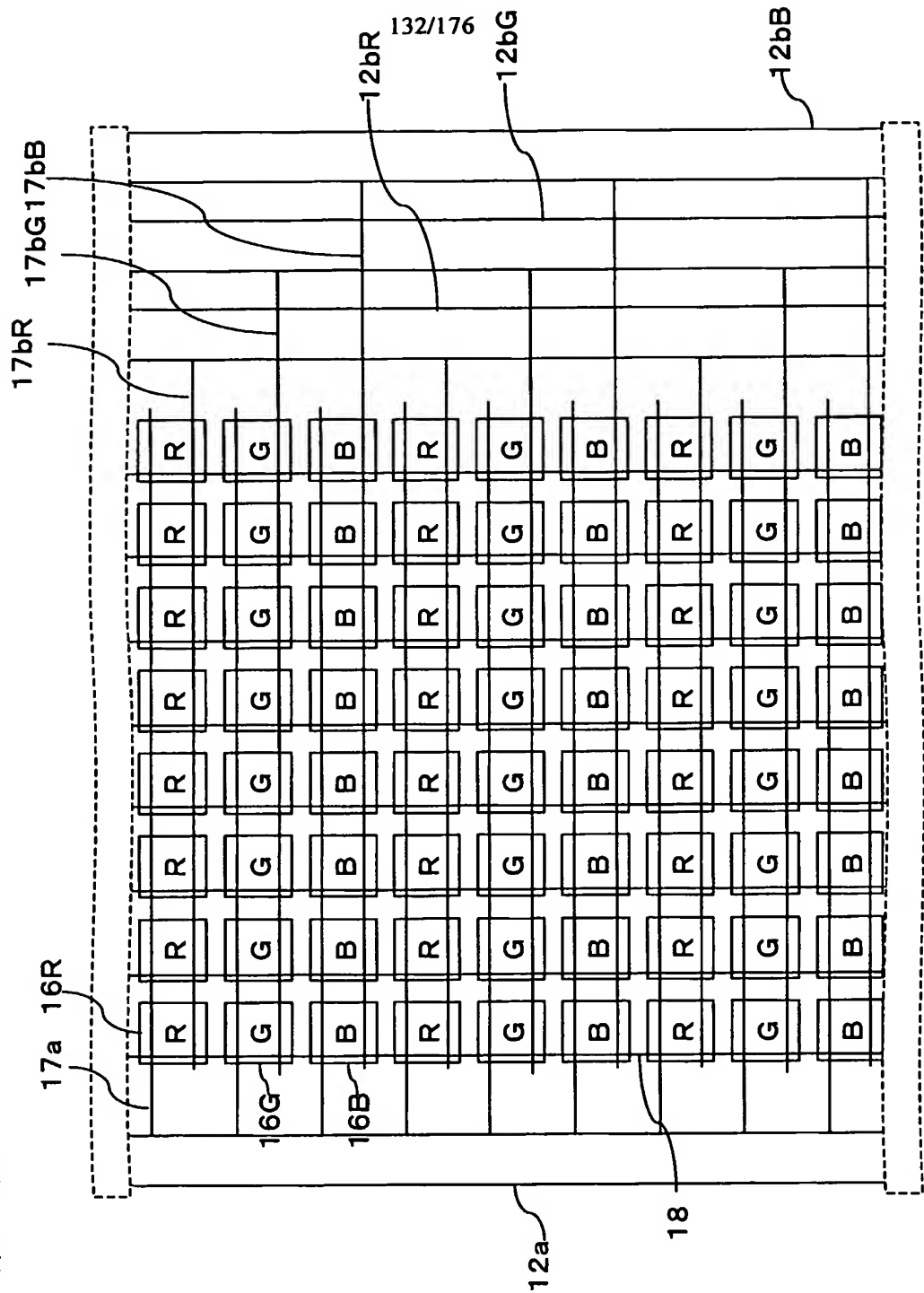
第130図

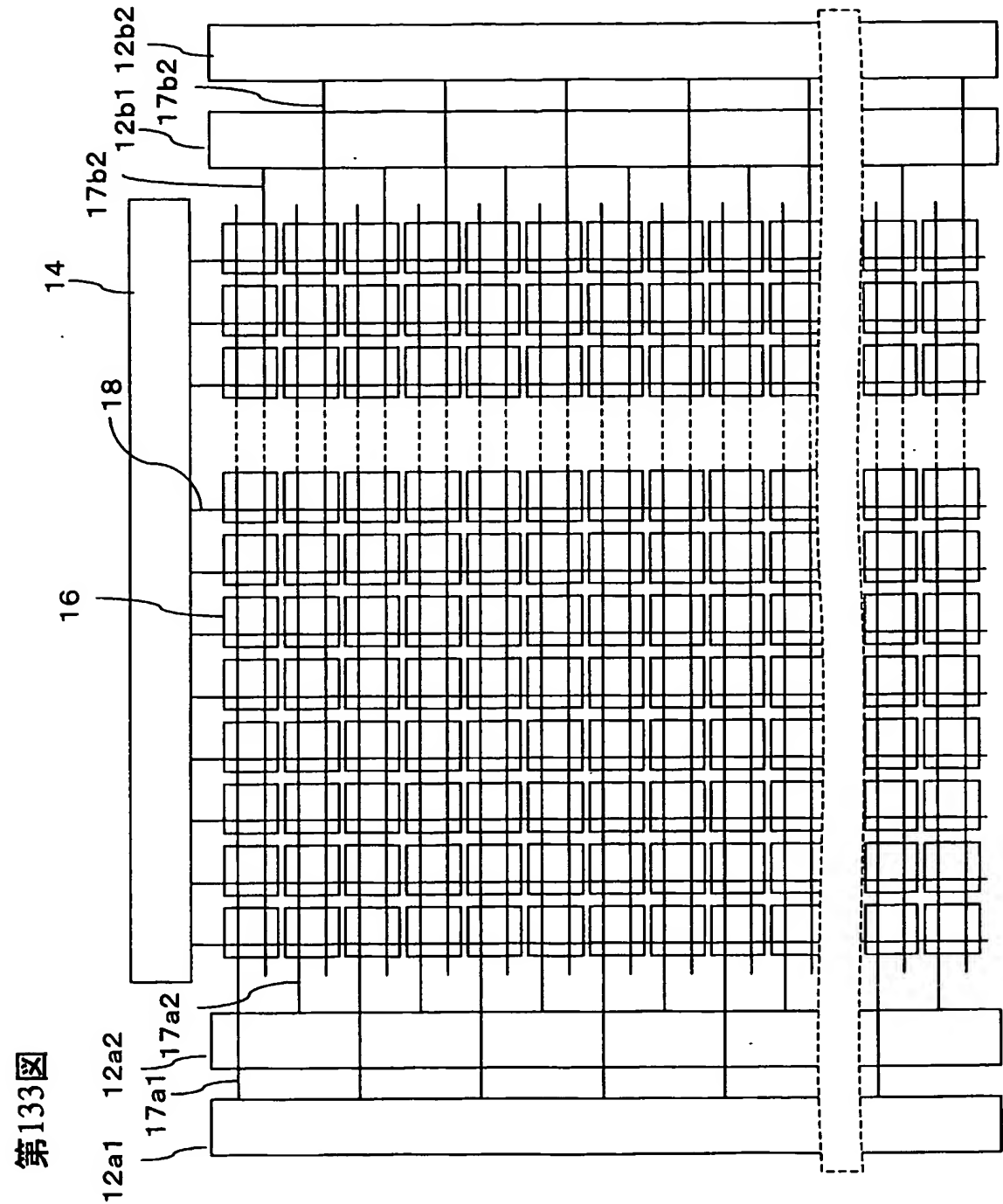


第131図

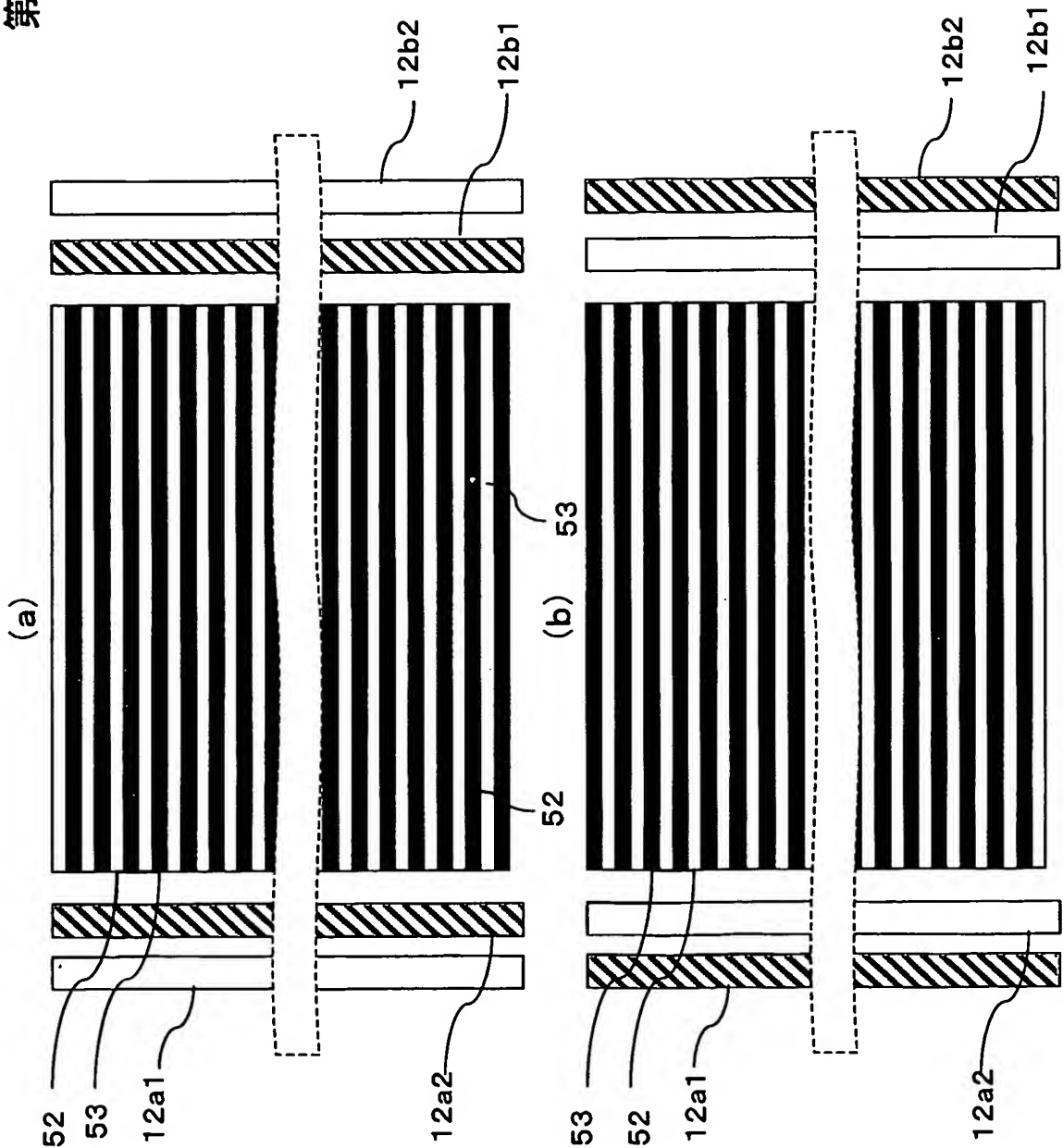


第132図

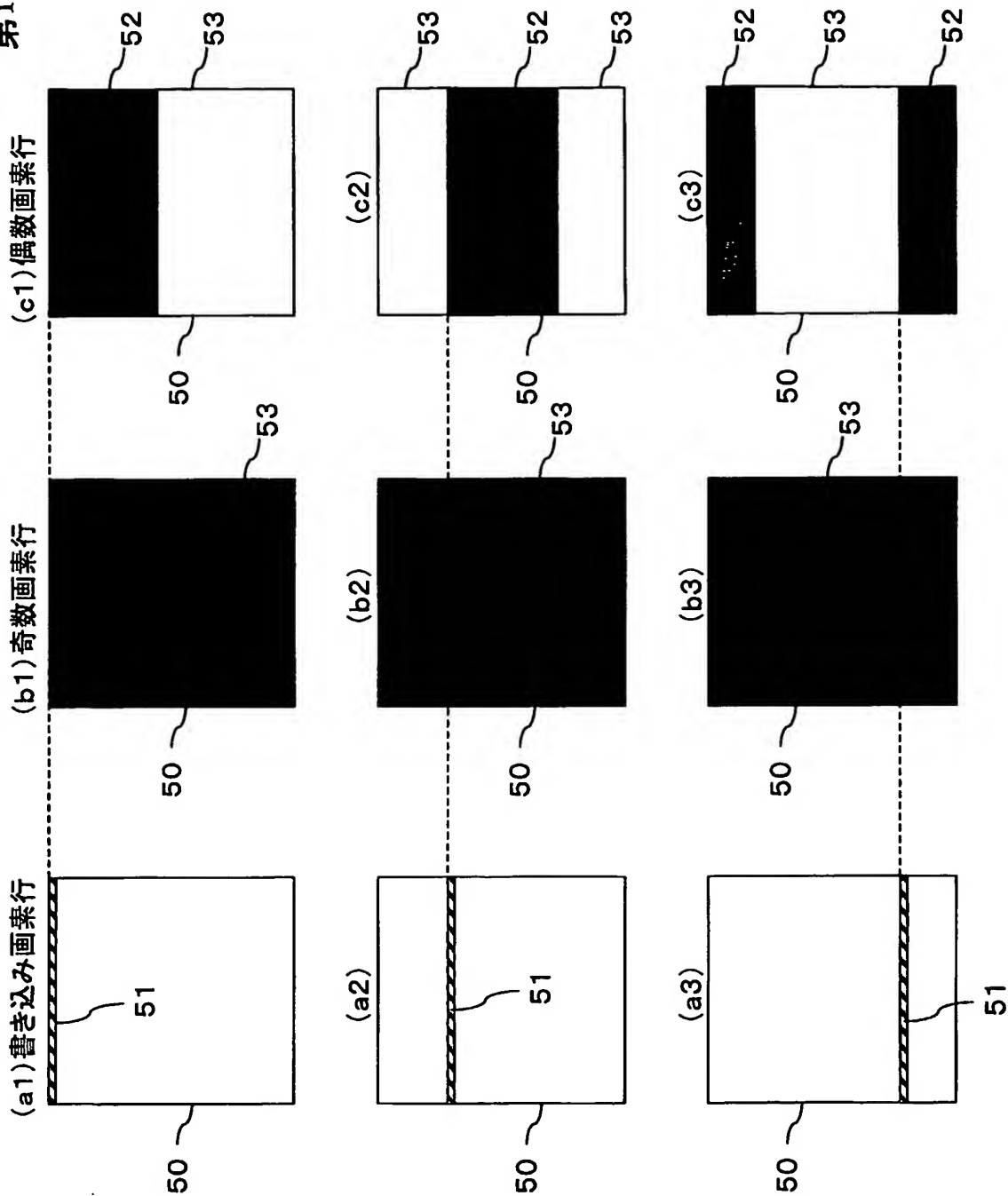




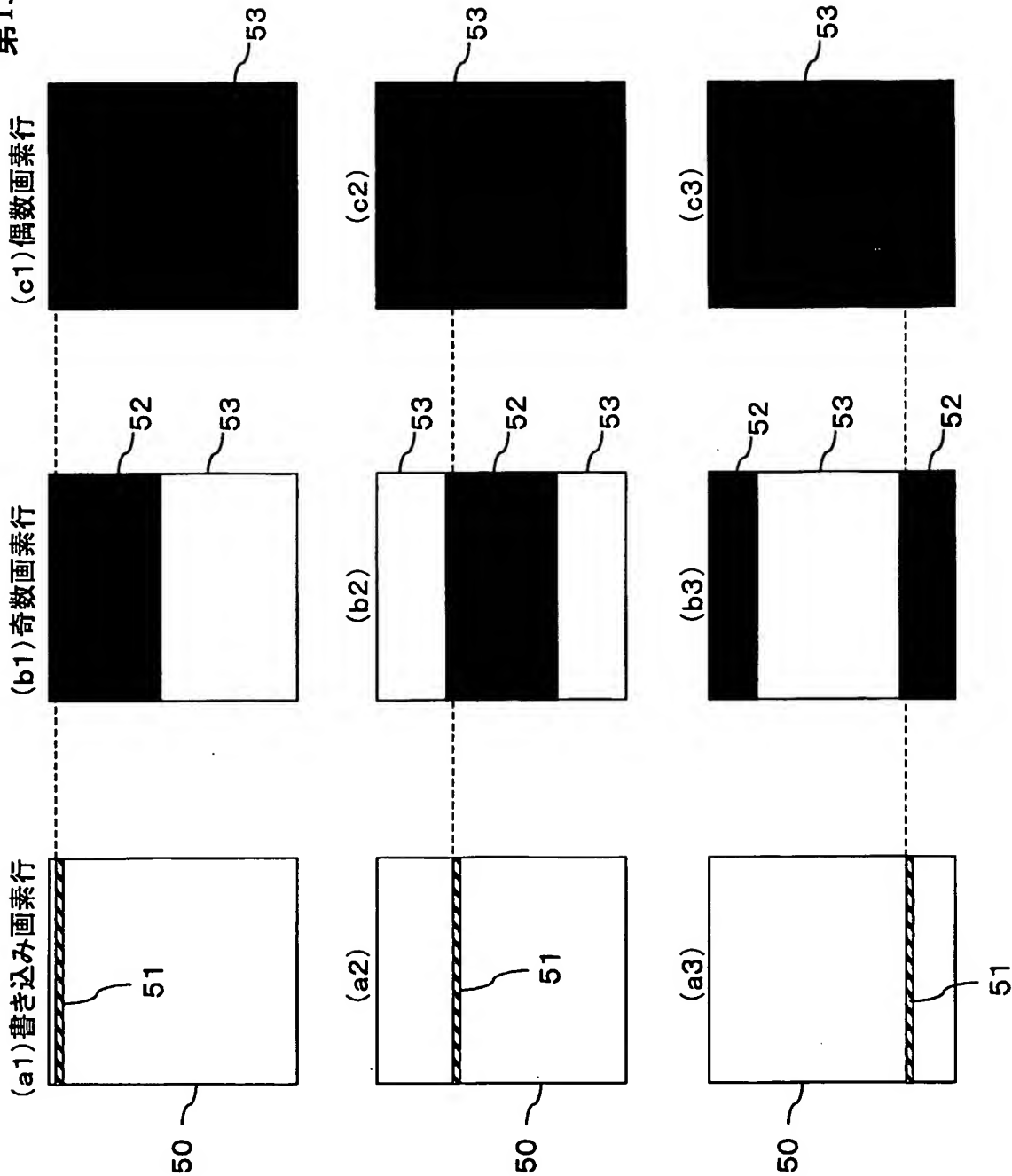
第134図

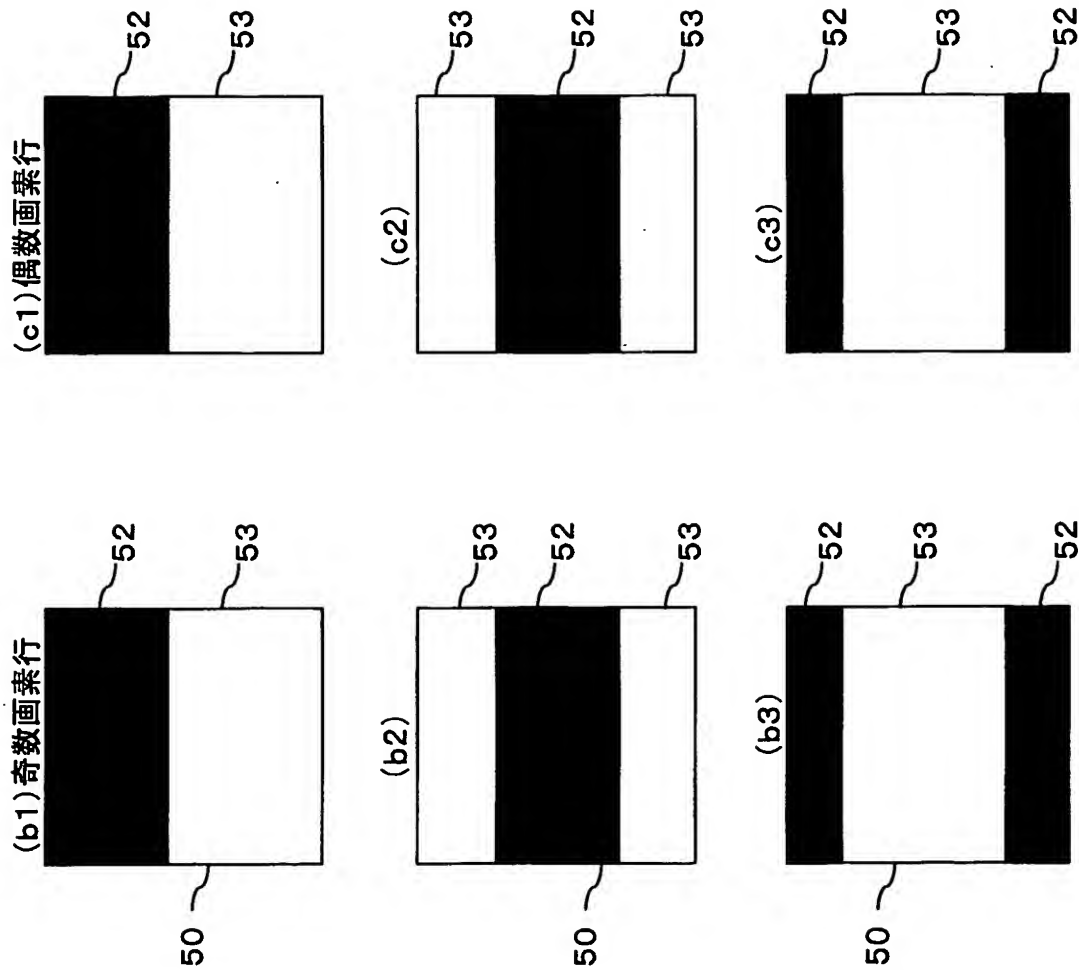


第135図

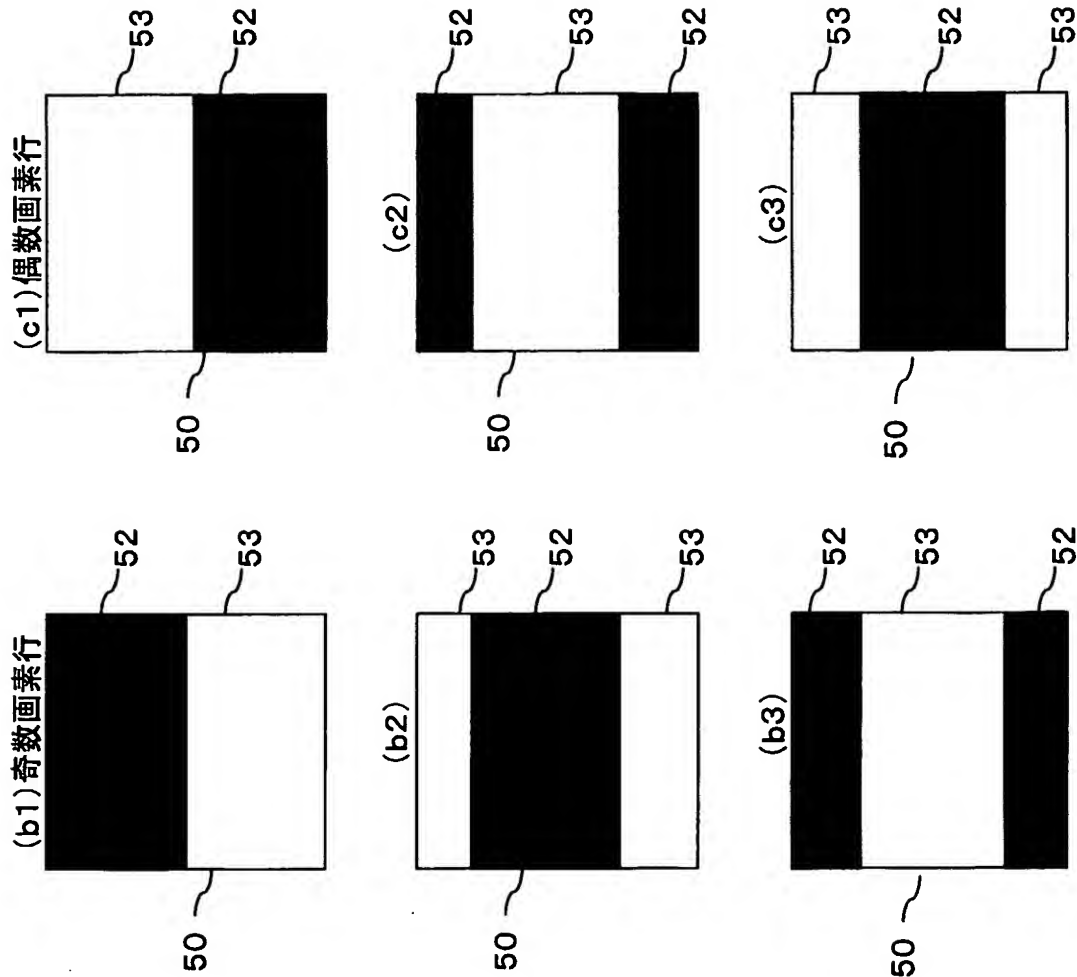


第136図





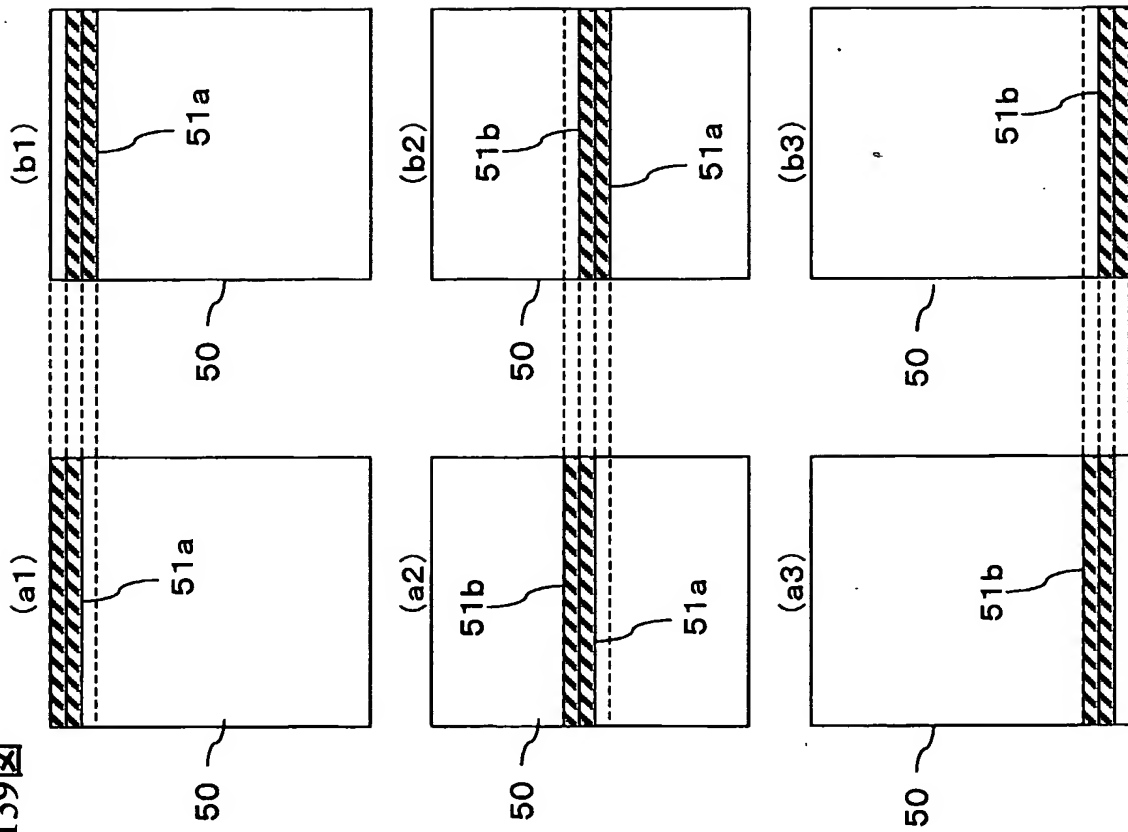
第137図



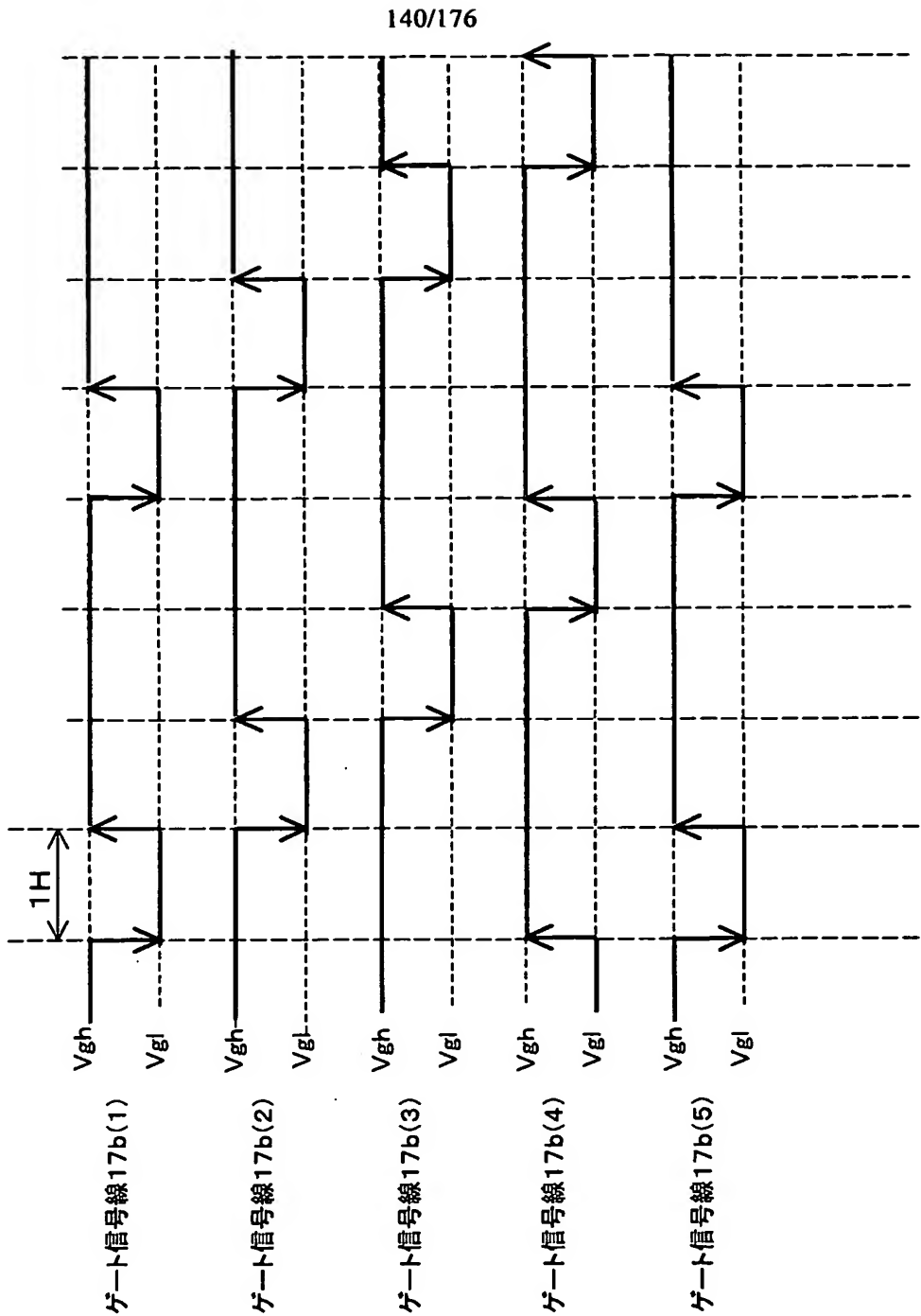
第138図

139/176

第139図

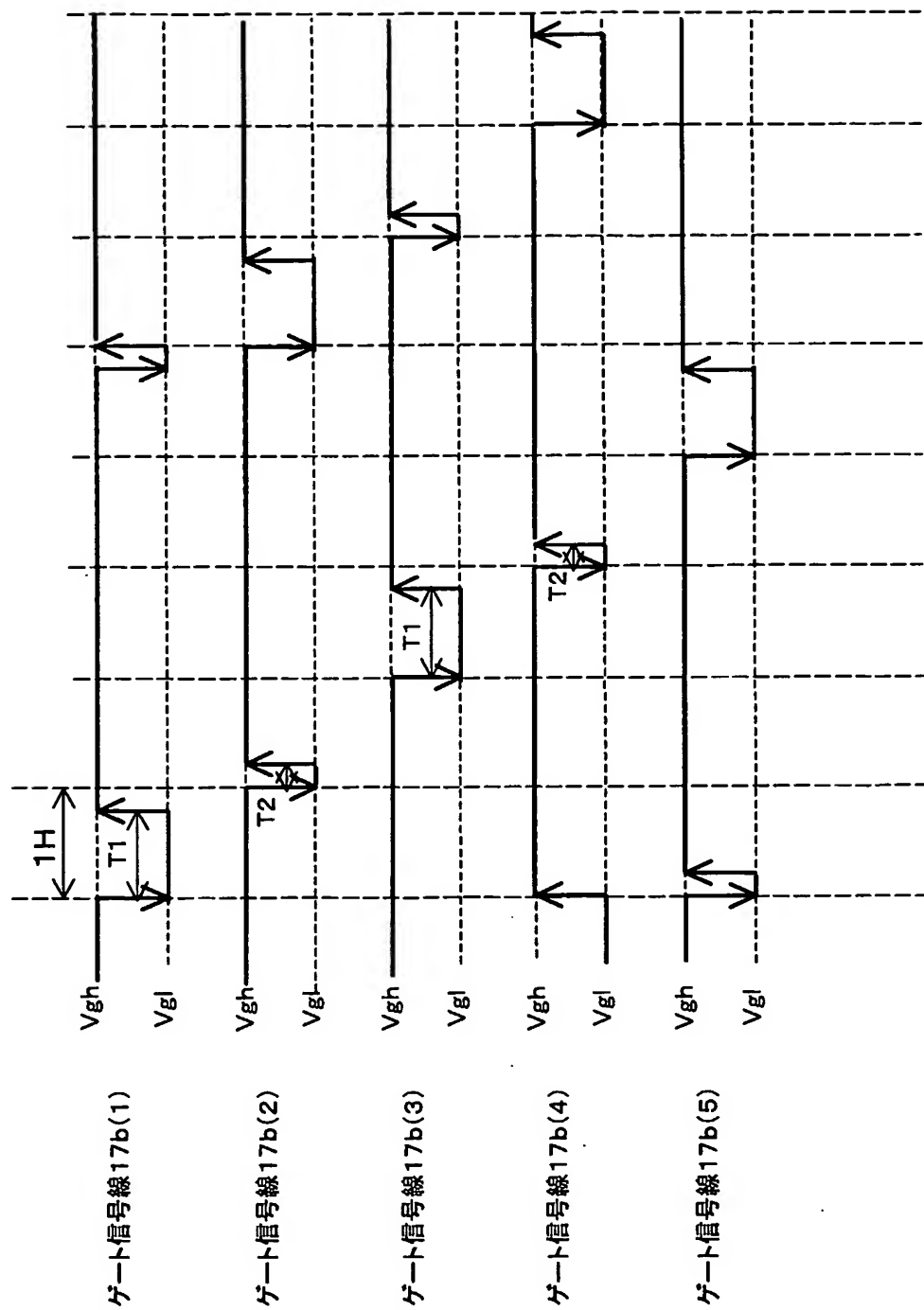


第140図

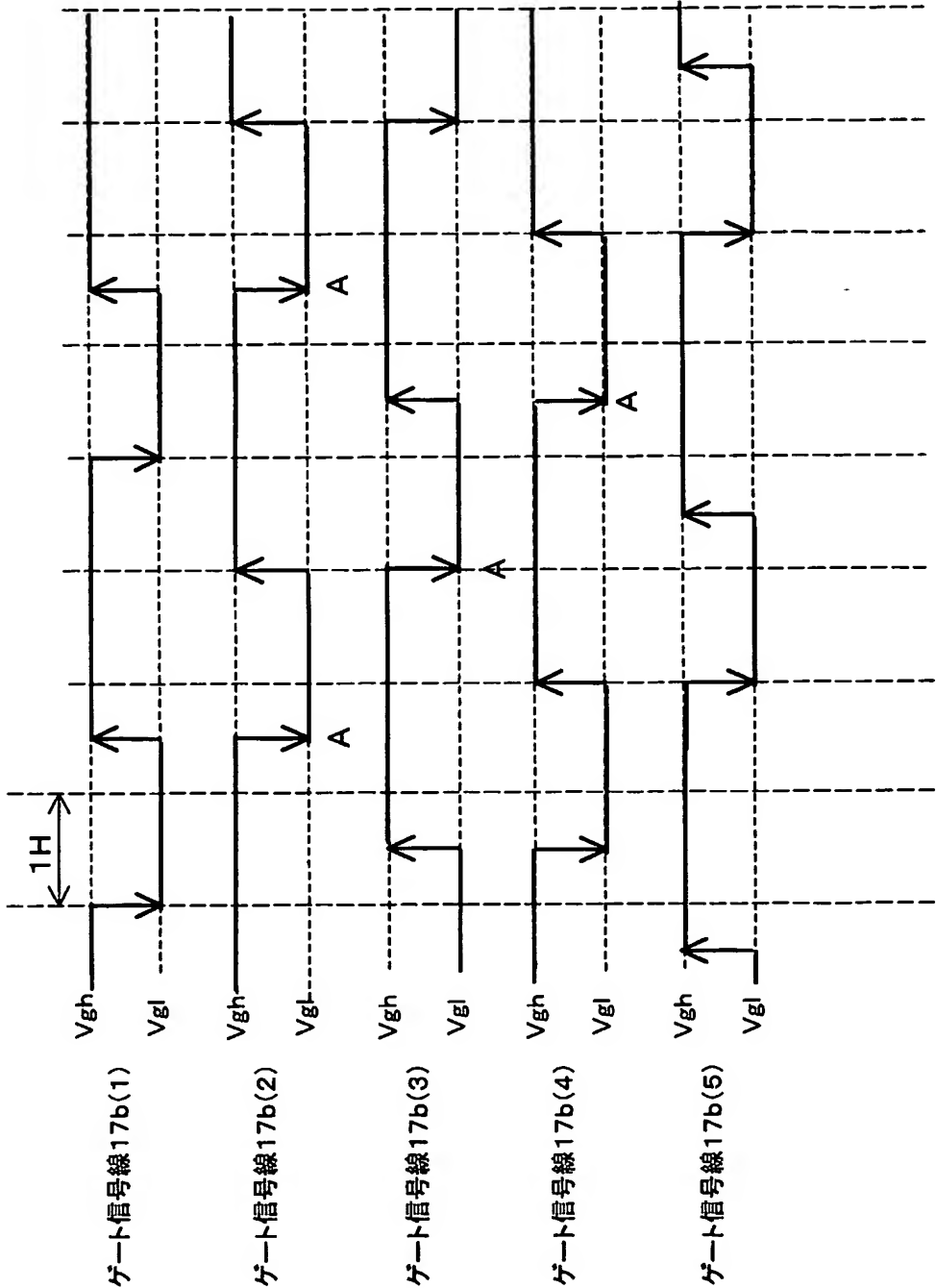


141/176

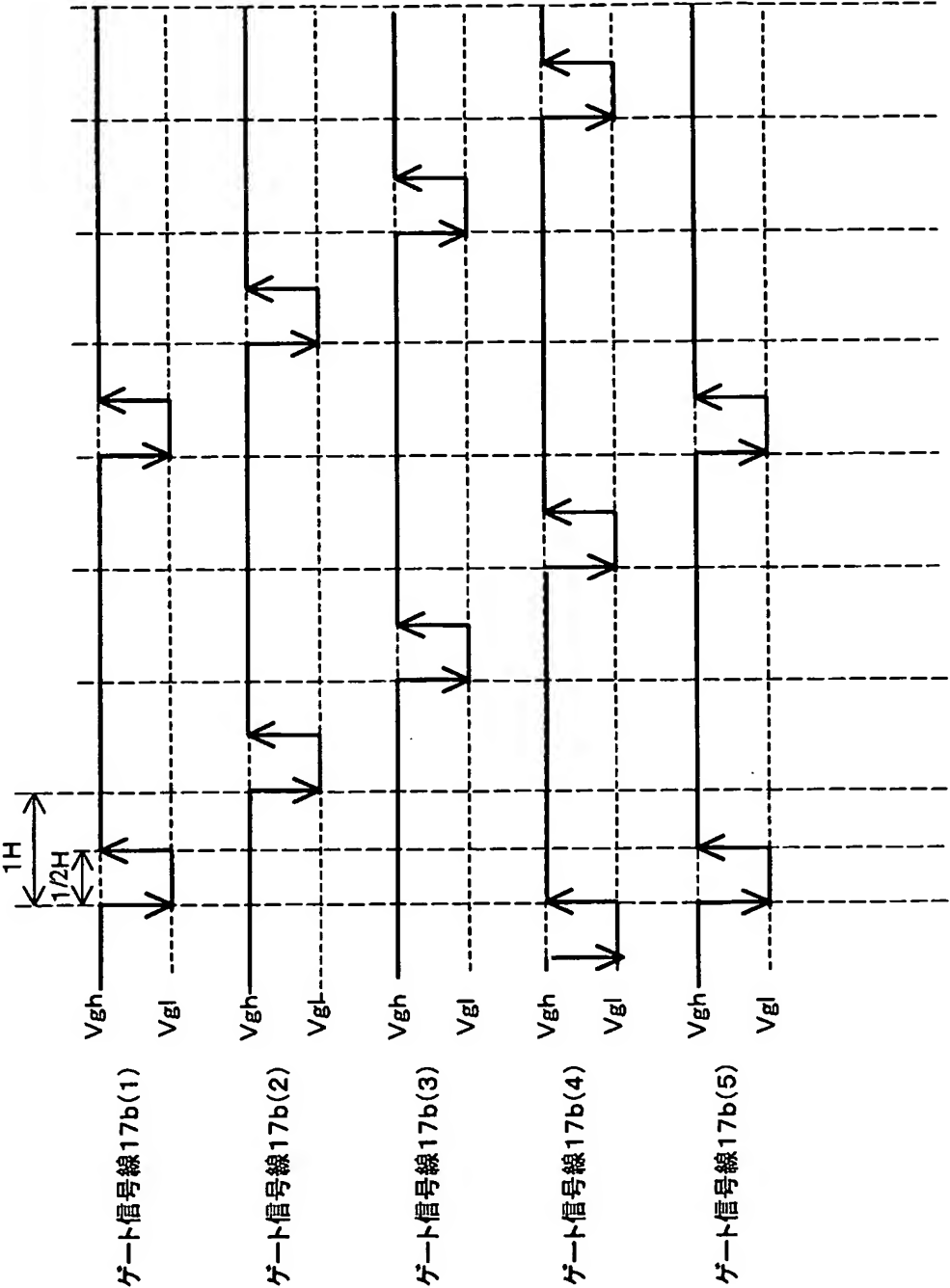
第141図



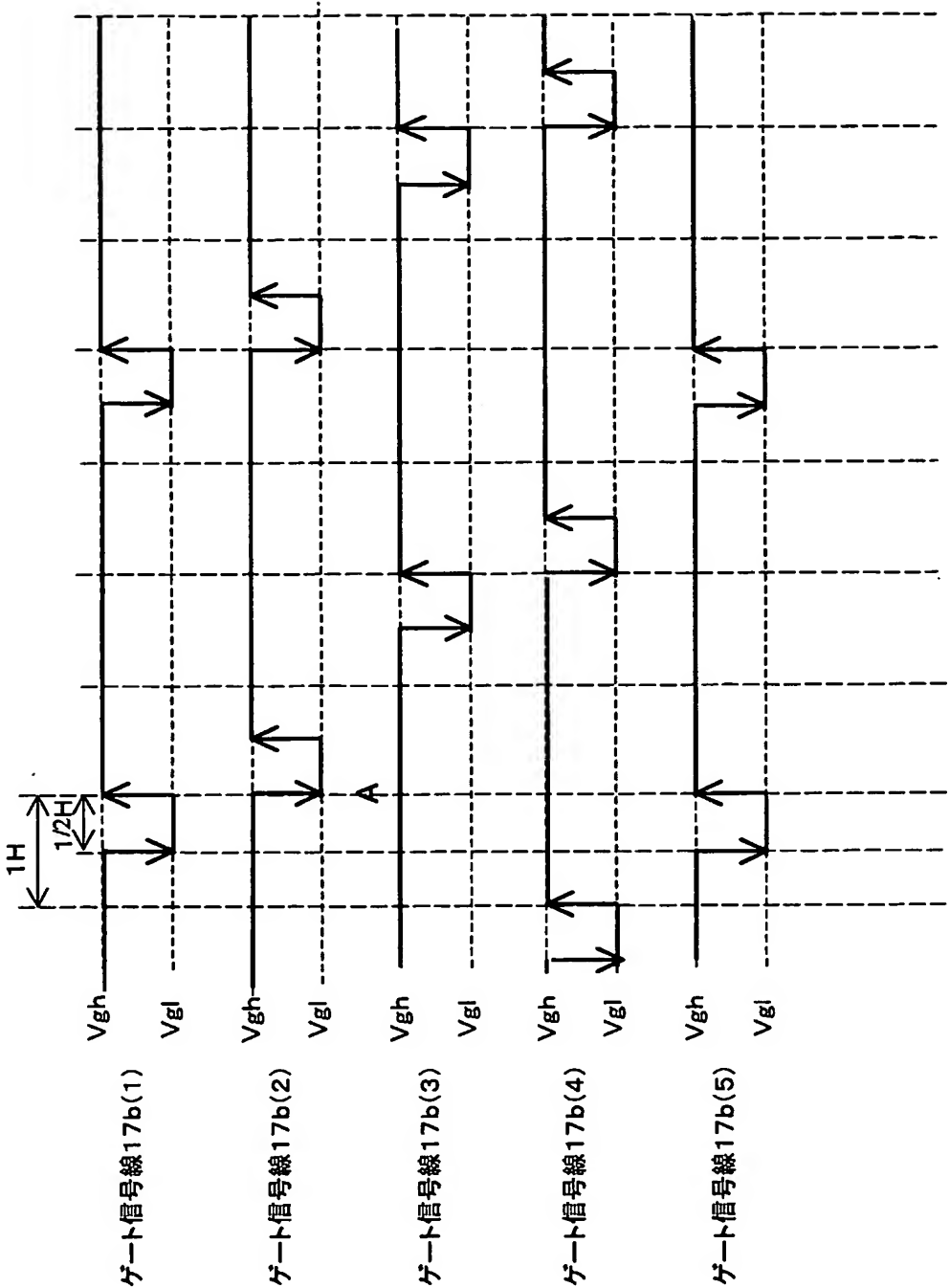
第142図



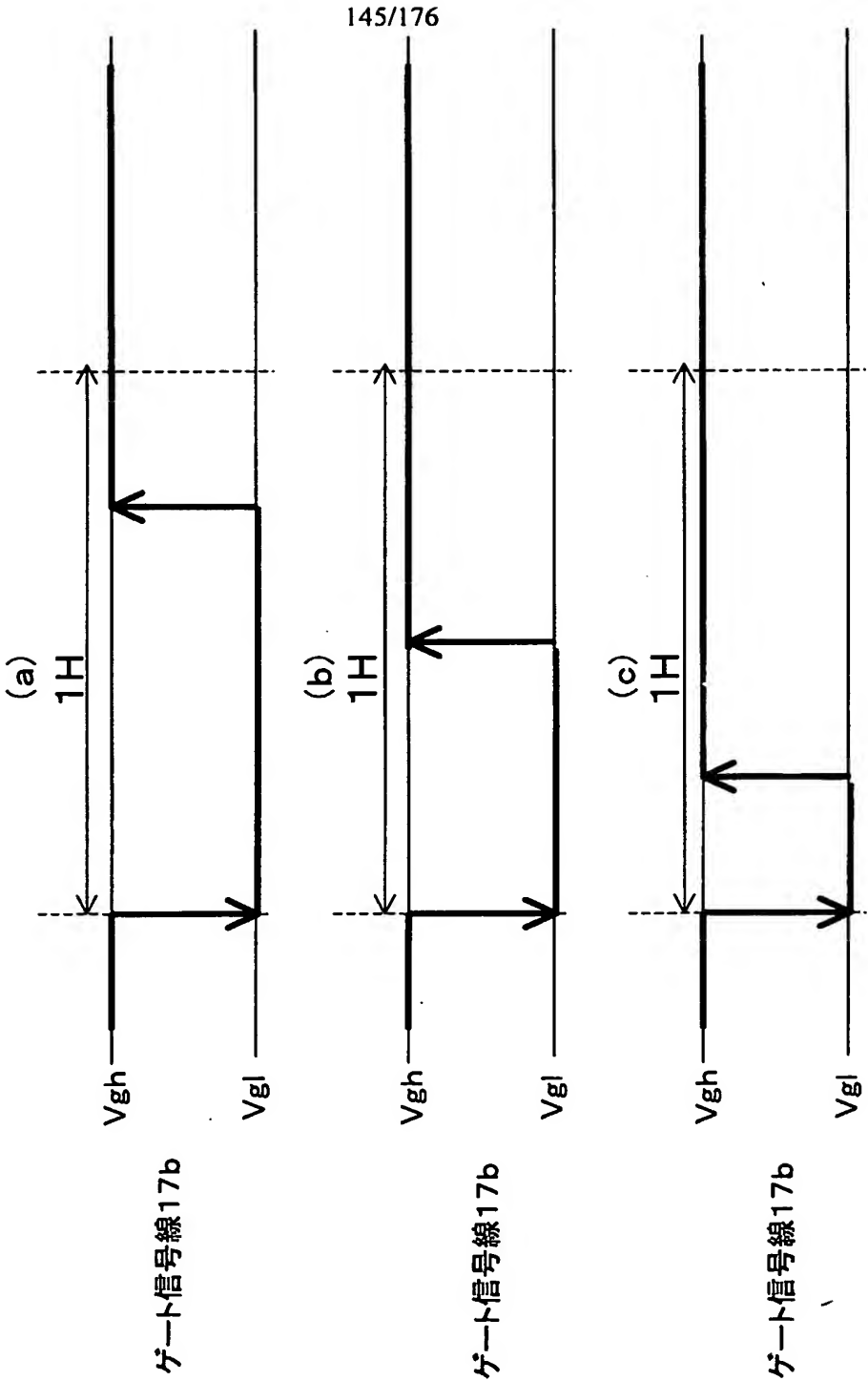
第143図



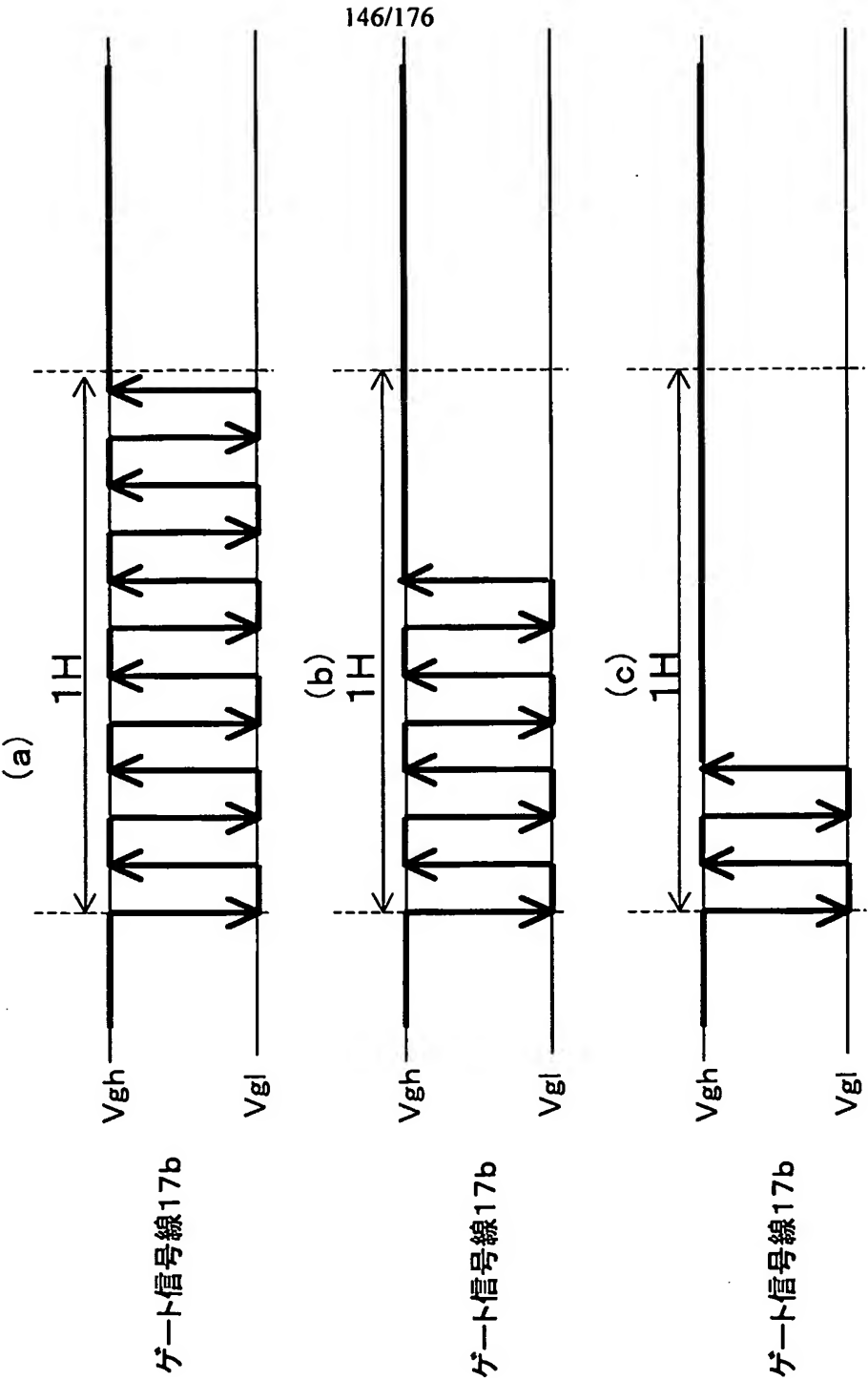
第144図



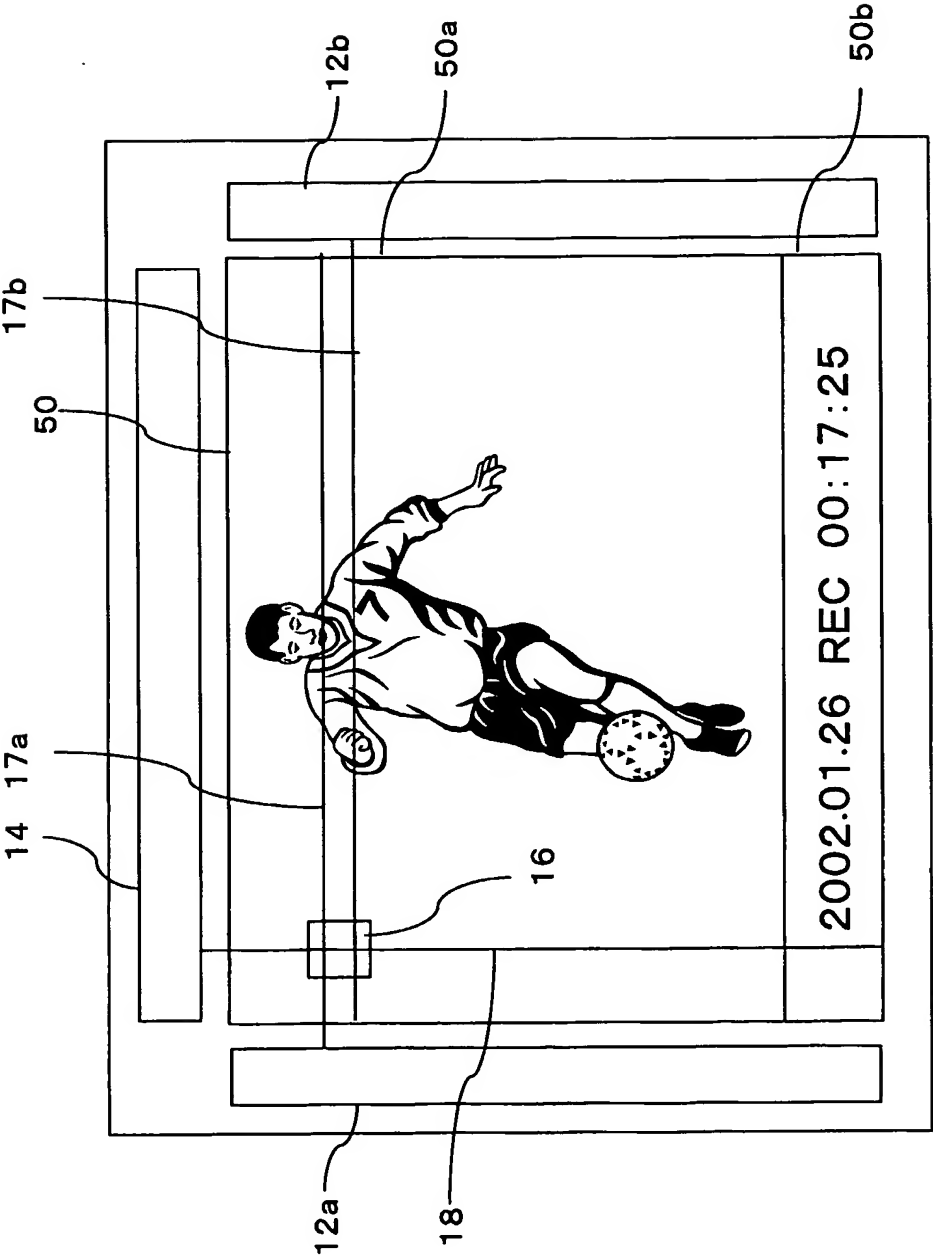
第145図



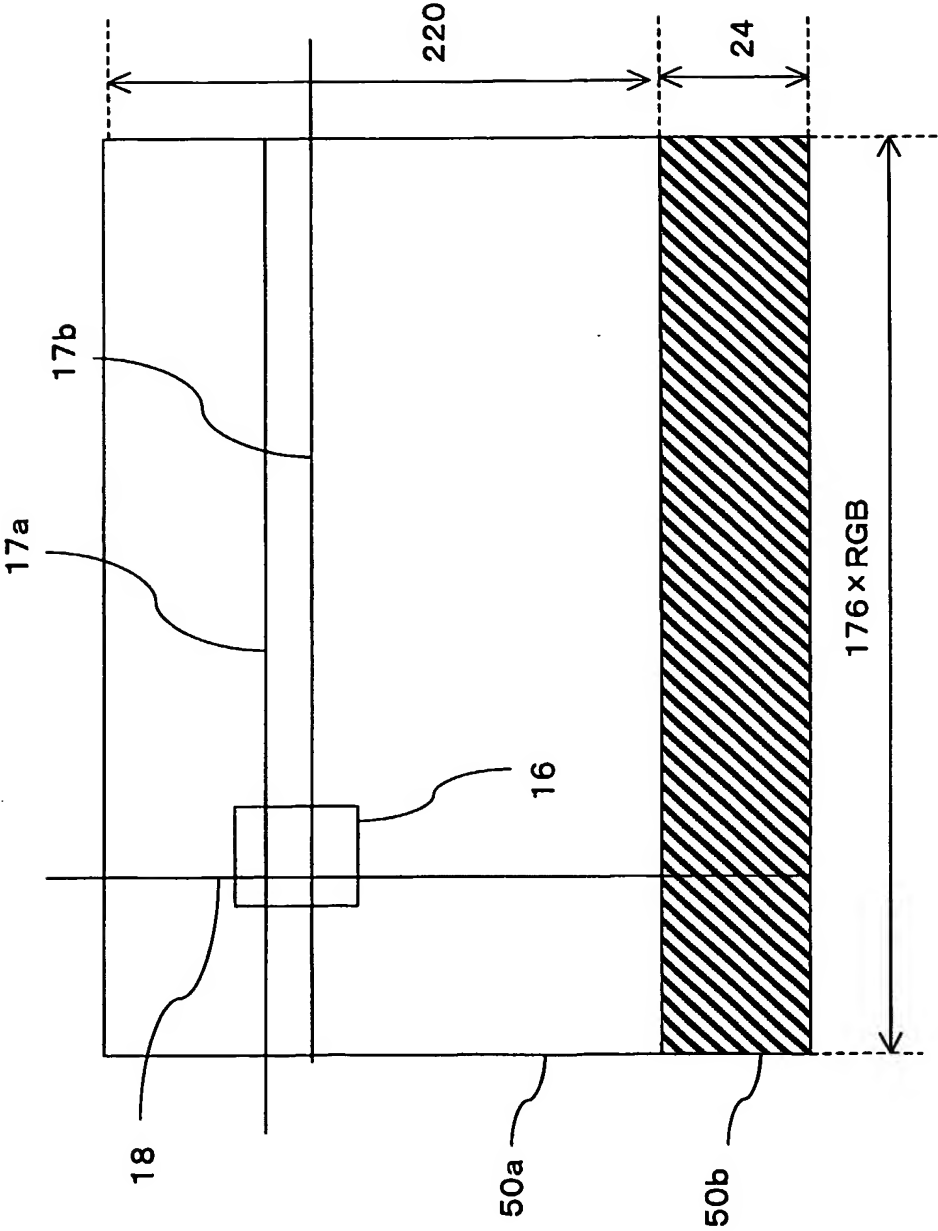
第146図



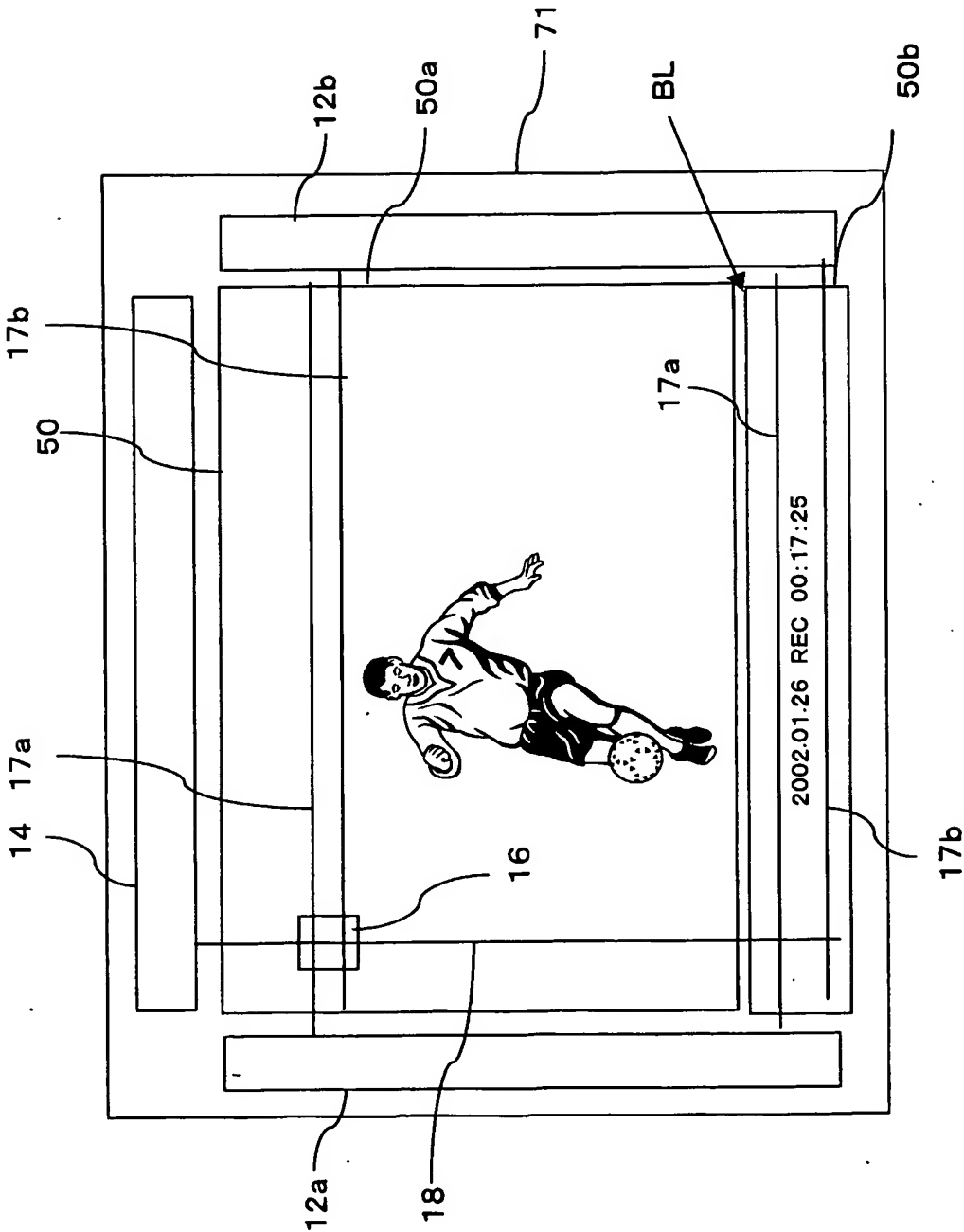
第147図



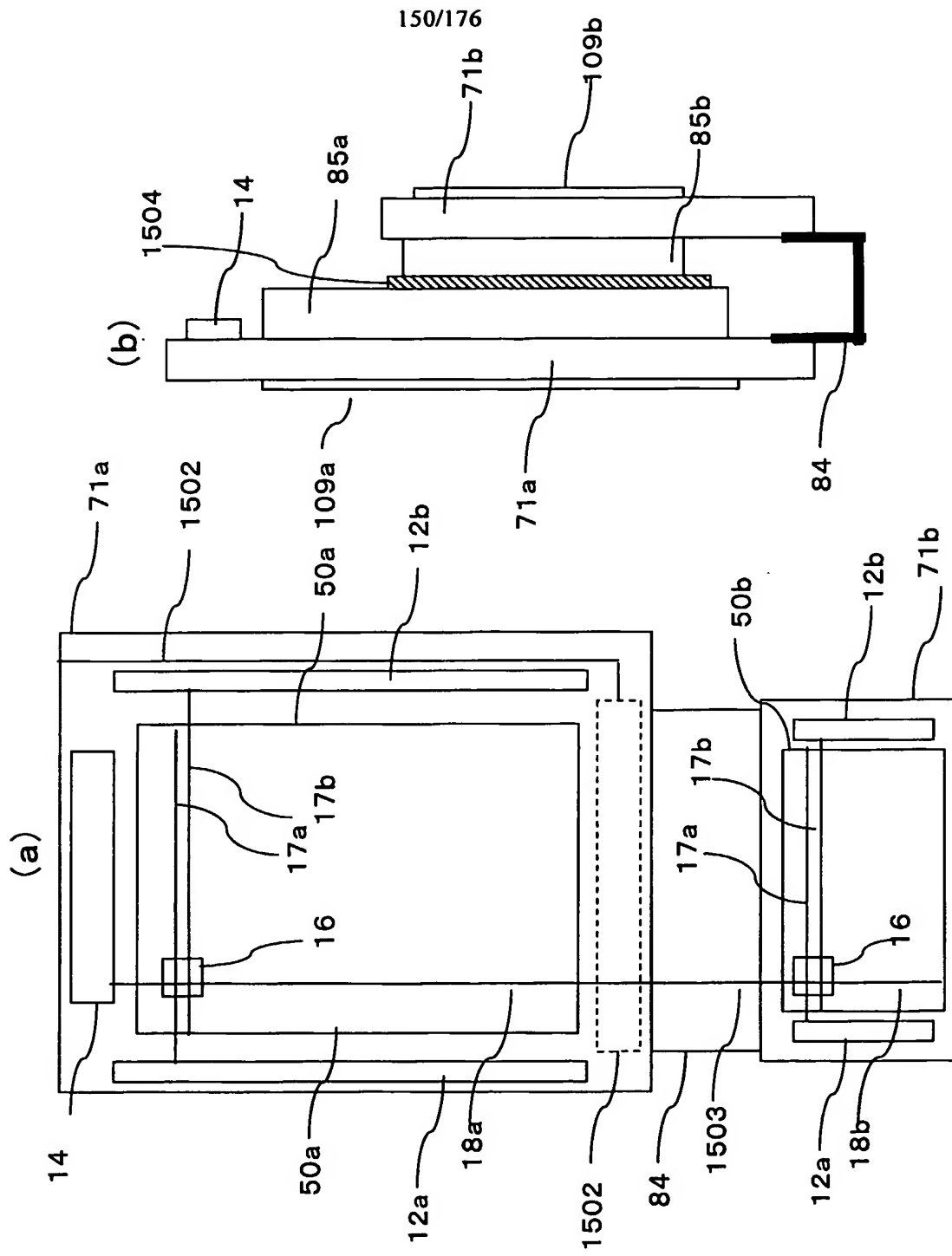
第148図



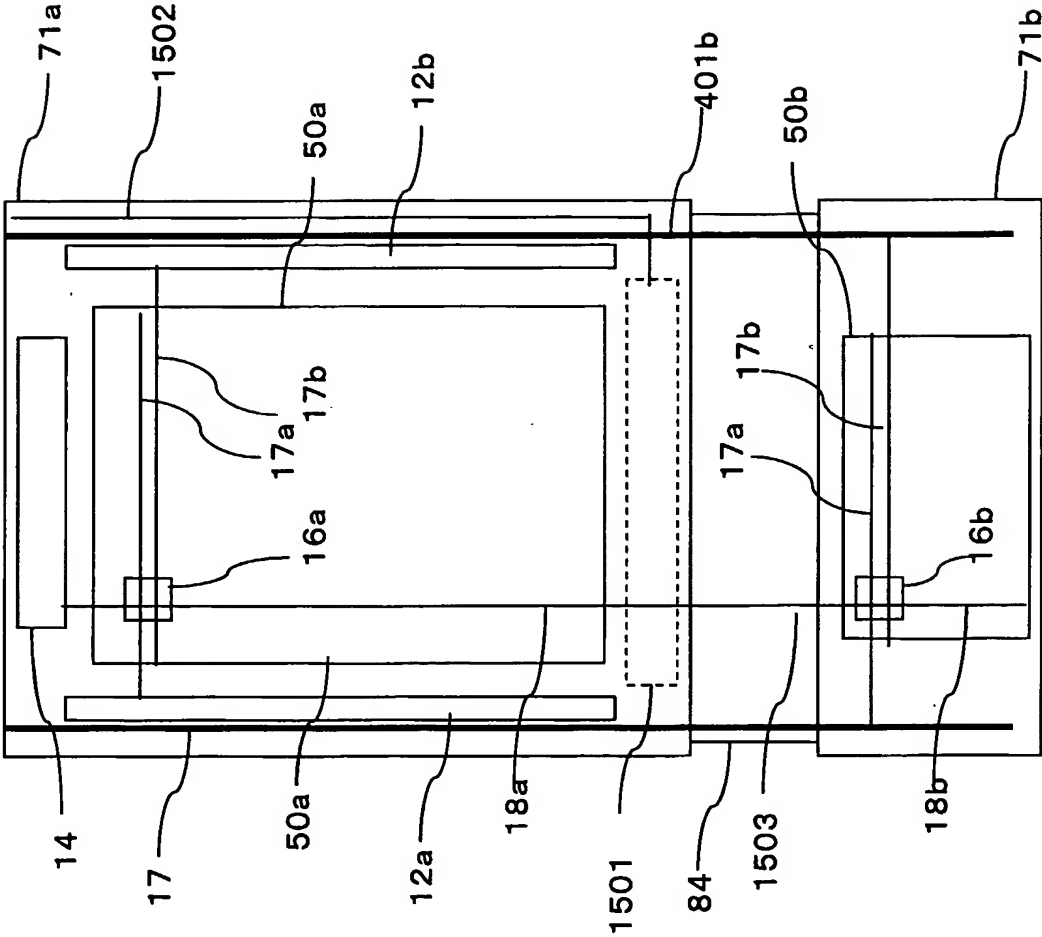
第149図



第150図

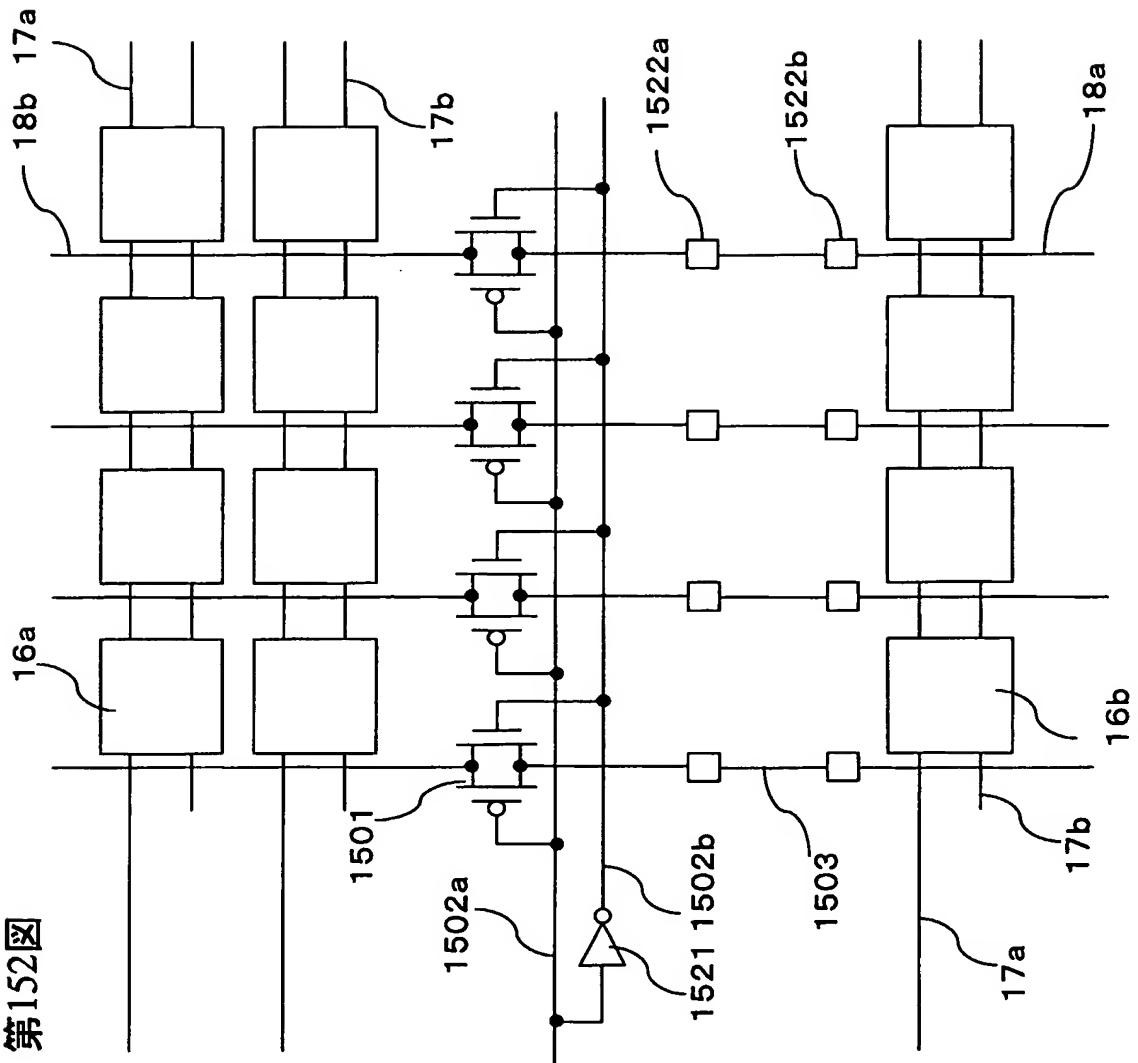


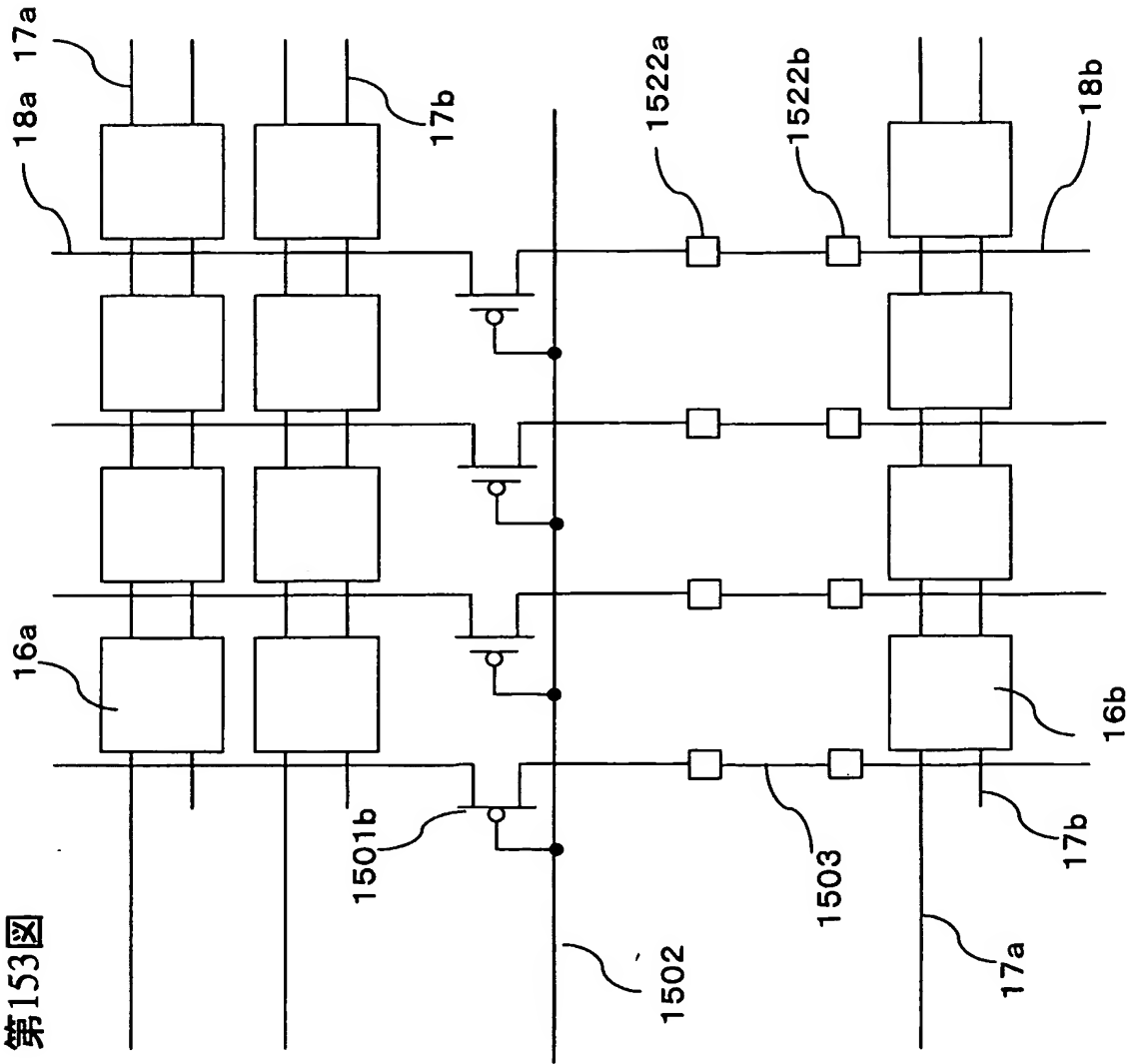
第151図

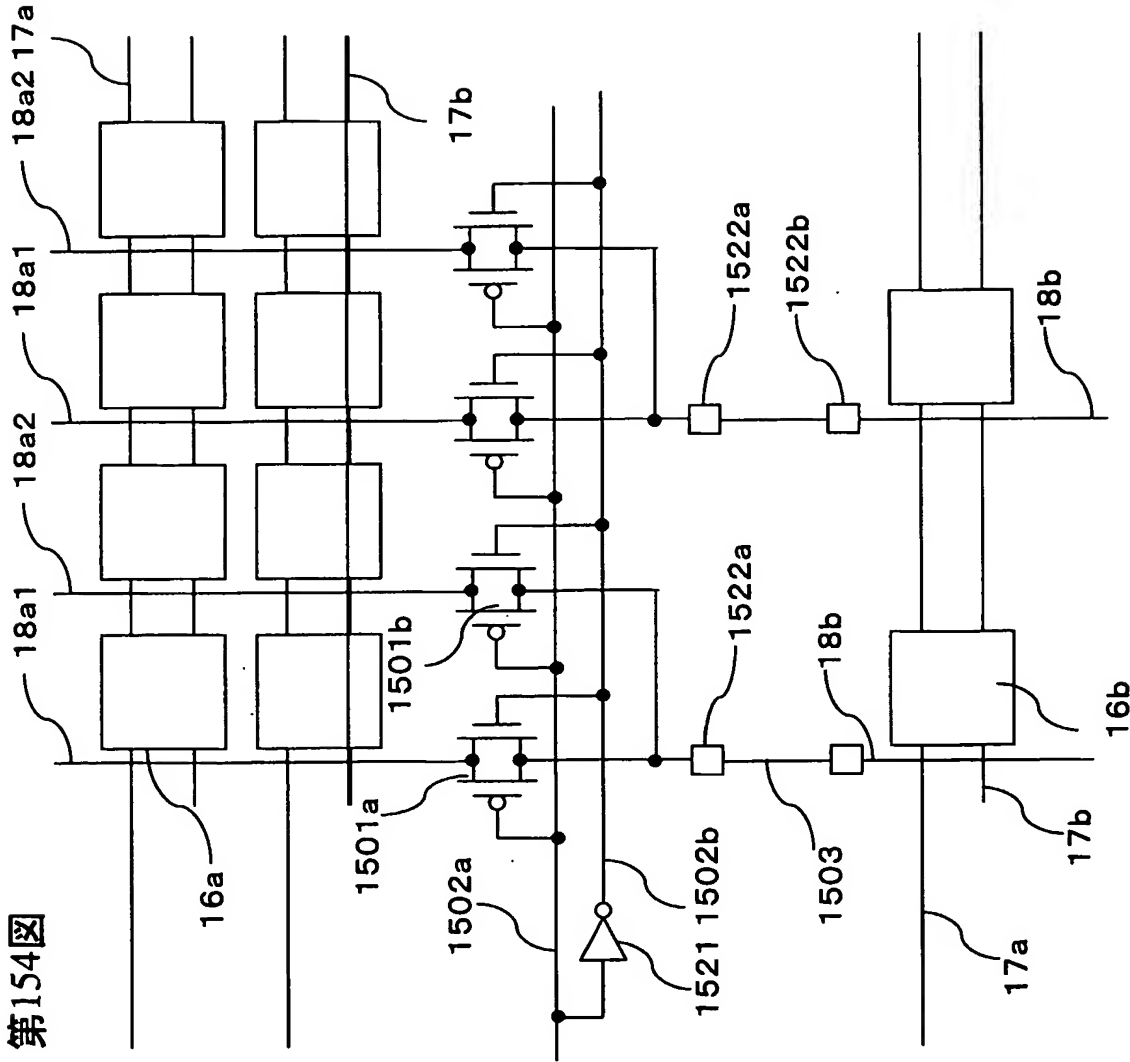


152/176

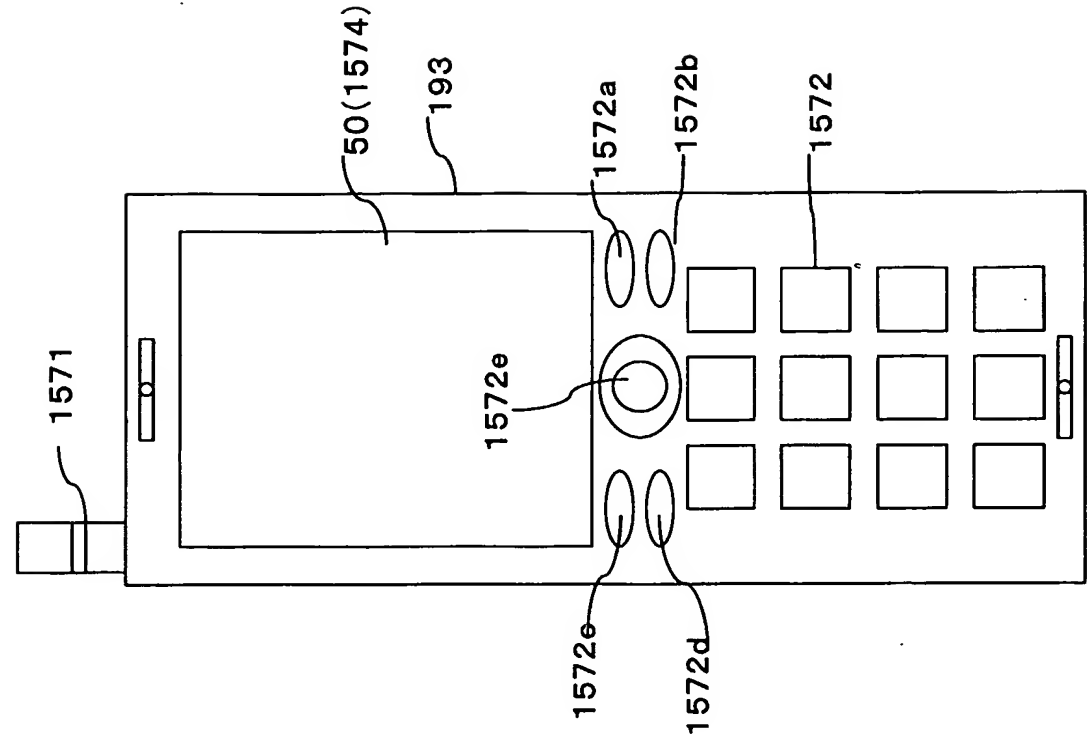
第152図







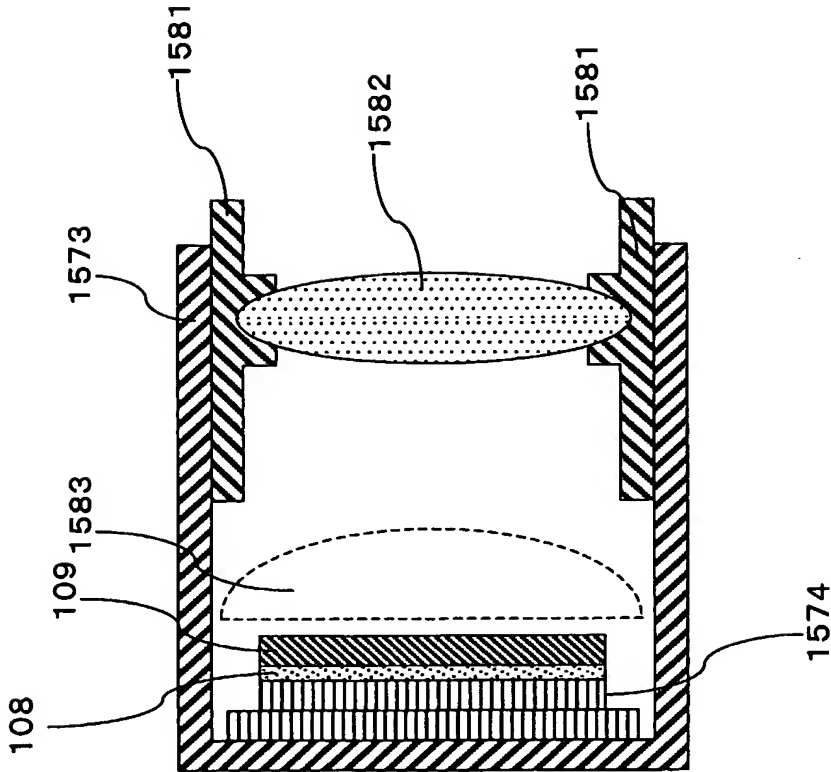
157/176



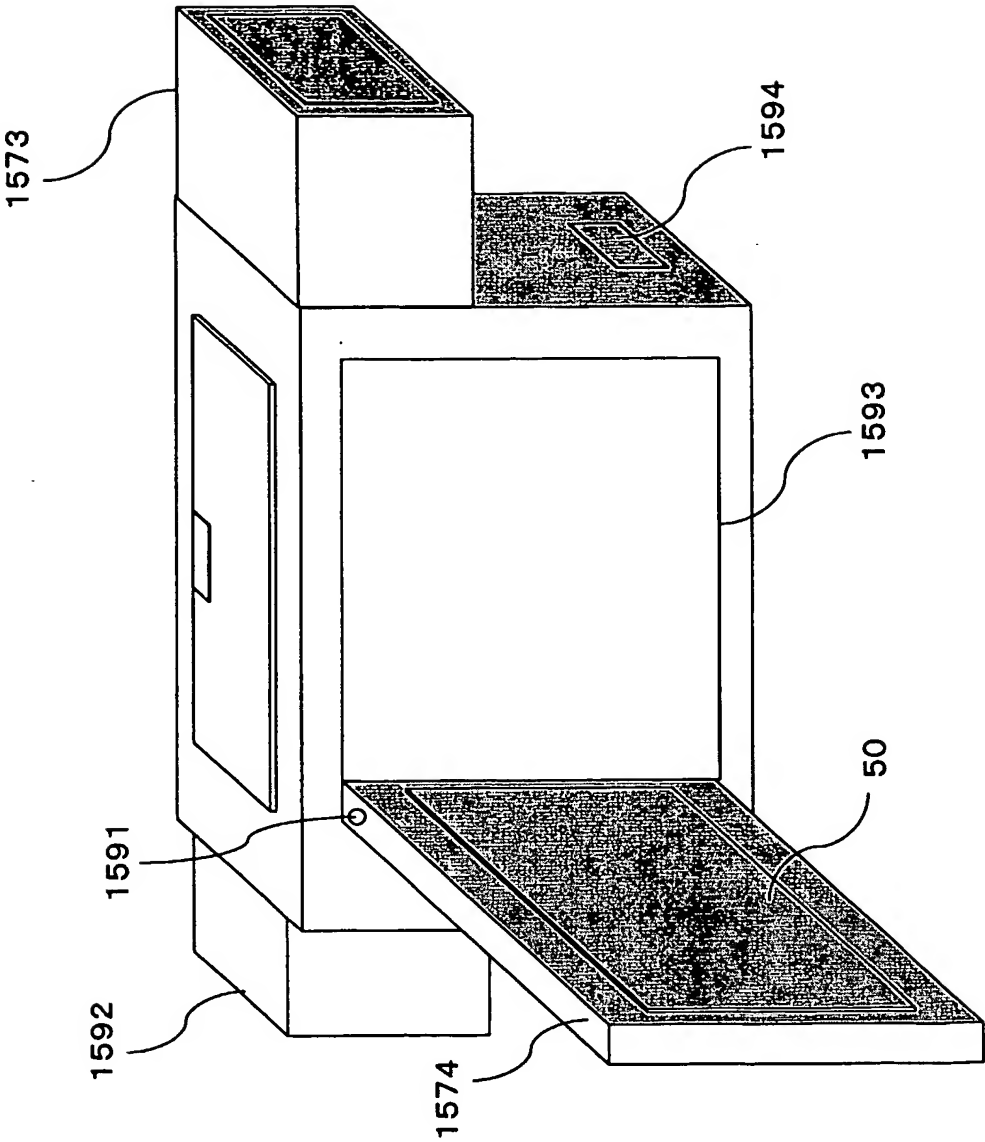
第157図

158/176

第158図



159/176

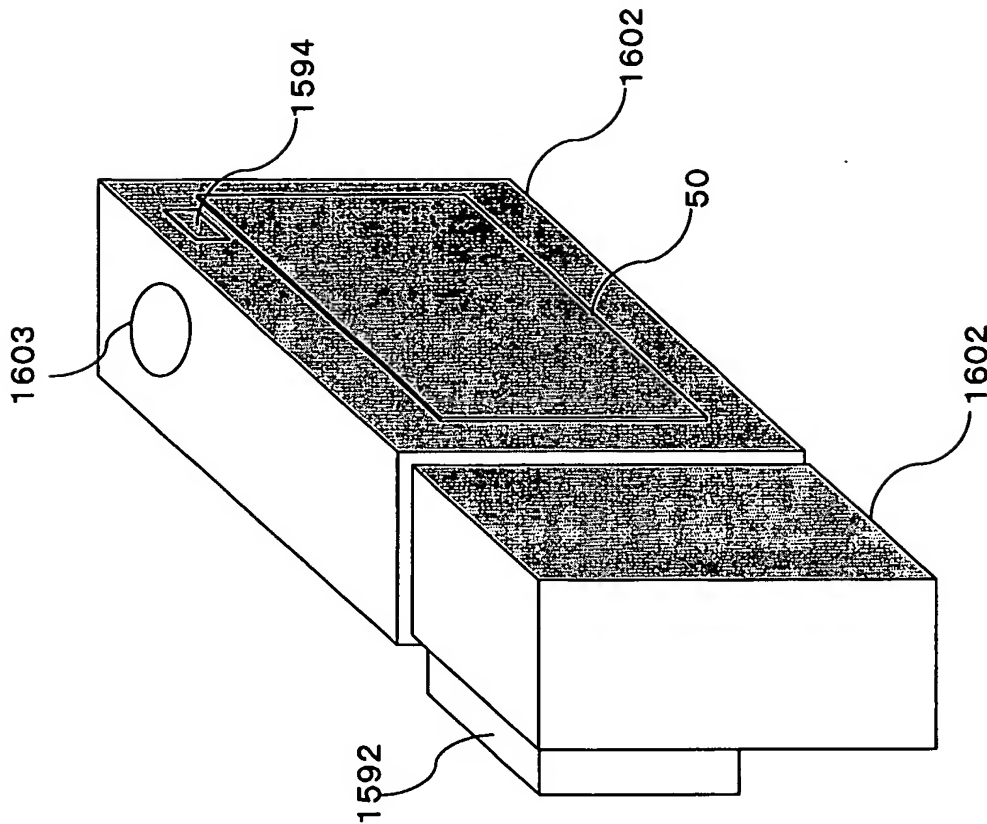


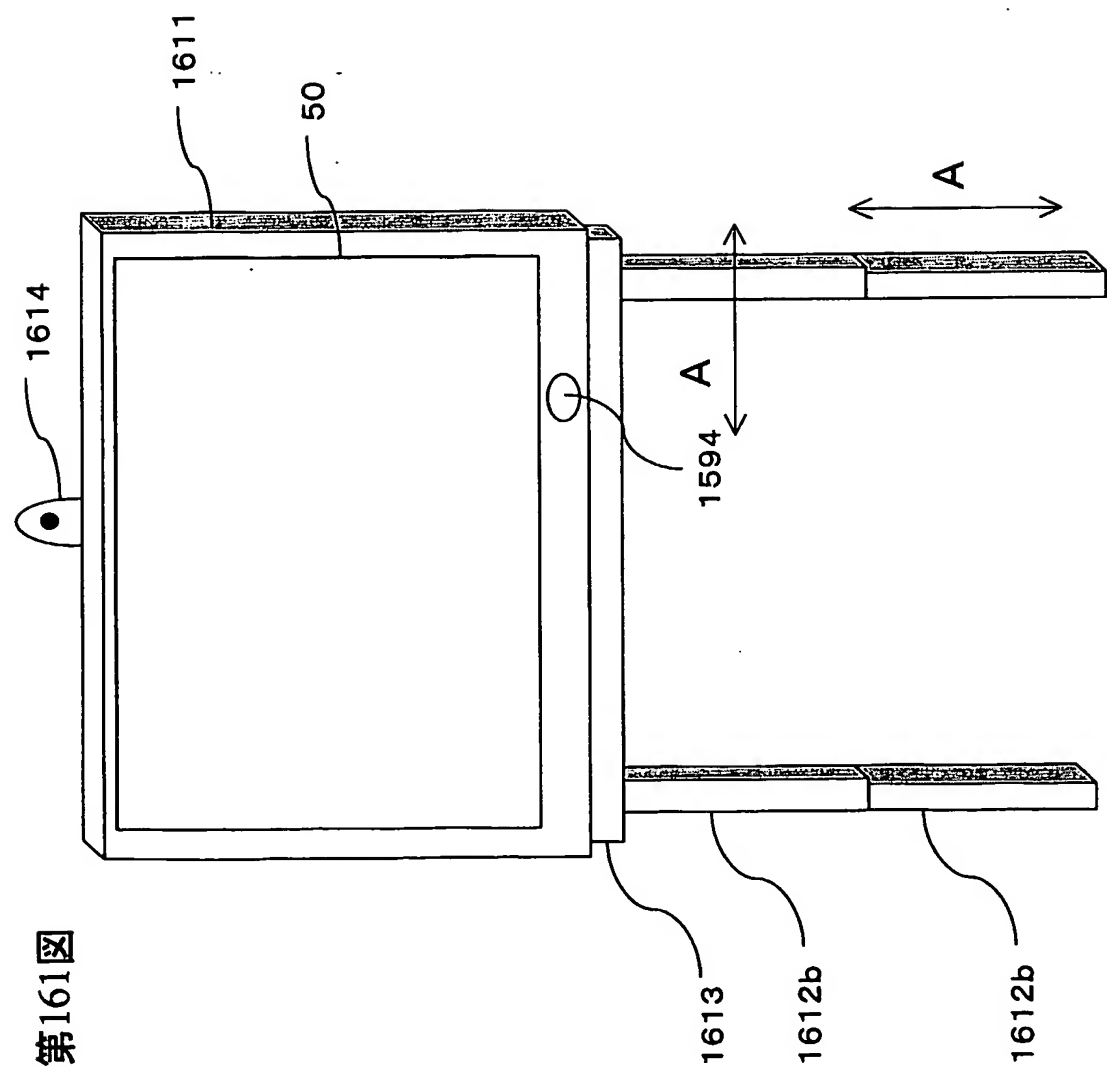
第159図

差替え用紙 (規則26)

160/176

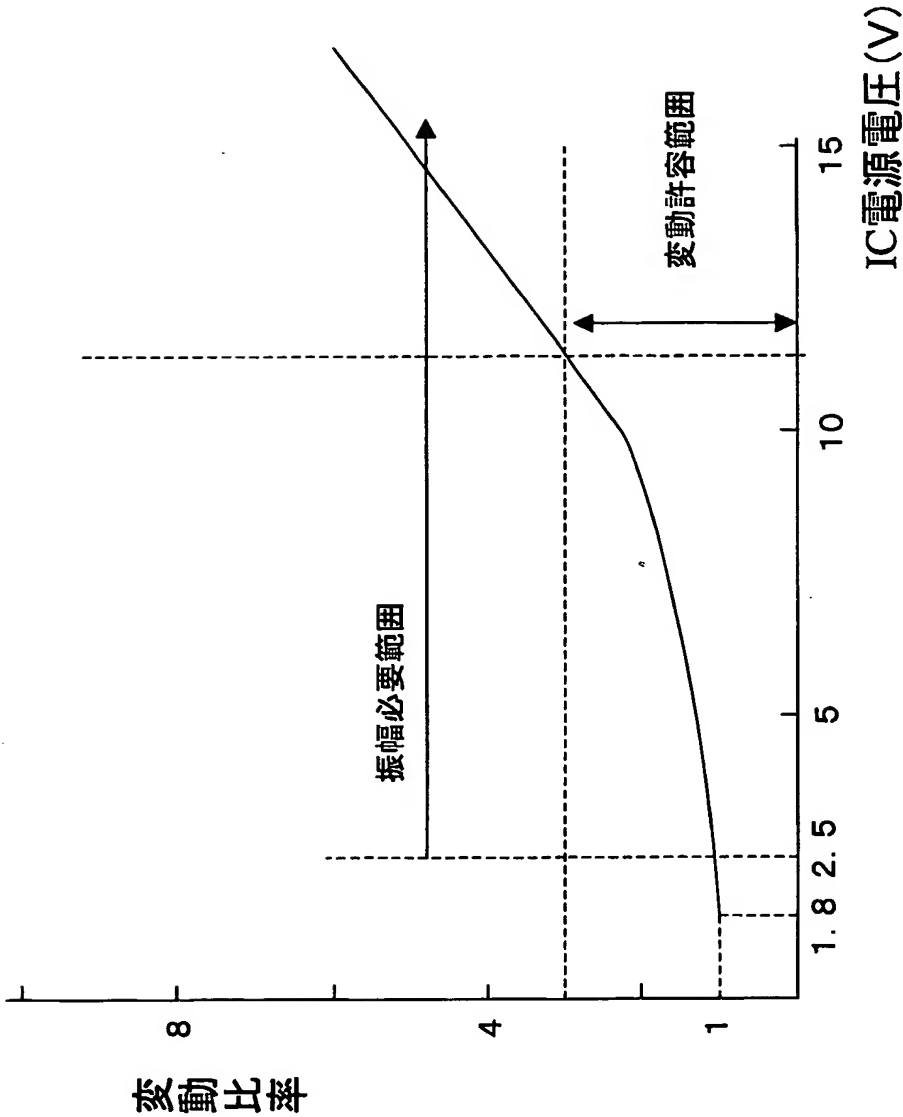
第160図





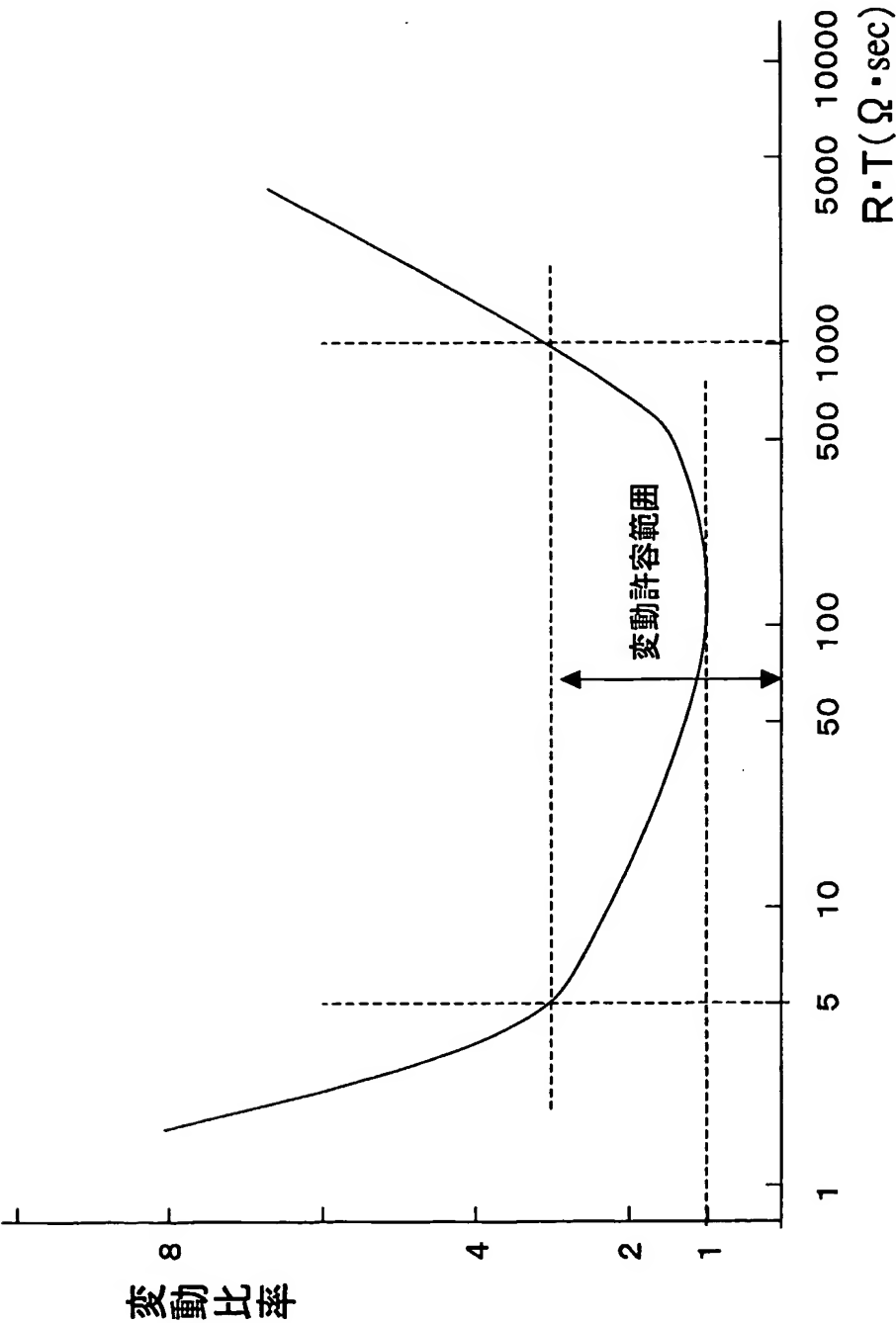
第161図

163/176

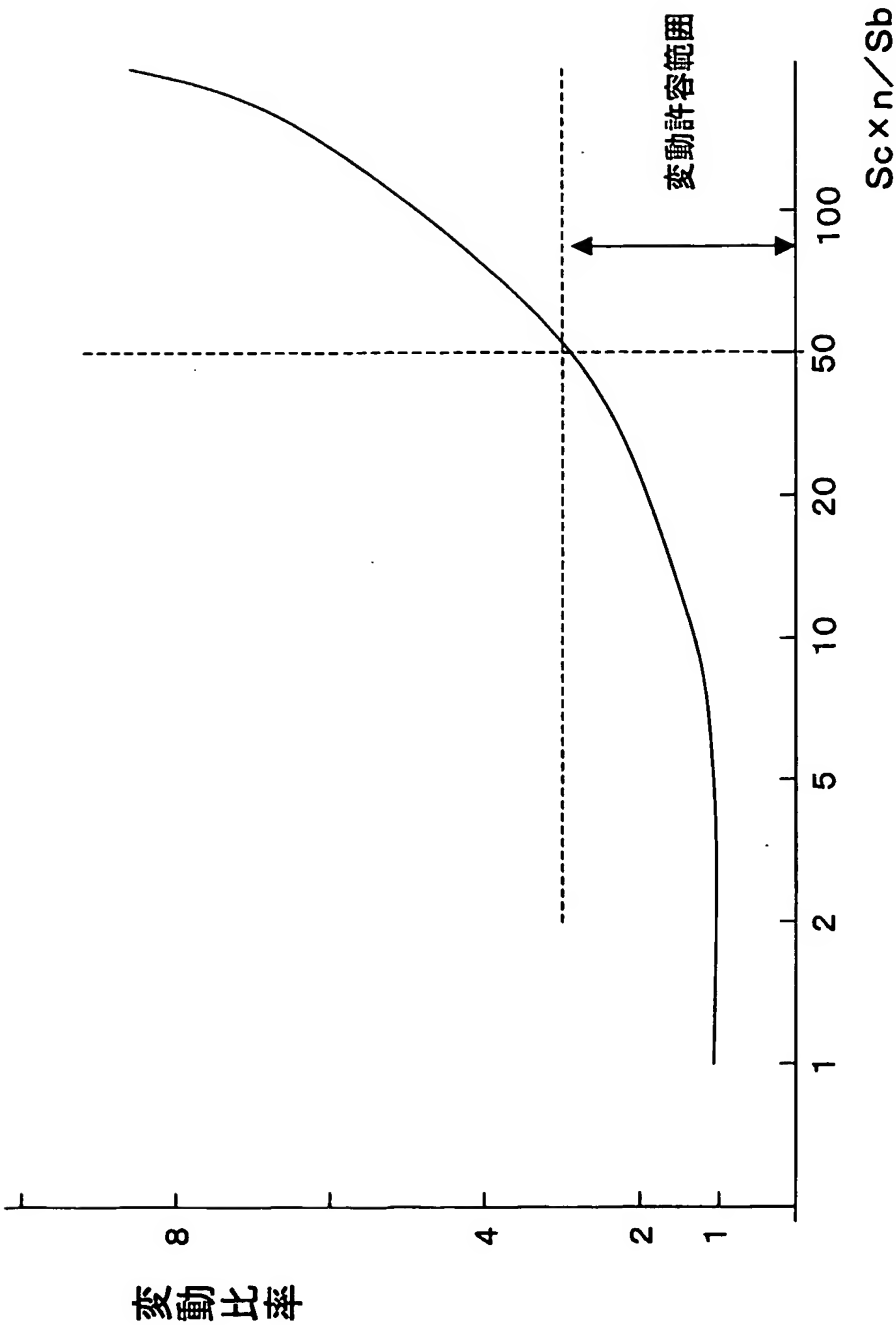


第163図

第164図



165/176



第165図

166/176

第166図

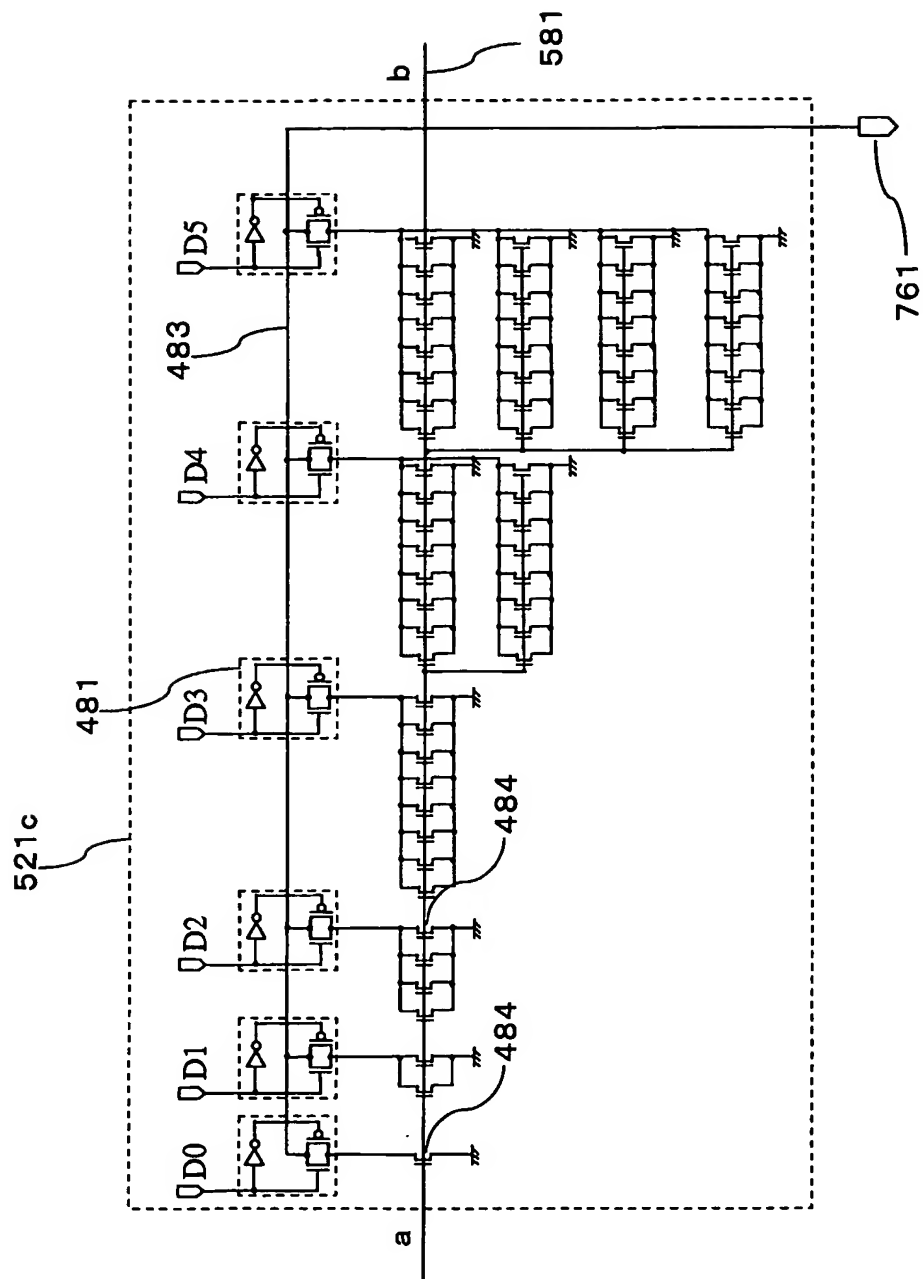
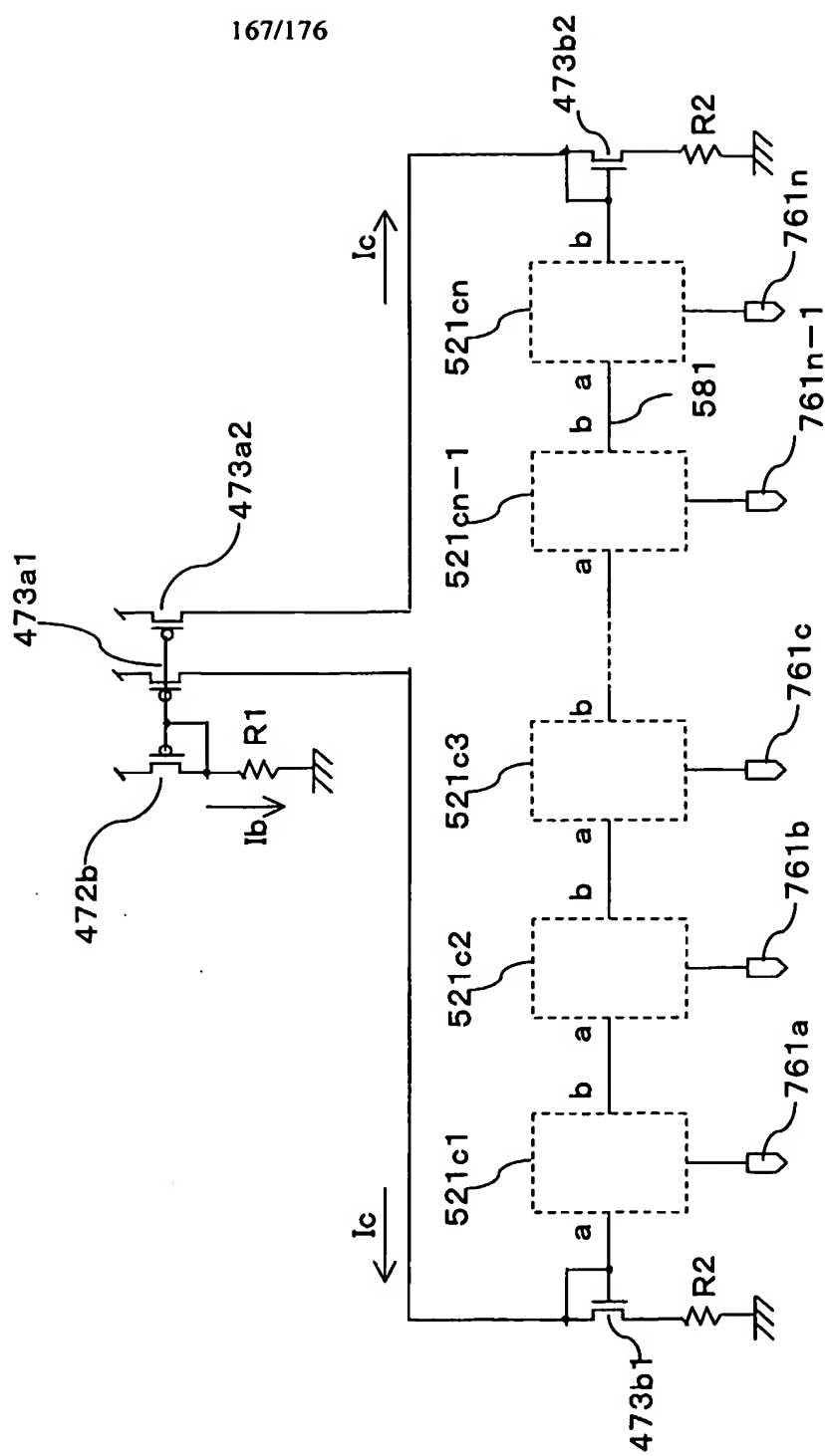
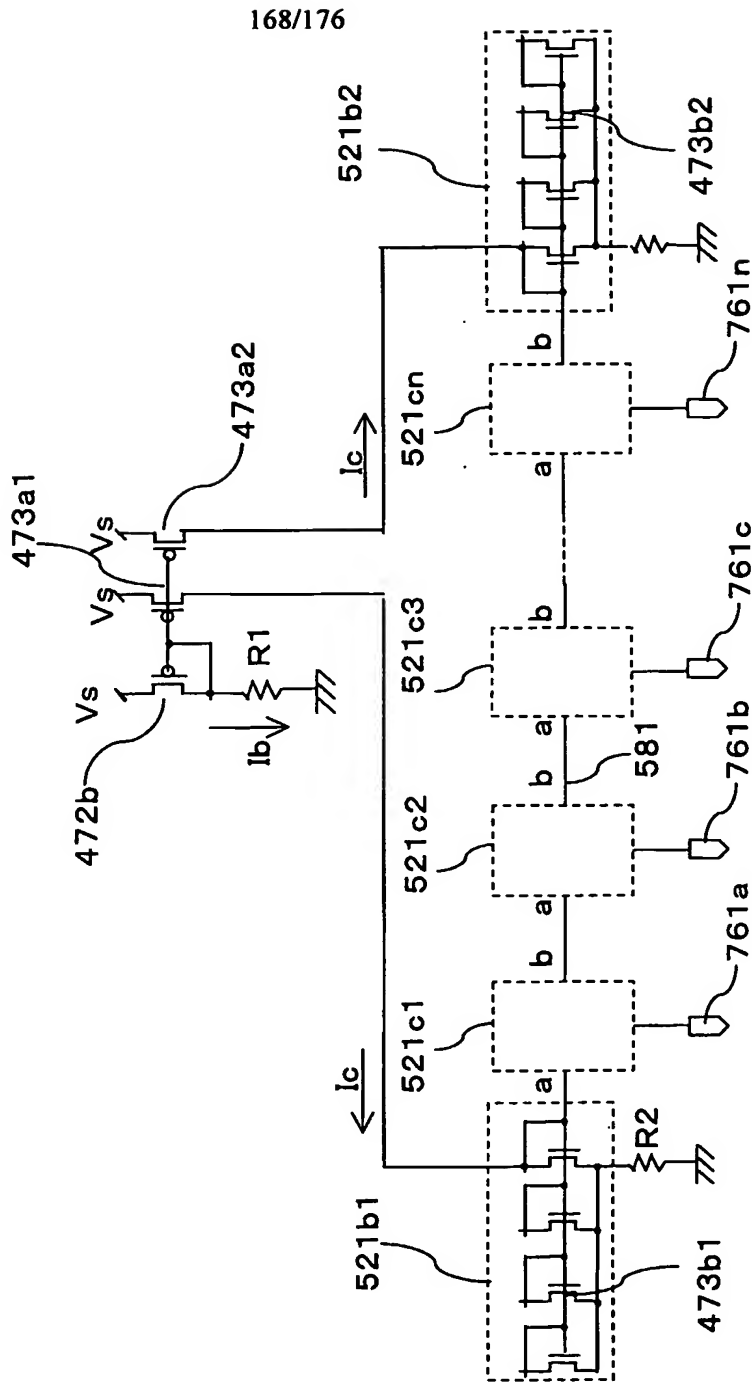


図167

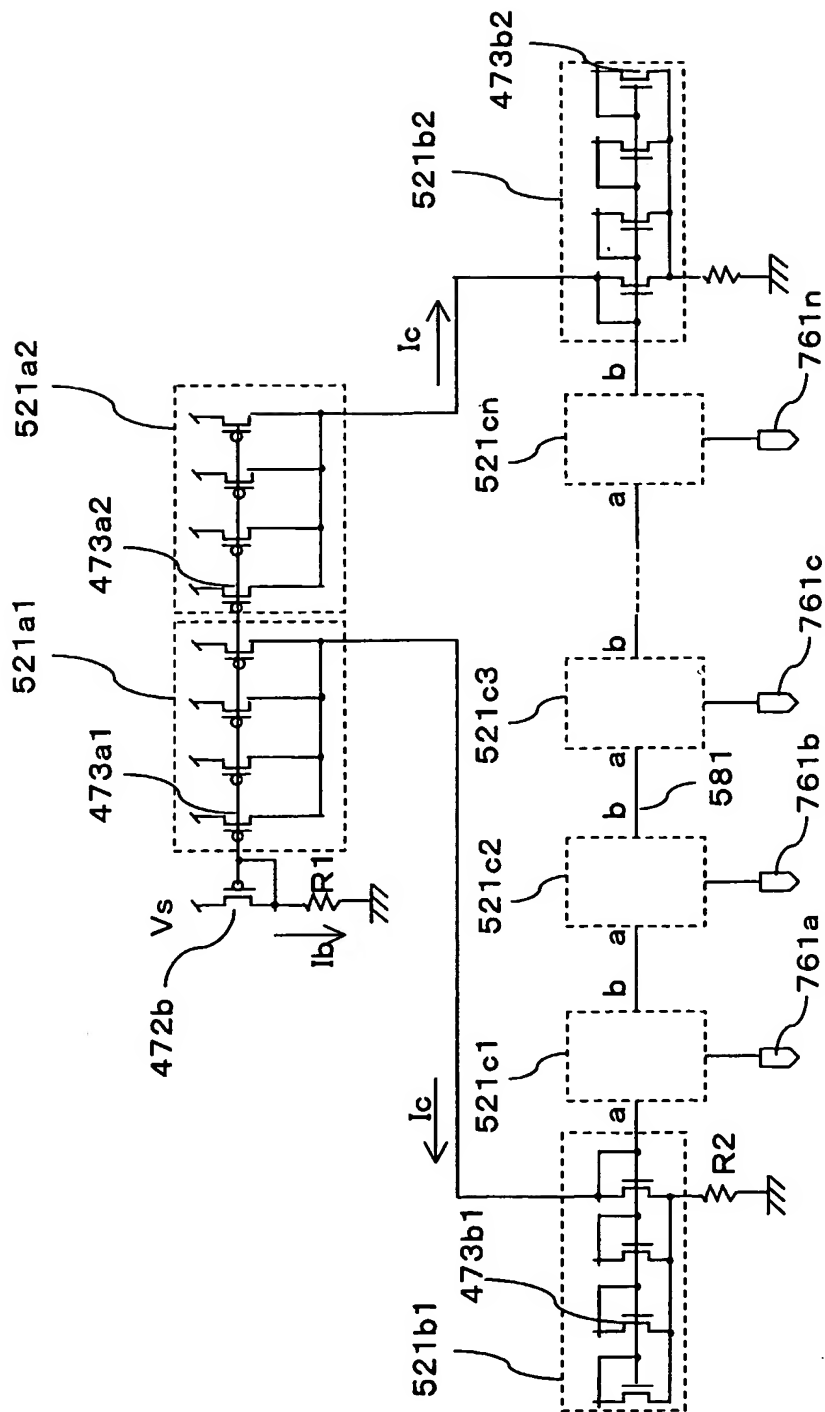


第168図

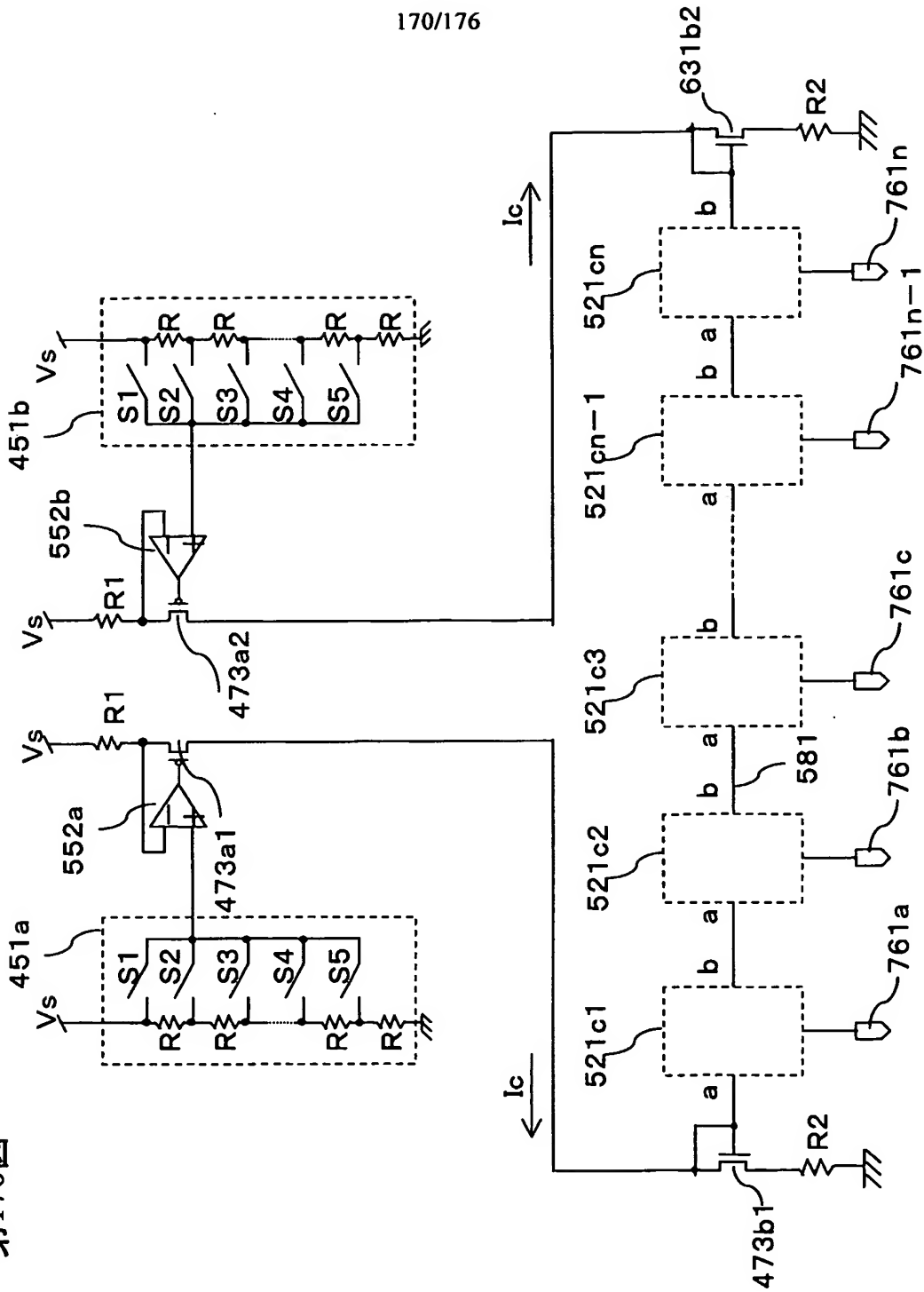


169/176

第169図

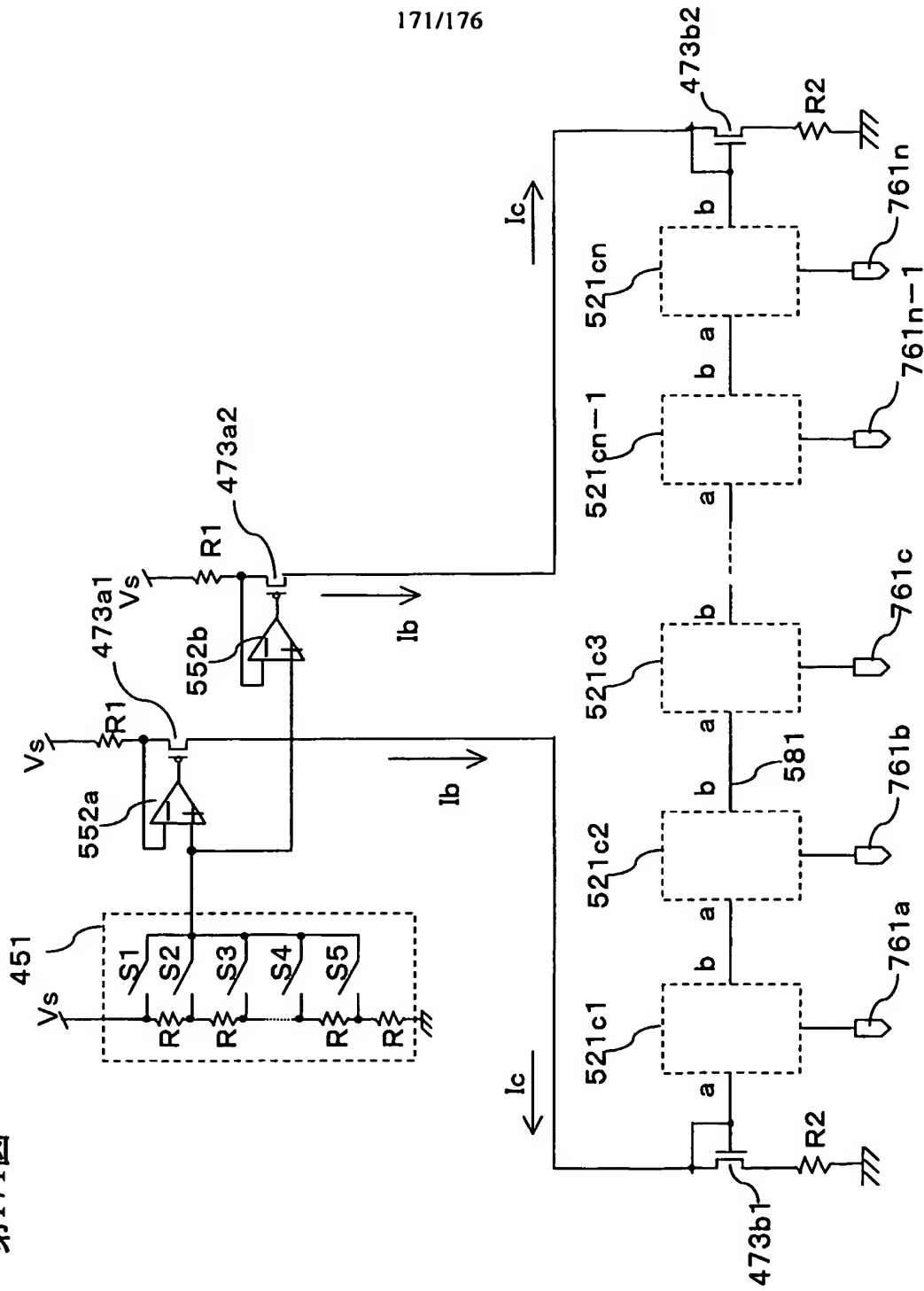


第170図

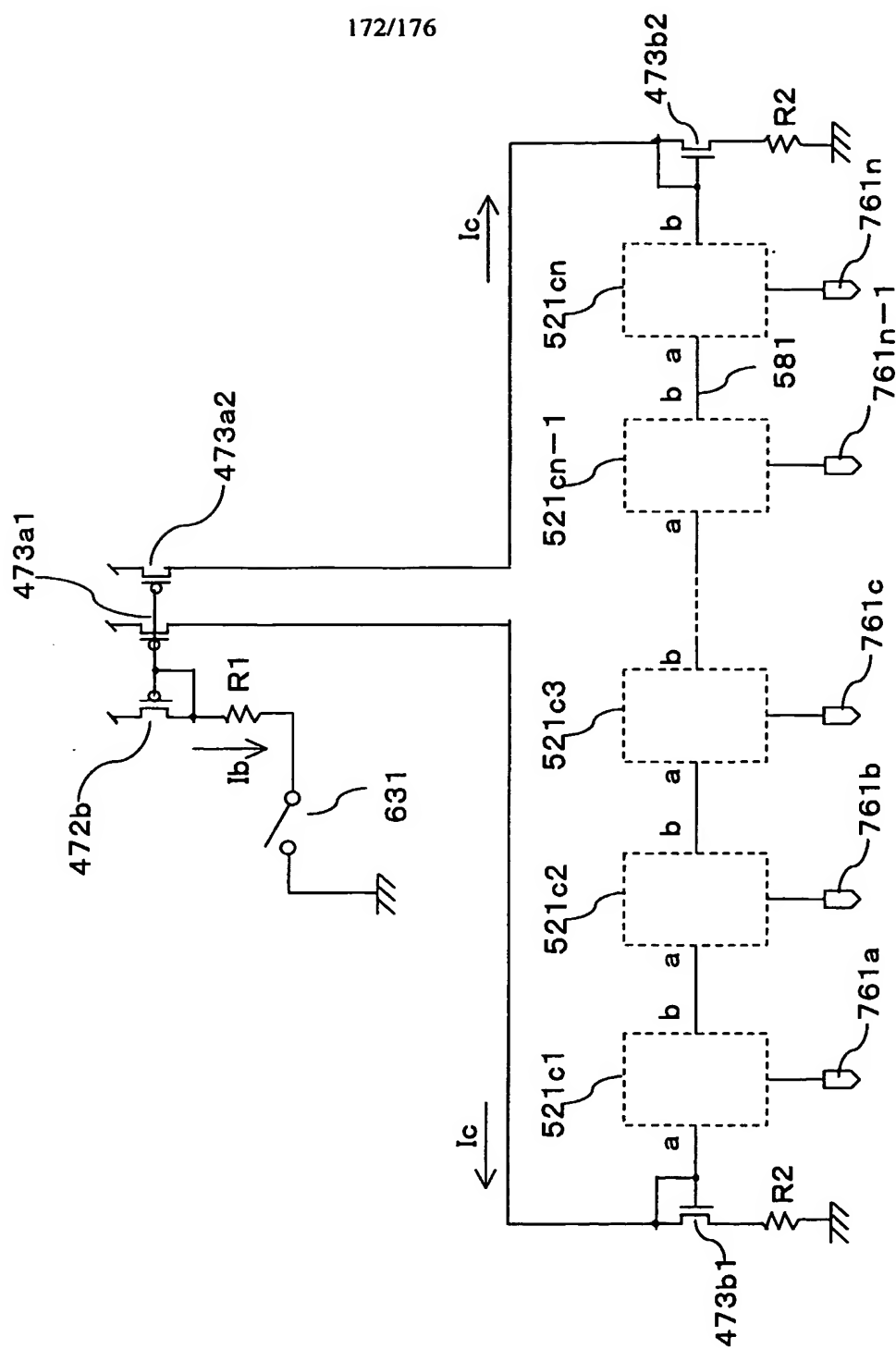


171/176

第171図

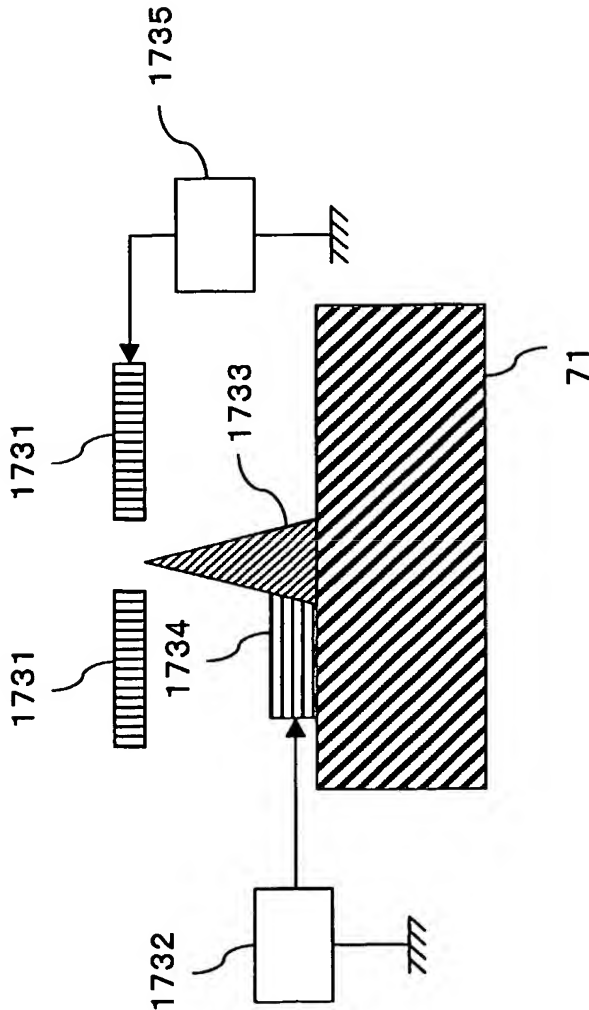


第172図



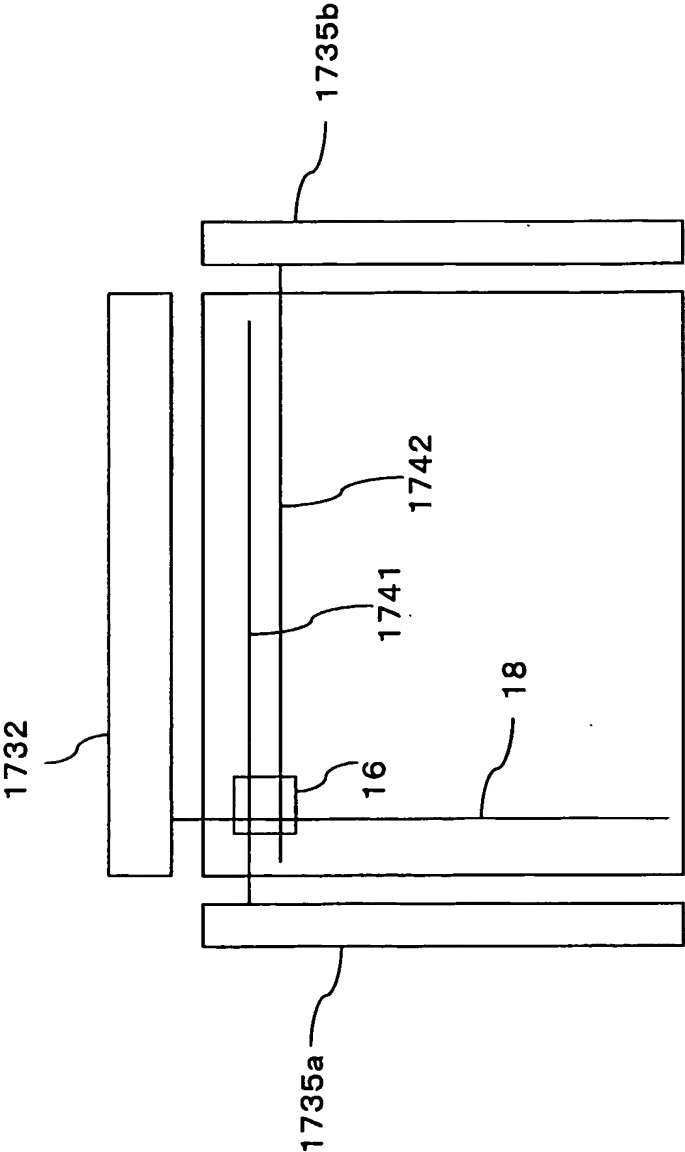
173/176

第173図

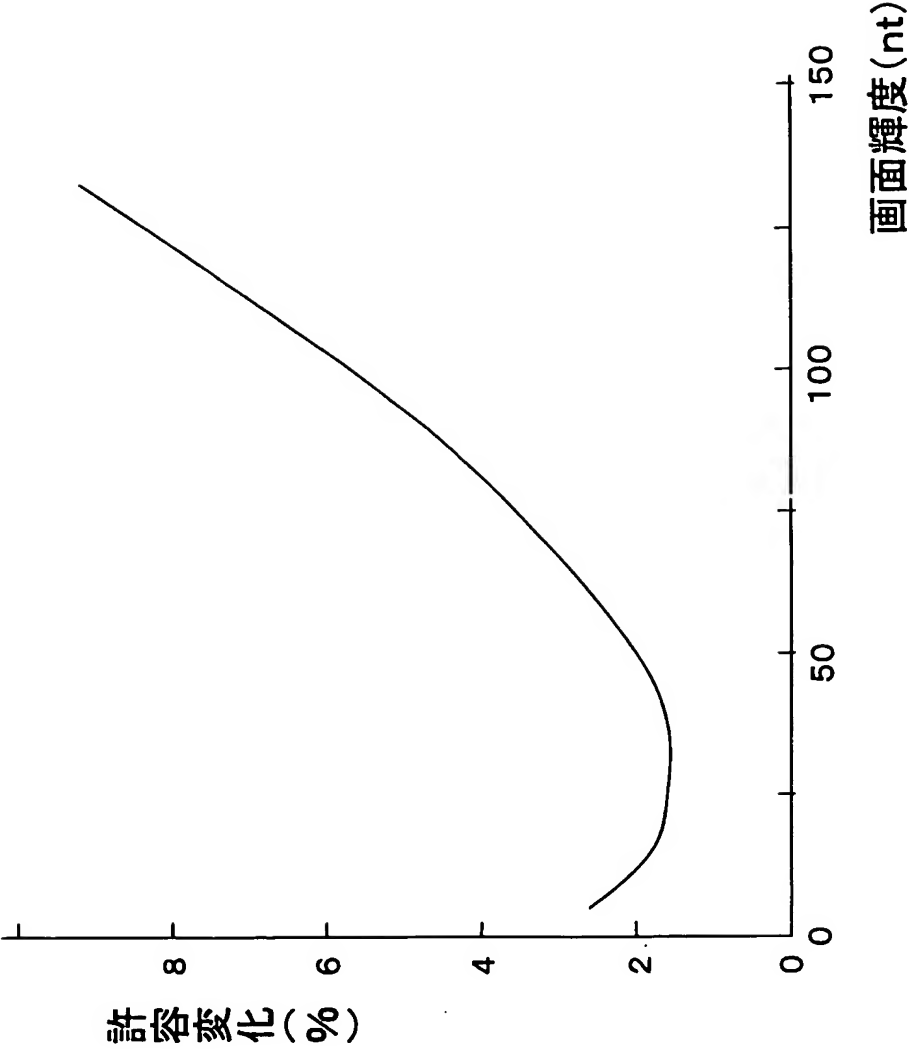


174/176

第174図

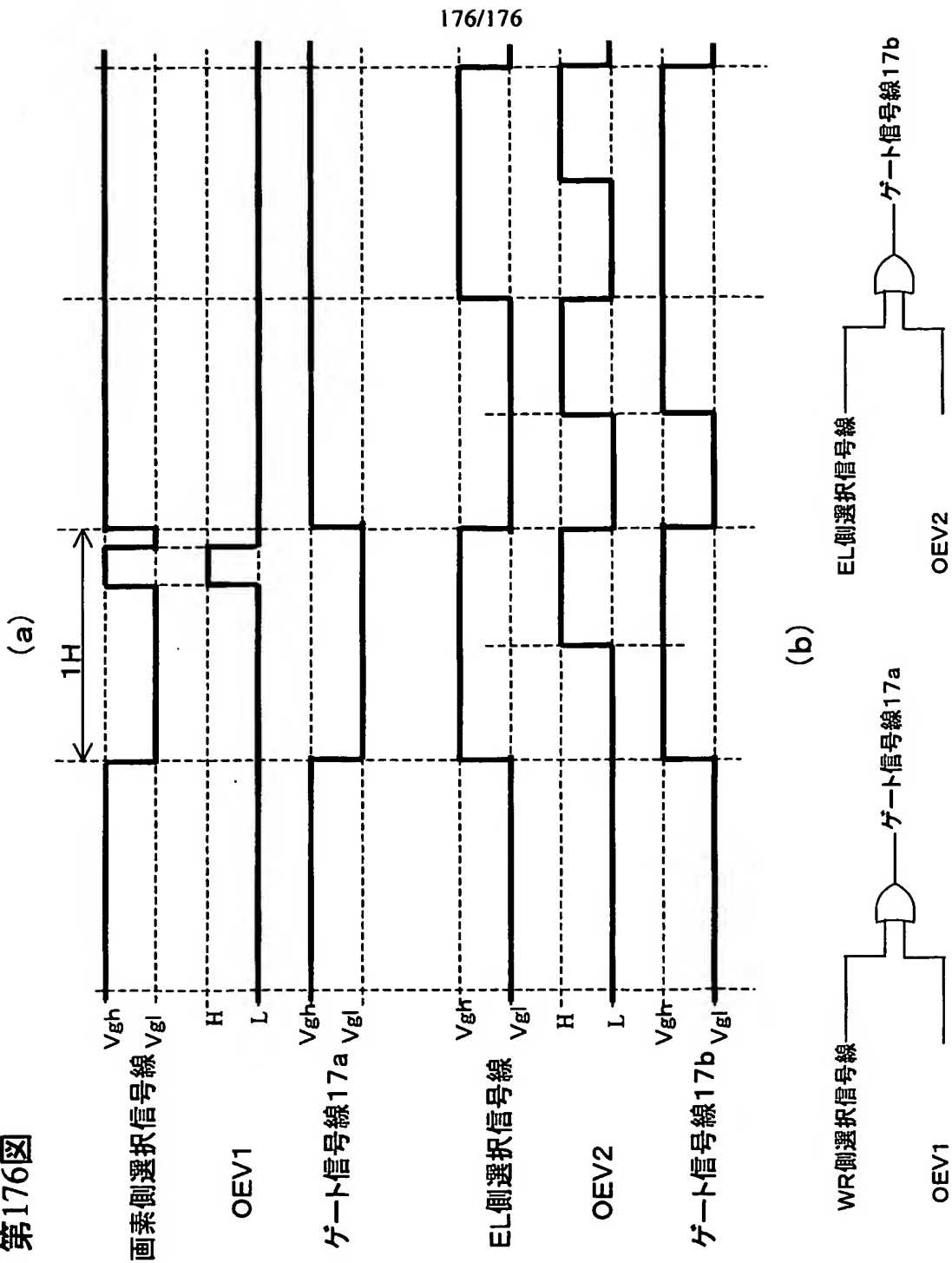


175/176



第175図

第176図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02598

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Par. Nos. [0020] to [0022], [0025]; Figs. 1 to 3, 5 & CN 1278635 A	1
Y	WO 01/006484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Page 50, line 17 to page 51, line 28; Figs. 10 to 11 & EP 1130565 A1	1
Y	JP 01-193797 A (Deikushi Kabushiki Kaisha), 03 August, 1989 (03.08.89), Page 5, upper left column, line 4 to page 8, lower left column, line 16; Figs. 1 to 7 (Family: none)	1

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"Q" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
30 June, 2003 (30.06.03)

Date of mailing of the international search report
15 July, 2003 (15.07.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02598

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-255843 A (Fujitsu Hitachi Plasma Display Ltd.), 21 September, 2001 (21.09.01), Par. Nos. [0010] to [0012]; Fig. 3 (Family: none)	1
E,A	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0400] to [0416]; Figs. 1, 33 to 35 (Family: none)	1
P,A	JP 2002-182612 A (Sony Corp.), 26 June, 2002 (26.06.02), Full text; all drawings (Family: none)	1

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ G09G 3/30
H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ G09G 3/00-3/38
H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-60076 A (ソニー株式会社) 2001. 03. 06, 段落【0020】-【0022】, 【0025】, 【図1】-【図3】, 【図5】 & CN 1278635 A	1
Y	WO 01/006484 A1 (ソニー株式会社) 2001. 01. 25, 第50頁第17行-第51頁第28行 第10-11図 & EP 1130565 A1	1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30. 06. 03

国際調査報告の発送日

15.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G 9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 01-193797 A (デイクシー株式会社) 1989. 08. 03, 第5頁左上欄第4行-第8頁左下欄第1 6行, 第1-7図 (ファミリーなし)	1
Y	J P 2001-255843 A (富士通日立プラズマディスプレ イ株式会社) 2001. 09. 21 段落【0010】-【0012】, 【図3】 (ファミリーなし)	1
E. A	J P 2003-150104 A (松下電器産業株式会社) 2003. 05. 23, 段落【0400】-【0416】 【図1】, 【図33】-【図35】 (ファミリーなし)	1
P. A	J P 2002-182612 A (ソニー株式会社) 2002. 06. 26, 全文, 全図 (ファミリーなし)	1

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.